**Departamento de Engenharia Elétrica e de Computação**

**SEL0384 – Laboratório de Sistemas Digitais I**

**Prof. Dr. Maximiliam Luppe**

**PRÁTICA Nº5**

**Dispositivos de Lógica Programável tipo FPGA**

**Circuitos Combinacionais**

Objetivos:

Familiarização com a ferramenta Quartus Lite, da Intel, e Projeto e síntese de circuitos combinacionais em dispositivos reconfiguráveis (FPGA) utilizando VHDL, em projeto hierárquico com metodologia *Top-down*.

Equipamentos necessários:

* Kit Mercurio® IV

Introdução:

Esta prática de laboratório tem por objetivo a implementação de um somador de 4 bits no kit Mercurio® IV (Cyclone® IV EP4CE30F23), utilizando comandos concorrentes WHEN-ELSE e WITH-SELECT.

Os somadores são circuitos combinacionais utilizados para realizam operações matemáticas com aritmética binária. O somador mais simples que pode ser implementado é o *Ripple-Carry Chain* (RPC), apresentado na figura 1 (a), formado por somadores completos (*full-adder*), apresentado na figura 1 (b), interligados em cascata (*chain*) por meio dos sinais de entrada e saída de *carry*. Desta forma, é possível implementar somadores de N bits de forma rápida e simples.

Figura 1-Exemplo de somador de 4 bits (a) e somador completo (b)



[(a)](https://embarcados.com.br/somador-carry-lookahead-de-4-bits/)



[(b)](http://hyperphysics.phy-astr.gsu.edu/hbase/Electronic/fulladd.html)

Fonte: sites da internet

Em projetos de sistemas digitais, os somadores podem ser utilizados principalmente para realizar operações de soma, mas também operações de subtração e de multiplicação. Em arquiteturas de computadores, o somador pode ser utilizado para implementar a ULA – Unidade Lógica Aritmética.

Procedimento Experimental:

Apresentar a implementação de um somador de 4 bits utilizando somadores completos na configuração de RPC. Apresentar a implementação utilizando componentes TTL da família 74LSxx.

Criar uma pasta denominada MercurioIV\_adder, com as subpastas docs, modelsim, quartus e src, e, utilizando o Quartus Lite, criar um projeto a pasta quartus, também denominado MercurioIV\_adder.

Implementar a entidade de projeto MercurioIV\_adder.vhd no projeto MercurioIV\_adder, definindo este arquivo como “Top–Level Entity” ”. Solicitar o componente somador (adder.vhd), interligando as chaves SA e SB nas entradas A e B, respectivamente, e a saída RESULT nos LEDs LEDM\_R(3 downto 0). Observação: os LEDs acenderão em nível lógico ‘0’, estando uma das colunas LEDM\_C em nível lógico ‘1’.

Utilizando o componente somador completo (fadd.vhd), implementar um somado de 4 bits, denominado adder.vhd, com entradas A e B, e a saída RESULT.

Implementar um somador completo, denominado fadd.vhd, com os sinais de entrada a, b e ci, e as saídas s e co. Utilizar o comando concorrente WITH-SELECT para implementar a lógica da saída s, e o comando concorrente WHEN-ELSE para implementar a lógica da saída co.

Apresentar código VHDL, circuito RTL, número de células lógicas utilizadas e foto do kit com o circuito funcionando.