

## 8. Conversores e Moduladores

Circuitos conversores elementares, de analógico para digital e de digital para analógico, também podem ser construídos com amplificadores operacionais [8]. Será visto, a seguir, um exemplo de cada tipo.

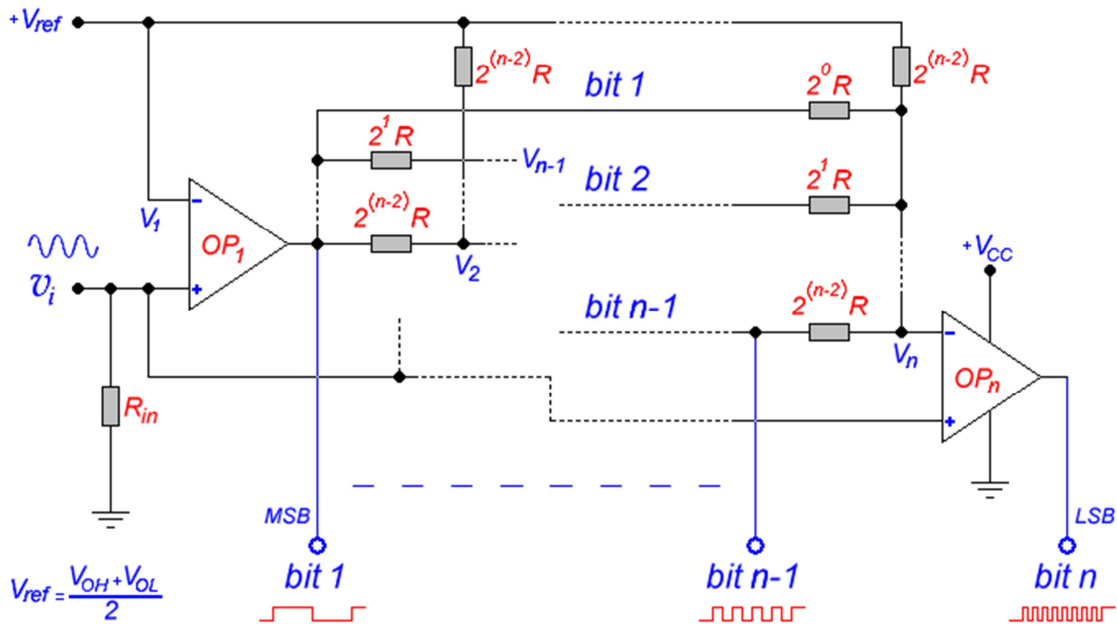


Figura 8.1 - Conversor A/D, Genérico, de  $n$  bits.

### 8.1 – Conversor A/D por Aproximações Sucessivas:

A Figura 8.1 mostra uma topologia genérica de um conversor A/D de  $n$  bits. O circuito é composto por  $n$  operacionais, ligados na configuração de comparadores, uma tensão de referência estável e  $0,5n(n+1)$  resistores, incluindo  $R_{in}$  que determina a resistência de entrada do conversor. A tensão de referência, além de precisa e estável, deve possuir um valor igual à metade da excursão de saída máxima dos operacionais, isto é:

$$V_{ref} = \frac{V_{OH} + V_{OL}}{2} \quad [\text{V}]$$

onde  $V_{OH}$  e  $V_{OL}$  são, respectivamente, as tensões liberadas pelos operacionais com as saídas em nível alto e baixo.

O funcionamento do circuito é relativamente simples. Em repouso, isto é, com  $V_i = 0$ , os comparadores devem receber tensões de referências ponderadas com valores, em progressão geométrica, iguais a:  $V_{ref}$ ,  $0,5V_{ref}$ ,  $0,25V_{ref}$ ,  $0,125V_{ref}$ , etc.. Nesse caso, todas as saídas estarão em nível zero. Conforme o sinal de entrada variar positivamente e começar a vencer os níveis de referência de cada comparador, as saídas vão mudando de estado.

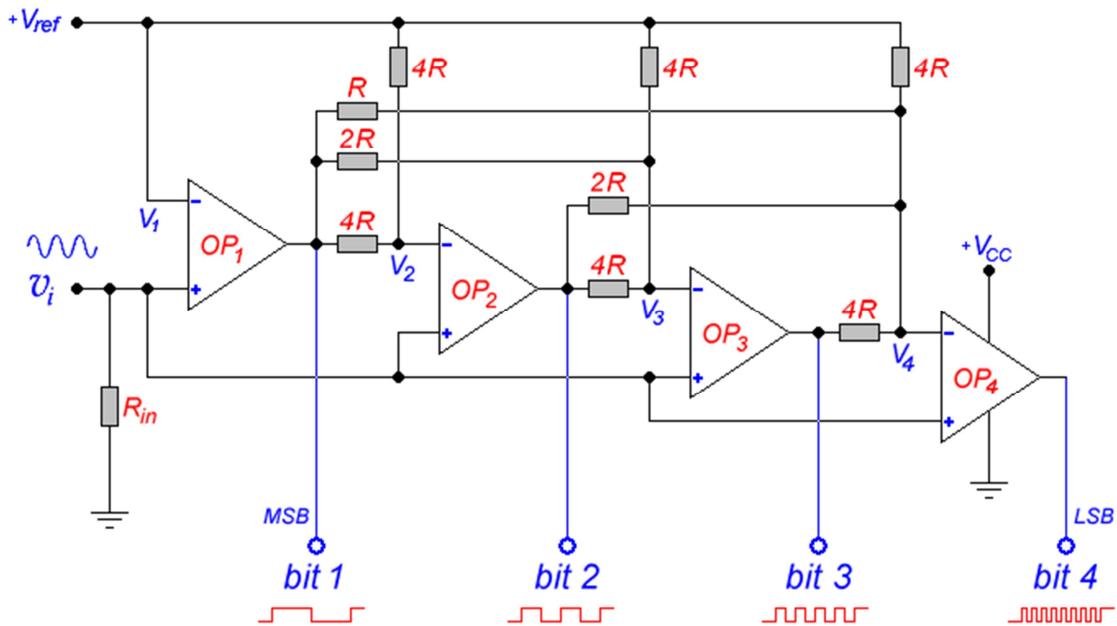


Figura 8.2 - Conversor A/D de 4 bits.

Para atingir, no entanto, os  $2^n$  níveis necessários em uma conversão A/D de  $n$  bits, as referências dos comparadores  $OP_2, OP_3, \dots, OP_n$  devem ir se alterando progressivamente, dentro dos valores correspondentes aos degraus de quantização. Quem executa as mudanças de referência dos comparadores correspondentes aos bits menos significativos são as próprias saídas correspondentes aos bits mais significativos, através de uma rede de resistores com valores adequadamente ponderados. Devido a esse auto-ajuste de níveis, esse conversor é chamado de *conversor A/D por aproximações sucessivas*. A Figura 8.1 mostra os valores, relacionados a um resistor  $R$  básico, dos resistores que devem ser usados no *enésimo* estágio do conversor. O cálculo extrapolado para os outros estágios é idêntico a esse, abaixando-se, no entanto, sucessivamente o nível de  $n$  para  $n-1$ .

Esse tipo de conversor não usa relógio de cadência (*clock*) para a amostragem do sinal de entrada. A vantagem disso é que a conversão é feita em tempo real e a máxima frequência do sinal a ser convertido não está limitada por nenhum teorema de amostragem, mas depende, no entanto e evidentemente, das características internas dos operacionais usados, notadamente do *SR*. A desvantagem da ausência de *clock* está no fato de que o conversor não poderá ser usado para promover interface de dados com sistemas de processamentos digitais, como microcontroladores, microprocessadores e outros aparatos digitais temporizados.

Serve, porém, para acionar *displays*, medir e controlar processos lentos em tempo real, etc. A principal utilidade prática desse tipo de circuito, no entanto, é a de servir como ferramenta didática na apresentação e estudo de conversores A/D.

A mínima resistência de carga vista pelas saídas dos operacionais, no conversor de  $n$  bits do circuito da Figura 8.1, com  $n \rightarrow \infty$ , tende a  $R_{L(\min)} = 0,5R$  e esse valor deve ser levado em conta no dimensionamento do resistor  $R$ .

A Figura 8.2 apresenta o circuito do conversor da Figura 8.1, implementado para 4 bits.

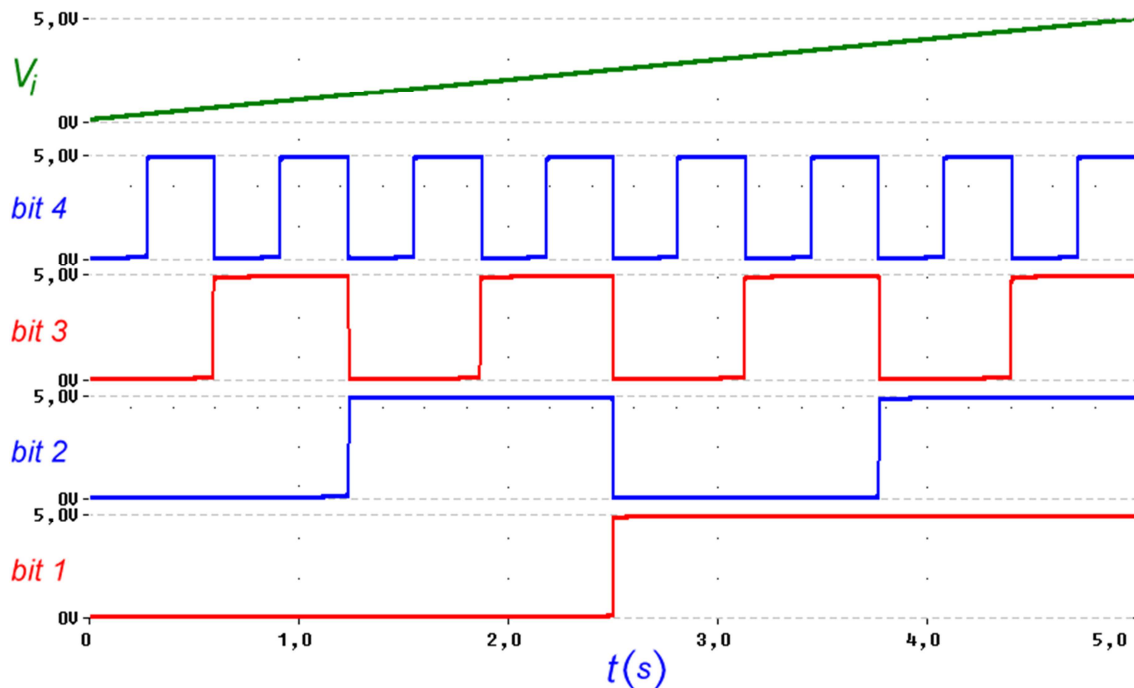


Figura 8.3 - Tensões em Vários Pontos do Circuito da Figura 8.2, com Entrada em Rampa.

Se for usado um operacional quádruplo *rail-to-rail*, dos tipos *LM6144* ou *OP279*, que possui  $0\text{ V} \leq V_{CM} \leq +V_{CC}$ , para excursão de tensão de entrada, e  $0\text{ V} \leq V_{OM} \leq +V_{CC}$ , para excursão de tensão de saída, o conversor apresentará o desempenho apresentado na Figura 8.3, quando, na entrada, for aplicada uma rampa, em regime quase-estático, variando na faixa:  $0\text{ V} \leq V_i \leq +V_{CC}$ . O circuito deve ser alimentado com  $V_{CC} = 5\text{ V}$  e com uma tensão de referência  $V_{ref} = 2,5\text{ V}$ .

O valor do resistor básico deve ser  $R \geq 17,5\text{ k}\Omega$ , porque o *LM6144*, para apresentar excursão de saída máxima, necessita de  $R_L \geq 10\text{ k}\Omega$ .

Se o sinal de entrada for *AC*, deve-se polarizar a porta não-inversora de  $OP_1$  com  $0,5V_{CC}$ , através de um divisor de tensão entre  $+V_{CC}$  e *terra*. O sinal de entrada deve ser, então, acoplado através de um capacitor.

A Figura 8.4 mostra as formas de onda presentes em vários pontos do circuito da Figura 8.2, quando, na entrada, for aplicada uma senóide de  $1\text{ kHz}$ , com  $5\text{ V}_{pk-pk}$  e com valor médio igual a  $2,5\text{ V}$ . O sinal digital de saída está codificado em *BCD*.

## 8.2 - Conversor D/A:

Conversores *D/A* também podem ser implementados com amplificadores operacionais.

Como foi visto na *Secção 2.4* e exemplificado pela Figura 2.5, um circuito somador inversor, tendo os resistores com os valores devidamente ponderados, funciona como conversor de sinais digitais para um sinal analógico. A Figura 8.5 mostra uma arquitetura genérica desse tipo, para  $n\text{ bits}$ . Uma rede de resistores, com valores crescentes em progressão geométrica, recebe os sinais digitais codificados em *BCD* e, através de uma somatória inversora, apresenta, na saída, o sinal analógico correspondente.

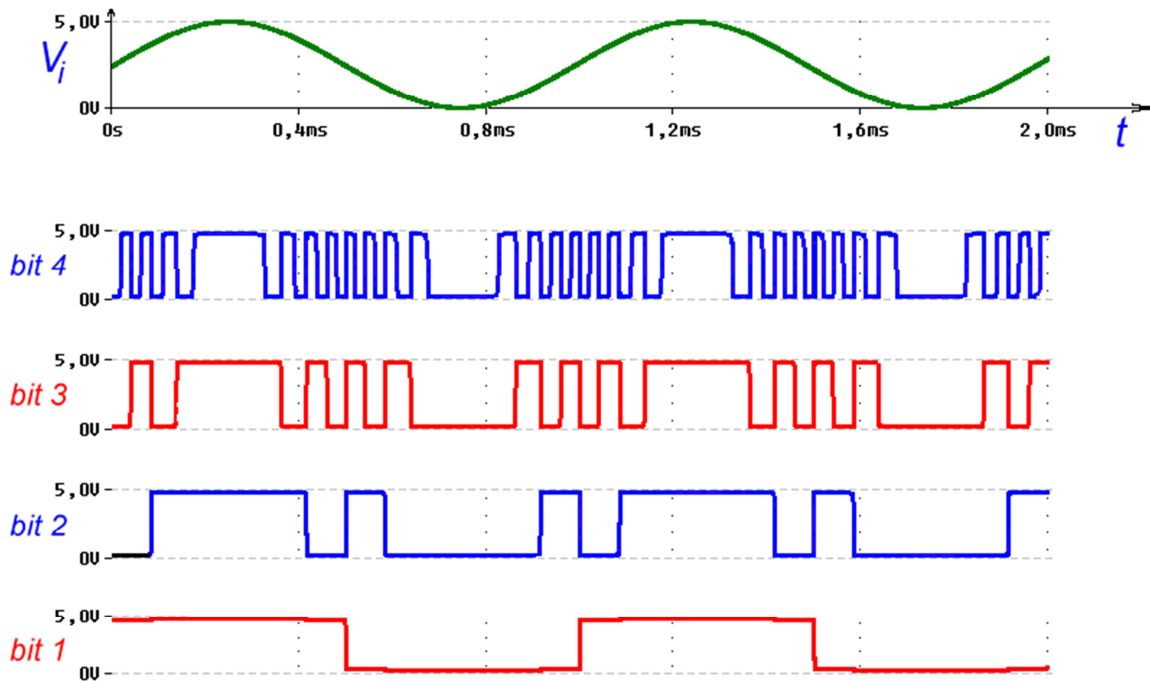


Figura 8.4 - Tensões em Vários Pontos do Circuito da Figura 8.2, com Entrada Senoidal.

O *bit* mais significativo (*MSB*) deve ser aplicado na entrada de menor resistência e, portanto de maior ganho. Consequentemente, o *bit* menos significativo (*LSB*) deve ser aplicado na entrada de maior resistência e, portanto, de menor ganho. O resistor de realimentação do circuito da Figura 8.5 foi ajustado para que o ganho genérico do circuito seja unitário, em módulo. Quando alimentado com fonte simples, o operacional deve receber uma polarização, na entrada não-inversora, igual à metade da excursão total de saída. Se for usada uma secção do operacional *LM6142*, que possui saída tipo *rail-to-rail* ( $V_{OH} \approx V_{CC}$  e  $V_{OL} \approx 0$ ), a tensão de polarização dessa entrada deverá ser  $V_{ref} = V_{CC}/2$ . O sinal de saída, dependendo do número de *bits* usado, pode apresentar distorção significativa de harmônicos ímpares e maior será essa distorção quanto menor for o número de *bits* usado na codificação. A Figura 8.6 apresenta a forma de onda do sinal de saída do circuito da Figura 8.5 quando, nas entradas, forem aplicados os quatro *bits* mostrados na Figura 8.4. Para essa conversão foi usada uma secção de um amplificador operacional *LM6142*, alimentado com  $V_{CC} = 5\text{ V}$  e com tensão de referência  $V_{ref} = 2,5\text{ V}$ . Essa figura mostra a senóide aplicada na entrada do circuito da Figura 8.2 e reconstituída analogicamente pelo circuito da Figura 8.5, implementado para 4 *bits*, com  $R = 15\text{ k}\Omega$ . Nota-se, por essa figura, que a senóide, além de invertida, apresenta uma visível distorção em relação à original, causada pelo erro de *quantização*. Se forem usados *oito* ou mais *bits*, a distorção final tornar-se-á bastante pequena. A outra secção do operacional pode, eventualmente, ser usada como inversor de ganho unitário para que a polaridade do sinal original seja restabelecida. Uma fonte de alimentação bem precisa e estável, fornecendo inclusive a tensão de referência, deve ser implementada para os circuitos das Figuras 8.2 e 8.5. Usando-se o tipo de fonte de alimentação descrito na *Secção 6.4*, cuja topologia é apresentada na Figura 6.3, esse objetivo pode ser alcançado satisfatoriamente.

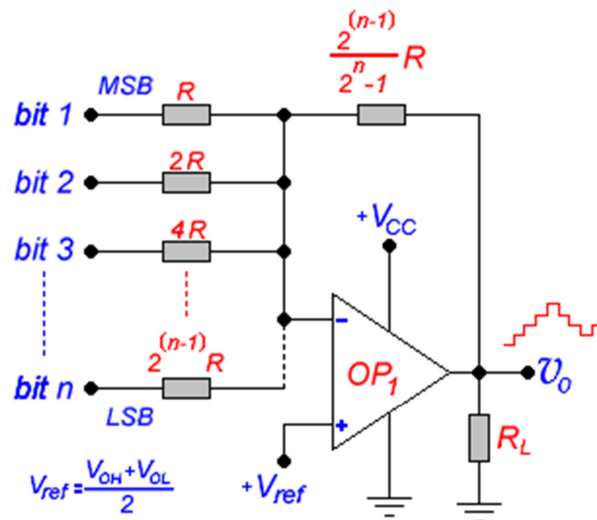


Figura 8.5 - Conversor D/A de n bits.

A Figura 8.7 mostra o esquema dessa fonte, remodelado para que a tensão de saída seja  $V_{CC} = 5\text{ V}$  e para que a tensão de referência seja  $V_{ref} = 2,5\text{ V}$ . O circuito de proteção contra curtos-circuitos e sobrecargas de saída foi, no caso, eliminado. O circuito integrado TL431, como foi visto, garante a precisão das tensões de saída. A máxima corrente de saída dessa fonte não deve exceder o valor de  $I_o = 50\text{ mA}$ .

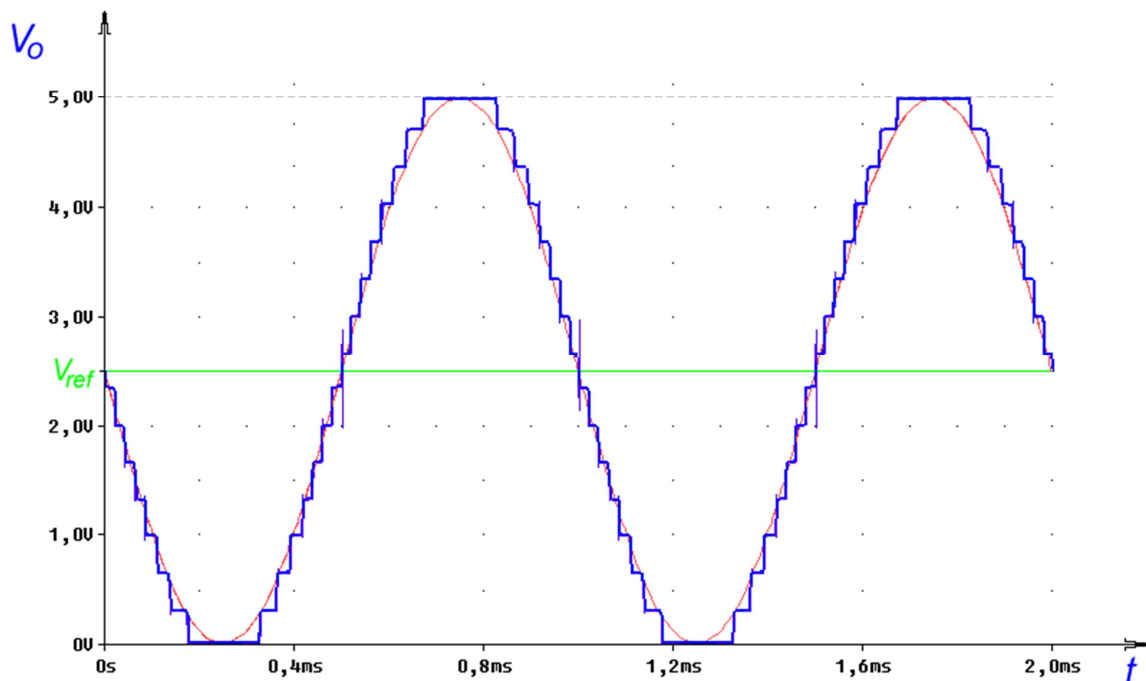


Figura 8.6 - Forma de Onda de Saída do Circuito da Figura 8.5, Implementado para 4 bits.

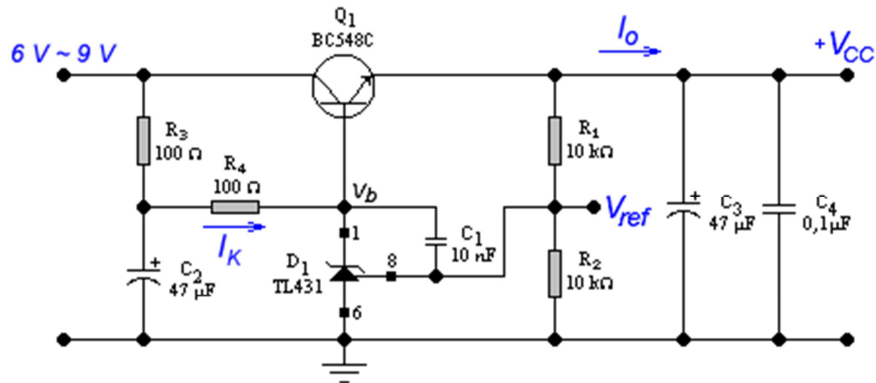


Figura 8.7 – Fonte de Alimentação dos Circuitos das Figuras 8.1, 8.2, 8.5 e 8.8.

### 8.3 – Modulador de Largura de Pulso (PWM):

Na *Secção 7.1.3* foi descrito um oscilador controlado por tensão (VCO) que, dependendo do modo como os sinais são aplicados, pode funcionar como um modulador de frequências (FM). O mesmo circuito, com o acréscimo de mais um amplificador operacional funcionando como comparador, pode também funcionar como um modulador de largura de pulsos ( $PWM \equiv$  Pulse Width Modulation). Nesse tipo de modulador, um sinal de onda quadrada de alta frequência, com período constante, passa a ter as larguras de pulsos variáveis em função da amplitude de um sinal de baixa frequência, conhecido como sinal modulante. Em outras palavras, o ciclo de trabalho (*duty cycle*) da onda quadrada, com frequência constante, é variado em função da amplitude do sinal modulante. Dispositivos desse tipo são muito usados atualmente no controle de chaveamento de dispositivos de potência em sistemas como: fontes chaveadas, amplificadores de potência de áudio Classe D, controle de velocidade em motores DC, controle de luminosidade de lâmpadas eletrônicas, controles de brilho em televisores de plasma, instrumentação, etc..

O funcionamento do circuito de obtenção de PWM é extremamente simples, necessitando, apenas, de um comparador. A Figura 8.8 esclarece os mecanismos de modulação. O amplificador operacional  $OP_3$ , funcionando como comparador, recebe, em sua entrada inversora, uma onda triangular ou uma onda dente de serra. Na entrada não-inversora é aplicada a tensão de referência do comparador, que pode ser uma tensão contínua ou uma tensão alternada com valor médio igual a  $+V_{CC}/2$ . Enquanto a tensão triangular ou dente de serra estiver com seu valor abaixo da tensão de referência, a saída do comparador estará em nível alto e vice-versa. Se, por exemplo, a tensão de referência for fixa e igual a  $+V_{CC}/2$ , a tensão de saída será uma onda quadrada com ciclo de trabalho de 50%, pois a onda triangular ficará acima ou abaixo desse valor em períodos de tempo iguais. Se, no entanto, a tensão de referência for variável, o ciclo de trabalho da onda quadrada de saída irá variar em função da amplitude dessa referência, caracterizando, assim, o PWM.

No circuito da Figura 8.8, por facilidade, foi aproveitado, como gerador de onda triangular, o VCO da Figura 7.2, com  $V_{contr} = +V_{CC}/2$ . Nesse caso, a frequência dessa onda é fixa e inversamente proporcional à constante de tempo  $\tau = RC$ , como indica a Equação 7.5.

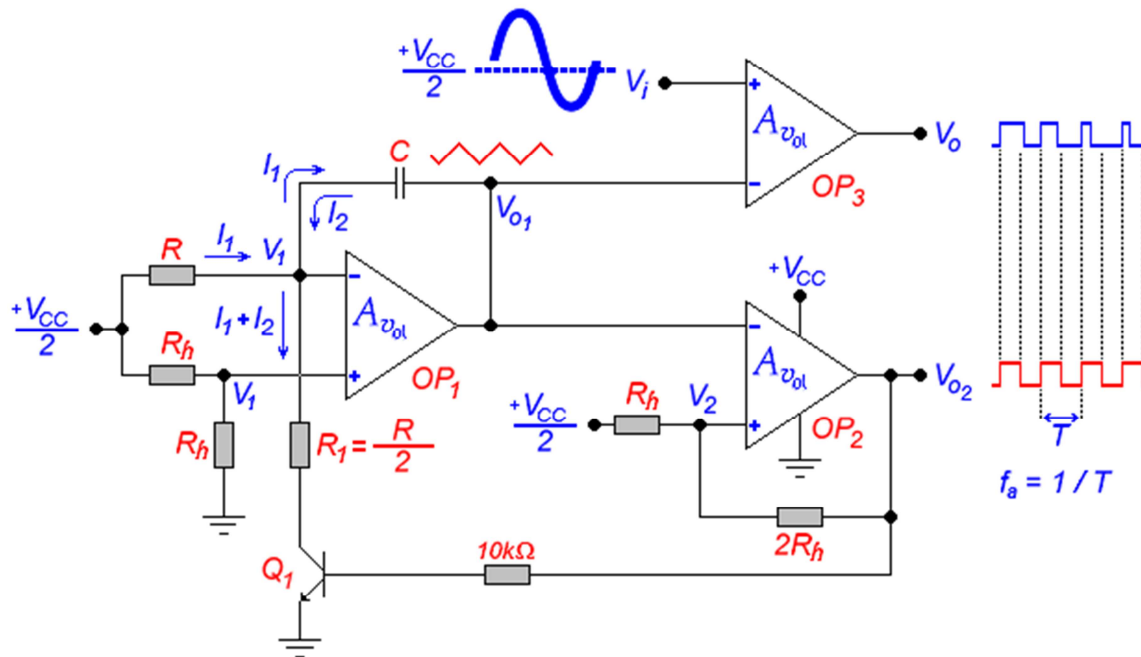


Figura 8.8 – Modulador PWM.

Se forem usados amplificadores operacionais dos tipos *LM6142* ou *OP279*, alimentados com 5 V, a onda triangular excursionará na faixa de 1,667 V a 3,333 V, como visto na *Secção 7.1.3*. O sinal modulante, portanto, também deverá possuir essa excursão máxima, isto é,  $1,667\text{ V} < V_i < 3,333\text{ V}$ . Chamando-se de  $f_m$  a máxima frequência do sinal modulante e de  $f_a$  a frequência da onda triangular, para que a modulação PWM seja efetiva, deve-se obedecer à seguinte relação:  $f_a \geq 3 \times f_m$ . Em sistemas integrados modernos de PWM podem-se obter facilmente frequências de até 500 kHz para  $f_a$ .

A Figura 8.9 mostra o sinal de saída do circuito da Figura 8.8, com  $V_i = 2,5 + 0,75\text{sen}(\omega t)$  [V].

Alguns exemplos de circuitos integrados dedicados para a modulação PWM, na prática, são: *SG2524* e *SG3524* (*Texas Instruments*), para controle de fontes chaveadas e *LM4651N* (*National Semiconductor*), para controle de estágios de saída de potência de áudio em Classe D, de até 170 W. Esses integrados, além de possuírem internamente toda a estrutura da Figura 8.8, possuem, ainda, circuitos adicionais de referência e controle.

Em integrados do tipo *SG2524*, por exemplo, uma a tensão de referência de 5 V já está disponível internamente e todos os circuitos de chaveamento, incluindo dois transistores bipolares de potência, idem.

Em integrados do tipo *LM4651N* os transistores de chaveamento de potência não estão incluídos no *chip* e devem ser acoplados externamente. O circuito integrado que complementa o sistema é o *LM4652N*, que possui os *MOSFET's* de potência que formam a saída do amplificador Classe D. Se a tensão de saída  $V_o$ , mostrada na Figura 8.9, passar por um circuito integrador adequado e se  $f_a \geq 3 \times f_m$ , o sinal  $V_i$  é perfeitamente reconstituído e pode ser aplicado em alto-falantes.

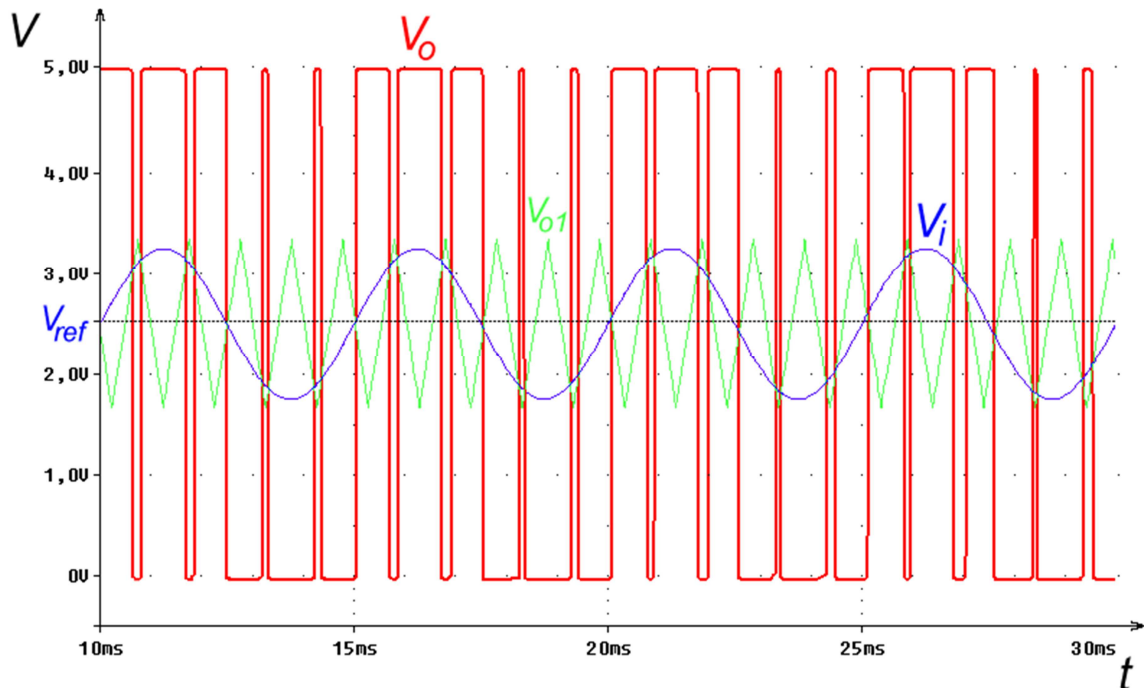


Figura 8.9 – Formas de Onda em Vários Pontos do Circuito da Figura 8.8.

A vantagem desses sistemas chaveados é o alto rendimento que apresentam em relação aos circuitos amplificadores analógicos convencionais. Enquanto que, amplificadores de potência de áudio em Classe *AB* e fontes de alimentação com regulação série apresentam rendimento na faixa  $30\% \leq \eta \leq 60\%$ , amplificadores de potência em Classe *D* e fontes de alimentação chaveadas, controladas por *PWM*, apresentam rendimentos superiores, na faixa  $80\% \leq \eta \leq 95\%$  e, portanto, devem ser usados em regimes de alta potência ou em equipamentos móveis ou portáteis, como carros, computadores de mesa ou do tipo *notebook*, telefones celulares, etc..