

## 12. Arquiteturas Internas de Amplificadores Operacionais

A aplicação de tecnologias avançadas e a competição de mercado exigem que o profissional moderno, ligado à área de Engenharia Eletrônica, não só possua conhecimentos suficientes para usar os amplificadores operacionais como *caixas pretas* idealizadas, mas que também conheça e, eventualmente, consiga projetar as várias topologias de arquitetura interna desses dispositivos. É objetivo da disciplina *SEL315-Circuitos Eletrônicos III* fornecer subsídios básicos para que isso ocorra, tanto em nível de eletrônica discreta, quanto em nível de eletrônica integrada.

Serão vistas a seguir as principais arquiteturas, básicas e simplificadas, dos principais tipos de amplificadores operacionais existentes, com análises rápidas sobre as características e funcionamento das mesmas.

### 12.1 – Amplificadores Operacionais Norton:

Amplificadores operacionais *Norton*, como vistos e analisados na *Secção 10.1*, são estruturas com características de *transimpedância*. As entradas trabalham com absorção de corrente em baixa impedância e a saída é equivalente a uma fonte de tensão. Basicamente, o circuito interno desse componente é extremamente simples, como mostra a *Figura 12.1*.

Excluindo-se os componentes  $D_1$  e  $Q_{1a}$ , o amplificador da *Figura 12.1* é um amplificador inversor de dois estágios. O primeiro estágio ( $Q_{1b}$ ) é um amplificador emissor-comum e o segundo estágio ( $Q_2$  e  $Q_3$ ) é um amplificador coletor-comum. O único elemento que propicia ganho ao circuito é o transistor  $Q_{1b}$ , ligado na configuração emissor-comum com resistor de emissor nulo. O ganho de tensão desse amplificador inversor é diretamente proporcional à corrente de polarização de coletor de  $Q_{1b}$  e à carga total de coletor, que é igual, no caso desse circuito e em baixa frequência, à resistência de entrada do último estágio, composto por  $Q_2$  e  $Q_3$ . A corrente de polarização de coletor de  $Q_{1b}$  é pequena, visto que  $I_{C(Q_{1b})} \approx I_1 / \beta_2$ , caindo na faixa:  $1 \mu A \leq I_{C(Q_{1b})} \leq 3 \mu A$ . A carga de coletor, no entanto, é muito elevada em baixas frequências, pois é igual à resistência de entrada do último estágio que está na configuração coletor-comum. A associação em cascata de  $Q_2$  e  $Q_3$ , chamada de falso Darlington, é equivalente a um único transistor **npn**, cujo ganho de corrente total vale  $\beta \approx \beta_2 \beta_3$ . Como o amplificador coletor-comum possui a resistência de entrada diretamente proporcional ao  $\beta$  do transistor, esse estágio torna-se uma carga de alta resistência para  $Q_{1b}$ , propiciando um ganho de tensão relativamente elevado, em baixas frequências, para o amplificador. Com os valores fornecidos no circuito, esse amplificador possui um ganho total em malha aberta, relacionando-se  $v_o$  com  $v_i^-$ , situado na faixa:  $2500 V/V \leq A_{vol} \leq 3000 V/V$ . O amplificador coletor-comum, polarizado em *classe A* pela fonte de corrente  $I_2$ , propicia uma resistência de saída relativamente baixa para o amplificador. A resistência da entrada  $v_i^-$ , na ausência de  $D_1$  e  $Q_{1a}$ , é relativamente elevada ( $\approx 1 M\Omega$ ), pois a absorção de corrente é feita apenas pela base de  $Q_{1b}$ . A excursão de tensão nessa entrada é muito reduzida ( $0,5 V \leq v_i^- \leq 0,6 V$ ), visto que essa tensão é  $V_{BE}$ , em polarização direta, de  $Q_{1b}$ . Para ser concebida a entrada não-inversora, foram adicionados os componentes  $D_1$  e  $Q_{1a}$ , formando um espelho de corrente convencional [20]. O componente  $D_1$  é um transistor bipolar ligado na configuração de diodo, que espelha a corrente nele injetada para o coletor de  $Q_{1a}$ , em uma proporção 1:1 se os dois transistores forem casados. A resistência dessa entrada é baixa, pois, em condições de uso normal,  $D_1$  é um diodo polarizado diretamente.

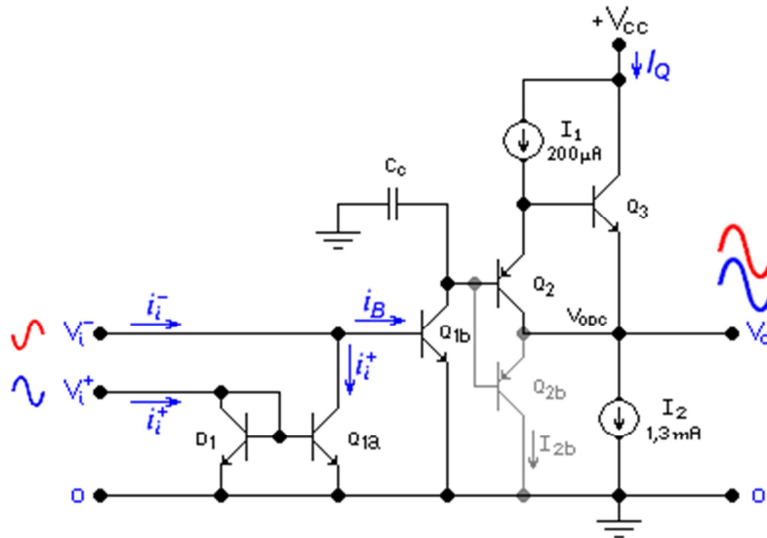


Figura 12.1 – Arquitetura Interna Simplificada do Amplificador Operacional Norton.

Quando a corrente  $i_i^+$  é injetada na entrada  $v_i^+$ , a corrente na entrada  $v_i^-$ , refletida pelo espelho, torna-se  $i_i^- = i_i^+ + i_B \approx i_i^+$  e a resistência da entrada  $v_i^-$  cai. A excursão de tensão na entrada  $v_i^+$  também é muito reduzida ( $0,5 \text{ V} \leq v_i^+ \leq 0,6 \text{ V}$ ), visto que essa tensão é a tensão  $V_{BE}$  de  $D_1$ .

Resumidamente, então, o amplificador operacional Norton trabalha da seguinte forma:

- Se a entrada não-inversora for aterrada, isto é, se  $v_i^+ = 0$ , o circuito torna-se um amplificador de tensão inversor convencional com alta resistência de entrada, baixa resistência de saída e ganho de tensão elevado.
- Quando a entrada não-inversora for polarizada com uma corrente  $i_i^+$ , o circuito torna-se um amplificador operacional de *transimpedância*, com baixas resistências de entrada, baixa resistência de saída e com a tensão de saída proporcional à diferença entre as correntes de entrada, sendo que, em regime permanente de amplificação linear, a corrente injetada na entrada não-inversora é refletida, em módulo e fase, na entrada inversora, isto é,  $i_i^- \approx i_i^+$ , para  $i_i^- \gg i_B$ .
- O capacitor  $C_C$  estabelece o polo dominante, a frequência de transição e o *slew rate* do amplificador em malha aberta.

Esse circuito pode ser projetado usando-se a teoria de projetos de amplificadores bipolares básicos [21] e a teoria que envolve projetos de espelhos e fontes de corrente eletrônicas [20].

As fontes de corrente  $I_1$  e  $I_2$  devem ter uma topologia de alta compliância, para propiciar uma larga excursão do sinal de saída. Os valores das correntes  $I_1$  e  $I_2$ , fornecidos no circuito da Figura 12.1, são usados no circuito integrado LM3900.

A colocação do transistor  $Q_{2b}$ , no circuito da Figura 12.1, é optativa e tem como objetivo aumentar a excursão descendente do sinal de saída. Se for colocado, esse transistor estará polarizado em *Classe B*, isto é, estará em corte, no ponto quiescente. Como, no ponto de repouso, a tensão em sua base é aproximadamente igual à tensão em seu emissor, ele estará

cutado, ou seja, em condições normais,  $I_{2b} = 0$ . Se, no ciclo descendente do sinal de saída, a compliância da fonte  $I_2$  tentar restringir a excursão do sinal, o transistor  $Q_{2b}$  começa a conduzir, drenando a corrente  $I_{2b}$  diretamente da carga e levando a excursão da saída até próximo de zero.

O capacitor  $C_C$  deve ser estipulado, normalmente em simulações, para que a margem de fase seja estável para  $G_v = 1$  V/V. No circuito integrado *LM3900*,  $C_C = 3$  pF. O *slew rate* resultante do amplificador, em função da corrente quiescente de coletor de  $Q_{1b}$ , vale:

$$SR = \frac{2 \times I_{C(Q_{1b})}}{C_C \times 10^6} \quad [\text{V}/\mu\text{s}] \quad (12.1)$$

Embora seja, a princípio, um amplificador de *transimpedância*, pelo fato da resistência da entrada inversora não ser muito baixa, a injeção da corrente  $i_i^-$  gera, sobre essa entrada, uma tensão  $v_i^-$  que pode ser relacionada com a tensão de saída  $v_o$  e determinar para o amplificador um ganho de tensão em malha aberta  $A_{vol}$ , como mostra o circuito equivalente da Figura 10.1b. Em cálculos com esse dispositivo, a grandeza  $A_{vol}$  é, então, usada como se ele fosse um amplificador de tensão normal.

Circuitos como o da Figura 12.1, tal como o *LM3900*, apresentam as seguintes características típicas:

- Faixa de tensão de alimentação:.....  $4 \text{ V} \leq +V_{CC} \leq 36 \text{ V}$ .
- Corrente quiescente:.....  $I_Q = 1,5 \text{ mA}$ .
- Ganho de tensão em malha aberta ( $R_L = 10 \text{ k}\Omega$ ):.....  $A_{vol} = 3000 \text{ V/V}$  ( $\approx 70 \text{ dB}$ ).
- Frequência de transição:.....  $f_T = 2,5 \text{ MHz}$ .
- Polo dominante em malha aberta:.....  $p_D \approx 800 \text{ Hz}$ .
- Margem de fase, para  $G_v = 1$  V/V:.....  $40^\circ$ .
- Taxa de variação da tensão de saída, para  $G_v = 1$  V/V:.....  $SR = 0,5 \text{ V}/\mu\text{s}$ .
- Resistência da entrada inversora, em malha aberta, com  $v_i^+ = 0$ :.....  $r_i^- = 1 \text{ M}\Omega$ .
- Resistência de saída em malha aberta:.....  $r_o = 8 \text{ k}\Omega$ .
- Corrente de polarização da entrada inversora, com  $v_i^+ = 0$ :.....  $i_B = 30 \text{ nA}$ .
- Excursão da tensão de saída:.....  $(+V_{CC} - 1) \text{ V}_{pk-pk}$ .

Maior velocidade de resposta pode ser obtida para essa estrutura se o transistor  $Q_{1b}$  for substituído por uma configuração *cascode* (emissor-comum + base-comum) e o transistor  $Q_2$ , que é um transistor **pn**p lateral de baixo desempenho em tecnologias bipolares convencionais, for substituído por um transistor **np**n, formando, com  $Q_3$ , uma estrutura Darlington. Assim, o desempenho do circuito pode alcançar parâmetros com valores mínimos de  $f_T = 30 \text{ MHz}$  e  $SR = 30 \text{ V}/\mu\text{s}$ , como é o caso do *LM359*.

## 12.2 – Amplificadores Operacionais OTA CMOS:

Amplificadores operacionais de *transcondutância* (OTA), idealmente devem possuir impedância infinita de entrada e de saída. O sinal de entrada deve ser aplicado em forma de tensão e o sinal de saída deve ser retirado em forma de corrente.

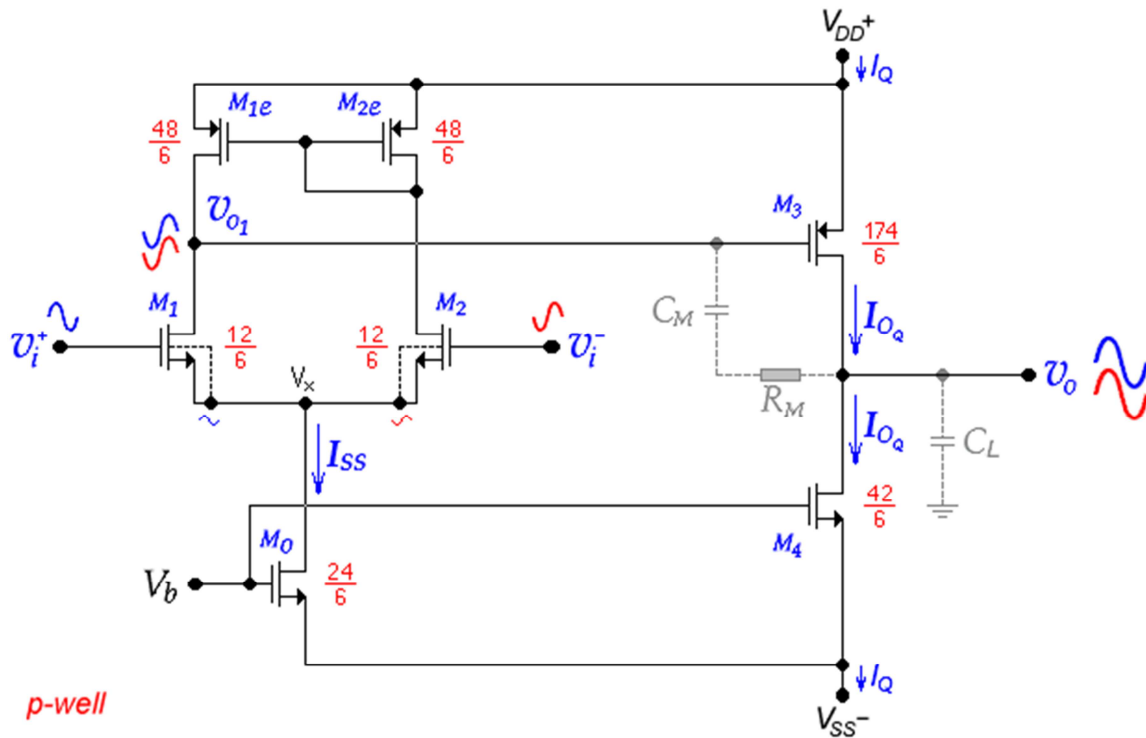


Figura 12.2 - Amplificador Operacional OTA CMOS.

A relação entre as grandezas de saída e de entrada tem, portanto, a dimensão de condutância e, devido às características de transferência, chamada de *transcondutância* ( $g_{mol}$ ) e medida em [A/V].

Como, em amplificadores reais, a resistência de saída é finita ( $r_o$ ), esses amplificadores também podem ser vistos como amplificadores de tensão, com alta resistência de saída, e com ganho em malha aberta igual a  $A_{vol} = g_{mol} \times r_o$  [V/V], em vazio, como foi comentado na *Secção 10.4*.

A Figura 12.2 dá um exemplo de arquitetura de um amplificador de transcondutância construído na tecnologia CMOS. Nesse circuito,  $M_1$  e  $M_2$  formam o par diferencial responsável pela constituição de duas entradas, idênticas em “módulo”, com características de inversão e não-inversão em relação a uma saída única. Esses transistores são MOSFET’s que possuem canal **n** e apresentam resistências muito elevadas ( $r_i \geq 1 T\Omega$ ) de entrada em suas portas. O transistor  $M_0$ , também com canal **n**, forma a fonte de corrente de lastro ( $I_{SS}$ ) do diferencial, através da aplicação da tensão de polarização  $V_b$  ao seu terminal de porta.

Os transistores  $M_{1e}$  e  $M_{2e}$ , com canais **p**, formam um espelho de corrente e exercem dois papéis: equilibram a corrente de polarização do diferencial, distribuindo  $I_{SS}/2$  para cada braço, e servem de carga ativa de alta impedância para o dreno de  $M_1$ . O transistor  $M_3$ , canal **p**, é um amplificador fonte-comum, inversor, responsável por grande parte do ganho do amplificador. O transistor  $M_4$ , canal **n**, é uma fonte de corrente constante, polarizada pela tensão  $V_b$ , que serve de carga ativa de alta impedância para o dreno de  $M_3$ .

O circuito da Figura 12.2 pode ser integrado em tecnologia MOS de poço **p** (*p-well*). A partir de um substrato **n** ligado a  $+V_{DD}$ , os transistores PMOS são construídos normalmente. Dois poços **p** são, então, difundidos no substrato **n**.

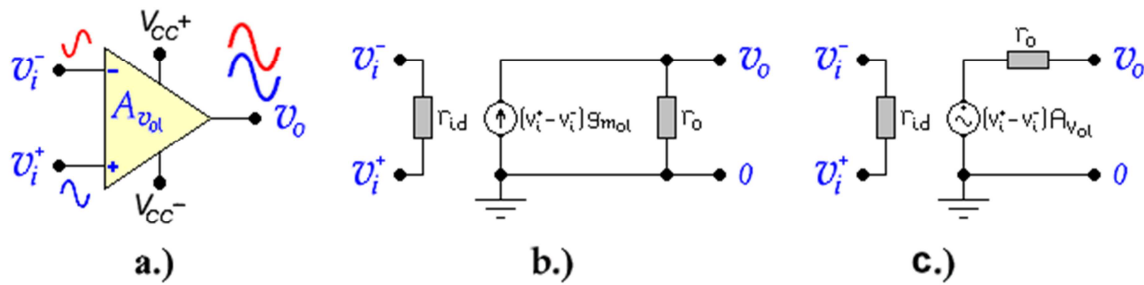


Figura 12.3 - Amplificador OTA. a.) Símbolo. b.) Circuito Equivalente como Amplificador de Transcondutância. c.) Circuito Equivalente como Amplificador de Tensão.

Em um poço p, ligado a  $-V_{SS}$ , são construídos os transistores *NMOS*  $M_o$  e  $M_4$  e em um poço p flutuante, são construídos os transistores *NMOS*  $M_1$  e  $M_2$ , com as respectivas fontes interligadas com o poço. Esse procedimento elimina a influência da tensão de substrato ( $V_{SB}$ ) sobre  $M_1$  e  $M_2$ . Esse último fato, conhecido como efeito de corpo sobre os *MOSFET*'s  $M_1$  e  $M_2$ , não permite que potenciais  $V_{SB} \neq 0$  alterem as tensões de limiar dos mesmos, causando modulações de condutividade de canal através do próprio sinal [22].

O capacitor  $C_M$  estabelece o polo dominante e a frequência de transição em malha aberta do amplificador, fixando, portanto, a margem de fase na condição de  $G_v = 1$  V/V.

Em projetos como o do amplificador da Figura 12.2, após a escolha das tensões de trabalho  $+V_{DD}$ ,  $-V_{SS}$  e  $V_b$ , deve-se estipular os níveis das correntes de polarização  $I_{SS}$  e  $I_{OQ}$ . Os critérios de escolha dessas correntes envolvem: máximo consumo, ganho final, velocidade de resposta e resistência de saída. Com as grandezas elétricas escolhidas, dimensiona-se a geometrias (razões  $W/L$ ) dos *MOSFET*'s dentro das seguintes premissas:

- Dimensiona-se a razão  $W/L$  de  $M_o$  em função de  $V_b$  e  $I_{SS}$ .
- Calcula-se a tensão  $V_{GS}$  de  $M_1$  e de  $M_2$  em função da tensão  $V_{DS}$  estipulada para  $M_o$ .
- Dimensiona-se a razão  $W/L$  de  $M_1$  e  $M_2$  em função de  $V_{DS}$  estipulado para eles.
- Dimensiona-se a razão  $W/L$  de  $M_{1e}$  e  $M_{2e}$  em função de  $V_{DS}$  estipulado para eles.
- Dimensiona-se a razão  $W/L$  de  $M_4$  em função de  $I_{OQ}$ .
- Dimensiona-se a razão  $W/L$  de  $M_3$  em função de seu  $|V_{DS}| = V_{DD}$ .

Os comprimentos de todos os canais ( $L$ ) podem ser iguais e relativamente longos para que os efeitos de modulação de comprimento de canal ( $\lambda$ ) sejam minimizados. As larguras de canal ( $W$ ), depois de calculadas, devem ter seus valores arredondados, preferencialmente, para múltiplos inteiros de  $L$ . No dimensionamento acima devem ser usados parâmetros de modelagem em *Nível 1*, exequíveis para cálculos manuais, seguindo os preceitos teóricos de cálculo de pontos de polarização [22]. Normalmente, para que se obtenha máxima excursão de sinal em qualquer ponto do circuito, as tensões quiescentes entre dreno e fonte dos *MOSFET*'s devem valer:

$$|V_{DS(M_{1e})}| = V_{DS(M_o)} \leq \frac{V_{DD} + |V_{SS}|}{4} \quad [\text{V}]$$

e

$$V_{DS(M_1)} = V_{DS(M_2)} = V_{DS(M_4)} = |V_{DS(M_3)}| = \frac{V_{DD} + |V_{SS}|}{2} \quad [\text{V}]$$

Após os cálculos dos pontos quiescentes, as grandezas elétricas  $A_{vol}$  e  $r_o$  devem ser calculadas usando-se os equacionamentos, de amplificador diferencial e de amplificador fonte-comum *MOS*, desenvolvidos na teoria [22].

O ganho em malha aberta desse amplificador normalmente não chega a ser muito elevado, confinando-se à faixa:  $1000 \text{ V/V} \leq A_{vol} \leq 10000 \text{ V/V}$ .

A resistência diferencial de entrada, em baixas frequências, pode, virtualmente, ser considerada como  $r_{id} \rightarrow \infty$ .

A resistência de saída, em baixas frequências, dada pela associação em paralelo da resistência de saída do amplificador fonte-comum e da resistência interna da fonte de corrente  $I_{OQ}$ , é elevada, ficando na faixa:  $r_o \geq 100 \text{ k}\Omega$ .

A Figura 12.3a mostra o símbolo usado para o *OTA*, a Figura 12.3b mostra seu circuito equivalente interno, linearizado para baixas frequências, na configuração de amplificador de *transcondutância* e a Figura 12.3c mostra seu circuito equivalente interno, linearizado para baixas frequências, na configuração de amplificador de *tensão*, no qual  $A_{vol} = g_{m1} \times r_o$ . A equações dinâmicas que regem o circuito são:

$$C_M = \frac{g_{m1}}{2\pi \times f_T} \quad [\text{F}] \quad p_D = \frac{f_T}{A_{vol}} \quad [\text{Hz}] \quad \text{e} \quad SR = \frac{I_{SS}}{C_M \times 10^6} \quad [\text{V}/\mu\text{s}] \quad (12.2)$$

onde:  $g_{m1}$  é a transcondutância de  $M_1$ ,  $f_T$  é a frequência de transição,  $p_D$  é o polo dominante em malha aberta e  $SR$  é o *slew rate* teórico do amplificador.

A margem de fase teórica para  $G_v = 1 \text{ V/V}$ , pode ser estimada pela equação:

$$MF = 180 - \arctg\left(\frac{f_T}{p_D}\right) - \arctg\left(\frac{f_T}{p_2}\right) \quad [^\circ] \quad (12.3)$$

onde  $p_2$  é o segundo polo da função de transferência do ganho do amplificador em malha aberta, medido em [Hz].

A Figura 12.2 apresenta, também, as dimensões  $W/L$ , em [ $\mu\text{m}$ ], dos *MOSFET*'s, escritas ao lado de cada um deles e calculadas para os seguintes dados:

Dados Elétricos:

$$V_{DD} = +5 \text{ V}; V_{SS} = -5 \text{ V}.$$

$$I_{SS} = 230 \mu\text{A} \pm 5\%; I_{OQ} = 400 \mu\text{A} \pm 5\%.$$

Dados dos *MOSFET*'s em Nível 1 @ 27°C:

$$\text{Para } L = 6 \mu\text{m}:$$

$$K_{Pn} = 33,861 \mu\text{A}/\text{V}^2; V_{Tn} = 0,67866 \text{ V e } \lambda_n = 0,009456 \text{ V}^{-1}.$$

$$K_{Pp} = 13,481 \mu\text{A}/\text{V}^2; V_{Tp} = -1,09 \text{ V e } \lambda_p = 0,0142 \text{ V}^{-1}.$$

Esses parâmetros foram adaptados para *Nível 1* a partir dos parâmetros de *Nível 2* fornecidos para uma certa tecnologia.

O parâmetro de modulação de comprimento de canal,  $\lambda$ , que é um parâmetro de geometria e não de processo, depende de  $L$  e é o parâmetro mais problemático em termos de precisão. Usando-se  $L$ 's iguais para todos os *MOSFET*'s, esse parâmetro permanece constante e não precisa ser constantemente recalculado.

Os valores de tensões quiescentes escolhidos foram:

$$\left|V_{DS(M_{1e})}\right| = V_{DS(M_o)} = 2,5 \text{ [V]} \quad ; \quad V_b = -2,5 \text{ [V]}$$

e

$$V_{DS(M_1)} = V_{DS(M_2)} = V_{DS(M_4)} = \left|V_{DS(M_3)}\right| = 5 \text{ [V]}$$

Após os cálculos manuais e os respectivos arredondamentos dos valores de  $W$  para múltiplos inteiros de  $L$ , o circuito foi simulado no *SPICE* usando-se os parâmetros de uma tecnologia de  $1.2 \mu\text{m}$ , em *Nível 2*, fornecidos a seguir:

Parâmetros de Modelagem dos *MOSFET*'s, em *Nível 2*, @  $27 \text{ }^\circ\text{C}$ :

```

*-----
*MOSFET's Tecnologia 1.2µm.
*
.model SELn NMOS(Level=2 Gamma=.65 Delta=.4 Vmax=54k Uexp=.22 Ucrit=24.3k
+           Lambda=0 Tox=25n Uo=510 Vto=.7 Ld=125n Neff=4 Cj=130u
+           Nsub=2e16 Rsh=53.5 Xj=.4u Pb=.68 Mj=.53 Fc=.5 Cgso=325p
+           Cgdo=325p Cjsw=624p Mjsw=.53 Nss=0 Nfs=0 Js=2.5u N=1
+           Tt=100p TPG=0)
*
.model SELp PMOS(Level=2 Gamma=.87 Delta=.4 Vmax=47k Uexp=.33 Ucrit=51k
+           Lambda=0 Tox=25n Uo=210 Vto=-1.105 Ld=100n Neff=.88
+           Cj=490u Nsub=5e16 Rsh=72.5 Xj=.5u Pb=.78 Mj=.46 Fc=.5
+           Cgso=325p Cgdo=325p Cjsw=588p Mjsw=.46 Nss=0 Nfs=0
+           Js=10u N=1 Tt=300p TPG=0)
*-----
    
```

Os resultados das simulações foram:

- Ponto quiescente:
  - Corrente de lastro:.....  $I_{SS} = 230 \mu\text{A}$ .
  - Corrente quiescente do estágio de saída:.....  $I_{OQ} = 419 \mu\text{A}$ .
  - Tensão quiescente do espelho:.....  $V_{DS(M_{1e})} = 2,52 \text{ V}$ .
  - Tensão quiescente do diferencial:.....  $V_{DS(M_1)} = V_{DS(M_2)} = 4,96 \text{ V}$ .
  - Tensão quiescente da fonte de lastro:.....  $V_{DS(M_o)} = 2,52 \text{ V}$ .
  
- Parâmetros dinâmicos:
  - Ganho em malha aberta em vazio:.....  $A_{vol} = 3026 \text{ V/V (69,6 dB)}$ .
  - Resistência de saída em baixas frequências:.....  $r_o = 106 \text{ k}\Omega$ .

- Polo dominante em malha aberta (com  $C_M = 1,05 \text{ pF}$  e  $C_L = 0$ ):...  $p_D = 6,26 \text{ kHz}$ .
- Frequência de transição (com  $C_M = 1,05 \text{ pF}$  e  $C_L = 0$ ):.....  $f_T = 19,35 \text{ MHz}$ .
- *Slew rate* teórico:.....  $SR_{(teor)} = 219 \text{ V}/\mu\text{s}$ .
- *Slew rate* de simulação:.....  $SR = 200 \text{ V}/\mu\text{s}$ .
- Segundo polo da função de transferência do ganho:.....  $p_2 \approx 22 \text{ MHz}$ .
- Margem de fase para  $G_v = 1 \text{ V/V}$  (com  $C_M = 1,05 \text{ pF}$  e  $C_L = 0$ ):.....  $MF = 77,7^\circ$ .
- Faixa de tensão de entrada em modo comum:.....  $V_{CM} = \pm 1,1 \text{ V}$ .
- Máxima excursão de saída:.....  $V_{OM} = \pm 4,25 \text{ V}$ .
- Rejeição a modo comum:.....  $CMRR = 83,5 \text{ dB}$ .
- Desbalanceamento (*offset*) de tensão de entrada:.....  $V_{OS} = 668,6 \mu\text{V}$ .
- Resposta em frequências para grandes sinais com  $G_v = 1 \text{ V/V}$ :...  $BW_P = 7,5 \text{ MHz}$ .

Algumas observações devem ser feitas em relação ao amplificador da Figura 12.2, ou sejam: é uma estrutura simples, fácil de ser projetada, ocupa uma área de *chip* muito pequena, é de baixo consumo, alta velocidade de resposta e apresenta uma elevada excursão de saída (*rail-to-rail*).

Tem, no entanto, algumas deficiências: a resistência de saída é muito elevada, o ganho em malha aberta é muito baixo e a faixa de tensão de entrada em modo comum é muito reduzida.

A alta resistência de saída impede que o amplificador seja usado com cargas resistivas em geral. Cargas capacitivas ( $C_L$ ) também são problemáticas. Com  $C_L = 10 \text{ pF}$ , o amplificador é estável para  $G_v \geq 10 \text{ V/V}$  e não permite praticamente nenhuma carga capacitiva para  $G_v \leq 10 \text{ V/V}$ . Para amainar esse problema, costuma-se colocar um resistor  $R_M$  de valor adequado em série com  $C_M$ , no circuito de compensação. Esse resistor, juntamente com  $C_M$ , cancela o zero situado no semiplano direito do plano complexo da função de transferência do amplificador e evita instabilidades. O valor desse resistor deve ser:  $R_M = 1/g_{m3}$ .

O ganho em malha aberta muito baixo impede linearizações corretas em malha fechada. Para contornar esse problema, outras arquiteturas com mais estágios devem ser desenvolvidas.

A faixa de tensão de entrada em modo comum, muito reduzida, limita o uso do amplificador, principalmente quando alimentado com fonte simples. Esse fato se deve à baixa compliância da fonte de corrente de lastro e do espelho de corrente [22]. Esse problema só pode ser amainado lançando-se mão de arquiteturas mais sofisticadas.

A diferença de valores de  $SR$ , entre o calculado e o simulado, deve-se ao fato de existirem capacitâncias parasitas agregadas ao nó  $v_{o1}$ , do circuito da Figura 12.2, que não foram levadas em conta no cálculo de  $SR_{(teor)}$ .

O amplificador da Figura 12.2 pode, também, ser construído com transistores de polaridades opostas aos usados. Nesse caso, deve-se usar um substrato **p** com poços **n** (*n-well*). Os transistores  $M_{1e}$ ,  $M_{2e}$  e  $M_3$  serão, então, de canal **n** e os transistores  $M_1$ ,  $M_2$ ,  $M_o$  e  $M_4$  serão, conseqüentemente, de canal **p**. O poço **n**, que contém os transistores  $M_1$  e  $M_2$ , deve ser flutuante e interligado com os terminais de fonte dos respectivos *MOSFET*'s. O poço **n**, que contém os transistores  $M_o$  e  $M_4$ , deve ser interligado com  $+V_{CC}$ . Essa topologia é normalmente preferida, na prática, porque os transistores de canal **p**, que formam o par diferencial, possuem ruído interno menor do que os transistores de canal **n**, usados no circuito da Figura 12.2.



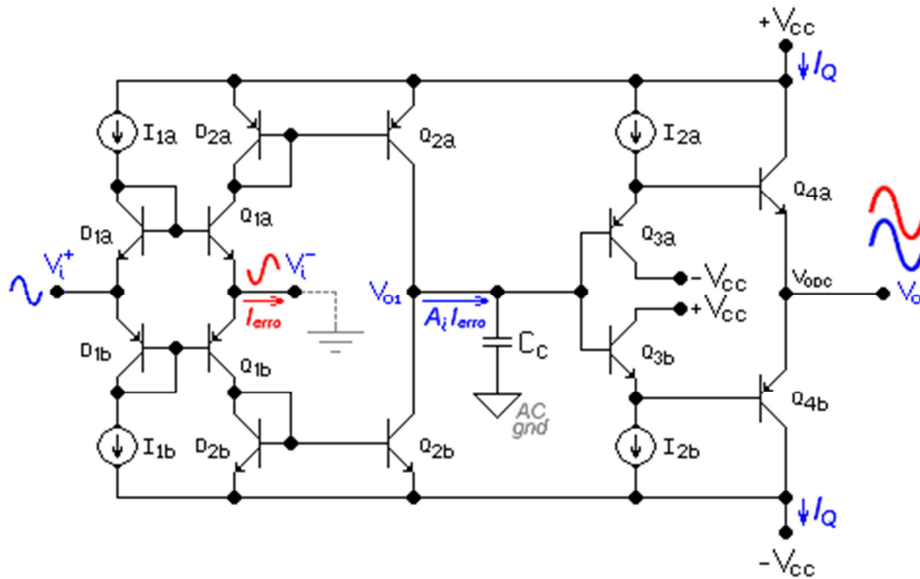


Figura 12.4 – Arquitetura Interna Simplificada do Amplificador Operacional CFA.

Além disso, o transistor  $M_3$ , responsável pelo alto ganho do amplificador em malha aberta, sendo agora de canal  $n$ , pode ter dimensões geométricas bem menores.

As equações que calculam os parâmetros elétricos desse amplificador, em malha fechada e em baixas frequências, são as mesmas desenvolvidas genericamente para o amplificador VFA nas Seções 2.2 e 2.3, isto é:

- Amplificador Não-Inversor:
  - Ganho de tensão: Equação 2.5.
  - Impedância de saída: Equação 2.6.
  - Impedância de entrada: Equação 2.7, com  $r_{id} \rightarrow \infty$ .
- Amplificador Inversor:
  - Ganho de tensão: Equação 2.8.
  - Impedância de entrada: Equação 2.9, com  $r_{id} \rightarrow \infty$ .
  - Impedância de saída: Equação 2.11.

### 12.3 - Amplificadores Operacionais CFA:

Amplificadores operacionais construídos para trabalharem com realimentação de corrente (CFA) são dispositivos que possuem arquiteturas internas totalmente diferentes daqueles que são construídos para trabalharem com realimentação de tensão (VFA). O circuito de entrada não possui o tradicional arranjo diferencial polarizado por uma fonte de corrente de lastro. A estrutura CFA é, na realidade, formada por dois braços idênticos de circuito, com polaridades opostas, formando um amplificador totalmente complementar desde a entrada até a saída. Outra característica importante desse tipo de amplificador é a de trabalhar, com exceção da entrada não-inversora e do estágio de saída, com injeções e espelhamentos de correntes. A Figura 12.4 mostra uma arquitetura elementar de um amplificador operacional CFA, em malha aberta.

### 12.3.1 – Análise em Malha Aberta:

O funcionamento global desse circuito em malha aberta é relativamente simples e pode ser descrito como a seguir:

Dois transistores bipolares, ligados como diodos ( $D_{1a}$  e  $D_{1b}$ ) e polarizados pelas fontes de corrente  $I_{1a}$  e  $I_{1b}$ , são acoplados à entrada não-inversora. Os transistores  $Q_{1a}$  e  $Q_{1b}$  estão ligados com os diodos em configurações de espelhos de corrente. Na condição de repouso, isto é, com  $v_i^+ = 0$ , as correntes dos diodos ( $I_{1a}$  e  $I_{1b}$ ) são espelhadas para os coletores dos transistores e, portanto, se  $I_{1a} = I_{1b}$ , tem-se que  $I_{C(Q1a)} = |I_{C(Q1b)}|$  e  $I_{erro} = 0$ .

Nos coletores desses transistores também são colocados outros dois transistores ligados na configuração de diodos ( $D_{2a}$  e  $D_{2b}$ ) que, por sua vez, espelham suas correntes de coletor para  $Q_{2a}$  e  $Q_{2b}$ . Esse espelhamento pode estar na proporção  $1:1$  se, em termos de áreas relativas de emissor,  $D_{2a} \equiv Q_{2a}$  e  $D_{2b} \equiv Q_{2b}$  ou em uma proporção qualquer  $n:1$ , se os transistores  $Q_{2a}$  e  $Q_{2b}$  possuírem  $n$  vezes mais emissores do que  $D_{2a}$  e  $D_{2b}$ . Essa proporcionalidade entre áreas de emissores, muito comum na construção de circuitos integrados, define um ganho de espelhamento  $A_i$ , para esse estágio. Em repouso, as correntes de coletor de  $Q_{2a}$  e  $Q_{2b}$  valem  $|I_{C(Q2a)}| = A_i \times I_{C(Q1a)}$  e  $I_{C(Q2b)} = |A_i \times I_{C(Q1b)}|$ , resultando, portanto,  $A_i \times I_{erro} = 0$ .

O estágio de saída do circuito é construído com dois amplificadores complementares do tipo coletor-comum com a mesma topologia, estruturada com  $I_1$ ,  $Q_2$  e  $Q_3$ , do circuito da Figura 12.1. Esses amplificadores possuem resistências de entrada muito elevadas, ganhos de tensão muito próximos da unidade e resistências de saída muito baixas, dependendo dos valores de  $I_{2a}$  e  $I_{2b}$  usados. Essas correntes, que devem ser iguais, estabilizam o ponto quiescente do estágio.

Como, na condição de repouso, não existe injeção de corrente no último estágio, tem-se que  $I_{B(Q3b)} = |I_{B(Q3a)}|$  e, portanto,  $I_{C(Q3b)} = |I_{C(Q3a)}| \approx I_{C(Q4a)} = |I_{C(Q4b)}| \approx I_{2a} = I_{2b}$ . A tensão de saída, nesse caso, vale, idealmente,  $V_{ODC} = 0$ .

A condição de perfeito equilíbrio estático, isto é,  $I_{erro} = 0$  e  $V_{ODC} = 0$ , para  $v_i^+ = v_i^- = 0$ , depende, evidentemente, do perfeito casamento entre os transistores **npn** e **pnp** do circuito, fato nem sempre fácil de ser obtido. Em processos bipolares convencionais, nos quais os transistores **pnp**, geralmente de estruturas laterais, possuem desempenhos bem inferiores aos **npn**, a construção desses circuitos torna-se inviável. Em modernos processos bipolares complementares, nos quais os transistores **npn** e **pnp**, obtidos por implantação iônica, são integrados em substratos isolados por dielétrico no mesmo *chip*, amplificadores operacionais *CFA* de alto desempenho passaram a ser construídos. Mesmo assim, esse tipo de amplificador possui maiores problemas de desbalanceamentos (*offset*) do que os *VFA* convencionais. Topologias discretizadas de *CFA*, como amplificadores de potência de áudio, também podem ser desenvolvidas.

Dinamicamente, o funcionamento do circuito da Figura 12.4 também é muito simples. A impedância da entrada não-inversora é relativamente elevada, pois, considerando os diodos  $D_{1a}$  e  $D_{1b}$  idealmente como curtos-circuitos para o sinal *AC*, essa entrada controla, apenas, as correntes de base dos transistores  $Q_{1a}$  e  $Q_{1b}$ , que são muito pequenas. É, então, uma entrada controlada prioritariamente por tensão ( $v_i^+$ ). A entrada inversora, constituída por emissores de amplificadores do tipo base-comum, é, por outro lado, de baixa impedância, controlada, portanto, prioritariamente por corrente ( $I_{erro}$ ).

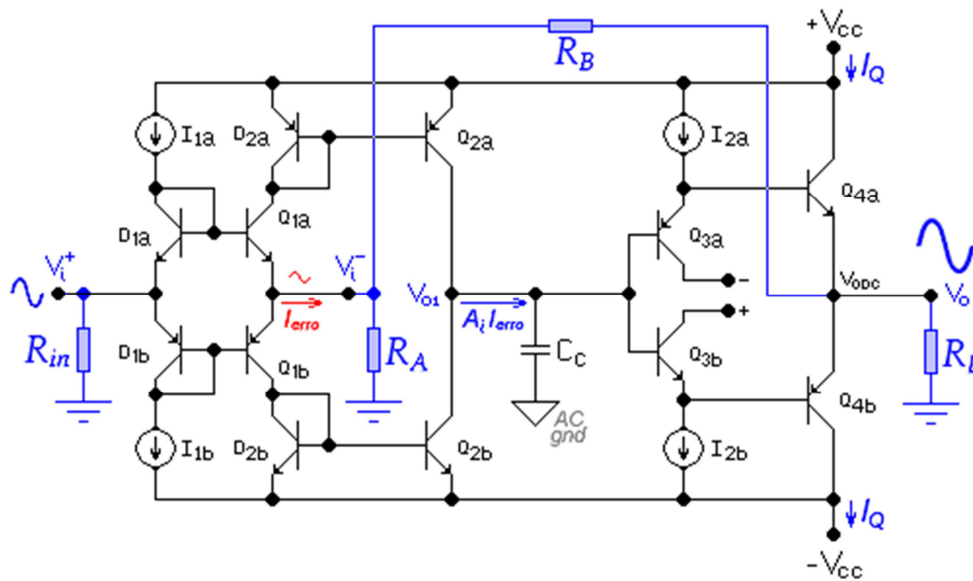


Figura 12.5 - Amplificador Operacional CFA em Malha Fechada.

Quando  $v_i^+ > 0$ , o diodo  $D_{1a}$  é obrigado a conduzir menos, aumentando a condução de  $Q_{1a}$  e o diodo  $D_{1b}$  é obrigado a conduzir mais, diminuindo a condução de  $Q_{1b}$ . É gerada, então, uma corrente no terminal  $v_i^-$ , chamada  $I_{erro}$ , proporcional a  $v_i^+$ . Essa corrente é espelhada para  $Q_{2a}$ , gerando no seu coletor, uma corrente de erro igual a  $A_i \times I_{erro}$ . Essa corrente, injetada no nó, determina uma tensão  $v_{o1}$  sobre a impedância de carga, constituída pela reatância de  $C_c$  em paralelo com a resistência total do nó,  $R_T$ .

A resistência  $R_T$  é igual à associação em paralelo entre a resistência de saída do coletor de  $Q_{2a}$  e a resistência de entrada dos amplificadores do tipo coletor-comum e, portanto, é muito elevada. A tensão  $v_{o1}$  é, então, transferida para a saída com ganho unitário e em regime de baixa impedância. Para  $v_i^+ < 0$  o comportamento do circuito é análogo, mas com os sinais algébricos, das grandezas elétricas, trocados.

Como visto na *Secção 10.2*, as grandezas de entrada, em malha aberta, em vazio e em baixas frequências, são transferidas para a saída segundo a relação:

$$v_o = \left( \frac{v_i^+}{r_i^-} - I_{erro} \right) \times T_Z \tag{12.4}$$

onde,  $T_Z = A_i \times R_T$  é a *transimpedância* do amplificador medida em  $[\Omega]$ .

As faixas de valores desses parâmetros para amplificadores CFA integrados comerciais são:  $500 \text{ k}\Omega \leq T_Z \leq 20 \text{ M}\Omega$  e  $10 \text{ }\Omega \leq r_i^- \leq 500 \text{ }\Omega$ .

Em regime transitório, quando for aplicado, na entrada não-inversora, um degrau com larga excursão de tensão, percebe-se, pela Figura 10.4, que o capacitor  $C_c$  será carregado por uma corrente  $A_i \times I_{erro}$  proporcional à tensão de entrada. Como essa corrente não está atrelada a nenhuma fonte interna, ela não é limitada pela corrente de polarização do estágio de entrada.

A corrente  $A_i \times I_{erro}$  é demandada, portanto, diretamente da fonte de alimentação pelo espelho de corrente (*current-on-demand*) e, por isso, não há limitação teórica para a taxa de variação (*slew rate*) da tensão de saída do CFA, se  $R_T \rightarrow \infty$ . Para valores finitos e muito elevados de  $R_T$ , essas taxas de variação caem, na prática, para circuitos integrados comerciais, na faixa:  $500 \text{ V}/\mu\text{s} \leq SR \leq 10000 \text{ V}/\mu\text{s}$ .

Para projetos práticos de circuitos como o da Figura 12.4, devem ser usadas as teorias de cálculo e projeto de fontes e de espelhos de corrente [20] e a teoria de cálculo de amplificadores bipolares básicos [21].

### 12.3.2 – Análise em Malha Fechada:

#### - Amplificador Não-Inversor:

A Figura 10.5 mostra um amplificador CFA realimentado na configuração não-inversora. O resistor  $R_{in}$  estabelece a polarização do primeiro estágio e resistência de entrada do amplificador em baixas frequências. Os resistores  $R_A$  e  $R_B$  formam a realimentação negativa necessária para o estabelecimento do ganho e da linearização do amplificador em malha fechada. Os cálculos dos parâmetros elétricos desse amplificador foram desenvolvidos na Seção 10.2.1 e expressados pelas Equações 10.3, 10.4 e 10.5. Se os parâmetros internos aproximarem-se dos idealizados, essas grandezas tornam-se:

$$G_v \cong 1 + \frac{R_B}{R_A} \quad [\text{V/V}] \quad ; \quad R_i \cong R_{in} \quad [\Omega] \quad \text{e} \quad R_o \rightarrow 0 \quad [\Omega]$$

Também na Seção 10.2.1 foi demonstrado que, se  $R_T \rightarrow \infty$  e  $r_o \rightarrow 0$ , a largura de faixa da resposta em frequências do amplificador em malha fechada vale:

$$0 \leq B_{cl} \leq \frac{1}{2\pi R_B C_c} \quad [\text{Hz}]$$

isto é, a frequência de corte em altas depende inversamente do valor do capacitor interno de compensação  $C_c$ , geralmente imutável, e da resistência de realimentação externa  $R_B$ , escolhida pelo projetista. Como o ganho de tensão pode ser ajustado por  $R_A$ , se  $R_B$  for mantido constante, a largura de faixa do amplificador CFA torna-se independente do ganho em malha fechada. Esse fato faz com que o desempenho em altas frequências desse dispositivo seja muito superior ao do VFA, que não possui essa característica.

#### - Amplificador Inversor:

Com a estrutura inversora em malha fechada mostrada na Figura 10.5b, o amplificador CFA, excetuando-se o fato de manter a resposta em frequências muito estendida, não difere do amplificador VFA e, portanto, as equações desenvolvidas na Seção 2.3 podem ser usadas para os cálculos dos parâmetros elétricos.

Se os parâmetros internos aproximarem-se dos idealizados, essas grandezas tornam-se, em baixas frequências:

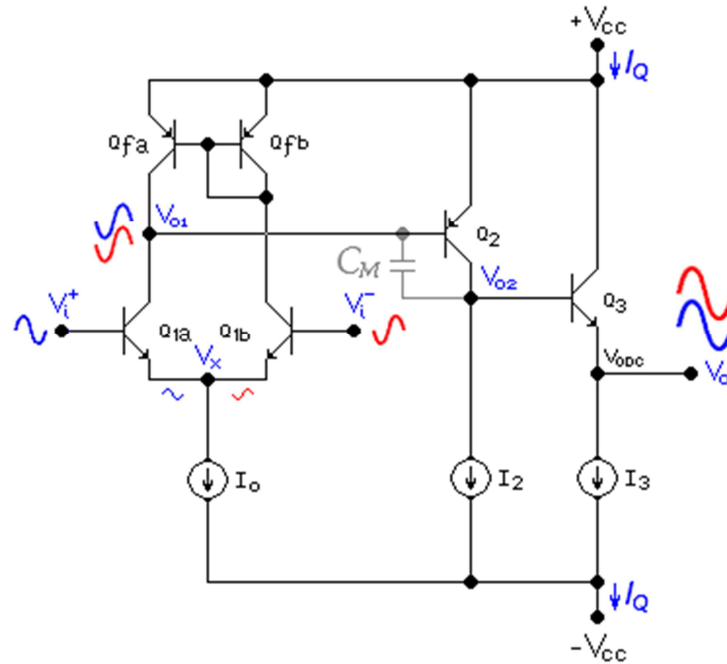


Figura 12.6 – Amplificador Operacional VFA Elementar Com Diferencial npn.

$$G_v = -\frac{R_B}{R_A} \text{ [V/V]} ; R_i = R_A \text{ [\Omega]} \text{ e } R_o \rightarrow 0 \text{ [\Omega]}$$

### 12.4 - Amplificadores Operacionais VFA:

Amplificadores operacionais construídos para trabalharem com realimentação de tensão (VFA) são dispositivos que possuem duas entradas de alta impedância, iguais “em módulo” e opostas em fase, que controlam uma saída simples de baixa impedância.

#### 12.4.1 – Arquitetura Bipolar Básica:

A Figura 12.6 mostra uma arquitetura elementar de um amplificador operacional VFA. O circuito básico de entrada desse dispositivo é o amplificador diferencial, **npn**, neste caso, polarizado por uma fonte de corrente de lastro  $I_o$ . As correntes quiescentes dos coletores dos transistores  $Q_{1a}$  e  $Q_{1b}$ , do diferencial, são equilibradas por um espelho de corrente convencional formado por  $Q_{fa}$  e  $Q_{fb}$ , este último ligado como diodo. Se  $Q_{fa}$  e  $Q_{fb}$  possuírem características casadas e  $\beta$ s elevados, as correntes quiescentes dos coletores dos transistores  $Q_{1a}$  e  $Q_{1b}$  serão iguais e obedecerão à seguinte relação:  $I_{C(Q1a)} = I_{C(Q1b)} = I_o/2$ . O diferencial estará, portanto, em equilíbrio estático. No ponto quiescente, com as bases de  $Q_{1a}$  e  $Q_{1b}$  aterradas, espera-se que  $V_i^+ = V_i^- = V_{ODC} = 0$  e, conseqüentemente,  $V_X = -V_{BE(Q1a)} = -V_{BE(Q1b)}$ . Como a tensão no coletor de  $Q_{1a}$  vale  $V_{o1} = +V_{CC} - V_{BE(Q2)}$ , a tensão quiescente entre coletor e emissor desse transistor vale  $V_{CE(Q1a)} = V_{o1} - V_X \approx V_{CC}$  e ele está, portanto, polarizado no centro da reta de carga, assim como  $Q_{1b}$ , pois  $V_{CE(Q1a)} \approx V_{CE(Q1b)}$ .

O transistor  $Q_2$  está polarizado por uma fonte de corrente  $I_2$  e o transistor  $Q_3$ , por sua vez, está polarizado por uma fonte de corrente  $I_3$ . Esses transistores também têm seus pontos quiescentes colocados aproximadamente no centro das retas de carga respectivas porque  $V_{CE(Q3)} = V_{CC}$  e  $|V_{CE(Q2)}| = V_{CC} - V_{BE(Q3)} \approx V_{CC}$ . A polarização mais crítica é a do transistor  $Q_{fa}$  do espelho de corrente. Para haver um espelhamento de corrente efetivo nesse tipo de circuito, sabe-se que o transistor  $Q_{fa}$  necessita estar polarizado na sua região ativa, isto é,  $|V_{CE(Qfa)}| \geq |V_{BE(Qfa)}|$ . Pelo circuito da Figura 12.6 constata-se que  $|V_{CE(Qfa)}| = |V_{BE(Q2)}|$ . Então, se for estipulado  $I_2 > I_o/2$ , pode-se afirmar que  $|V_{BE(Q2)}| > |V_{BE(Qfa)}|$  e, portanto,  $|V_{CE(Qfa)}| \geq |V_{BE(Qfa)}|$ , como se pretende. De qualquer maneira, o transistor  $Q_{fa}$  está polarizado na fronteira de sua região ativa e pode entrar em saturação facilmente com a excursão do sinal  $V_{o1}$  e deixar, conseqüentemente, de espelhar a corrente referenciada por  $Q_{fb}$ . As fontes  $I_o$ ,  $I_2$  e  $I_3$  estão polarizadas com folga, pois as tensões sobre elas também estão próximas de ou são iguais a  $V_{CC}$ .

Dinamicamente, o funcionamento do circuito é bastante simples. Como a corrente de lastro do diferencial é constante ( $I_o$ ), qualquer tendência de aumento na corrente de coletor de  $Q_{1a}$  causa uma tendência de diminuição na corrente de coletor de  $Q_{1b}$  e vice-versa. Quando, portanto,  $v_i^+$  crecer ou  $v_i^-$  diminuir, a corrente de coletor de  $Q_{1a}$  tende a crescer. Como o espelho não permite variações, esse aumento de corrente é totalmente transferido para a base de  $Q_2$ , aumentando sua corrente de coletor. O aumento da corrente de coletor de  $Q_2$  é, então, totalmente transferido para a base de  $Q_3$ , porque a fonte de corrente  $I_2$  não permite variações. A corrente de emissor de  $Q_3$ , conseqüentemente, cresce, umentando a tensão de saída do amplificador ( $v_o$ ). Em relação à saída, a entrada  $v_i^+$  é, portanto, não-inversora e a entrada  $v_i^-$  é inversora. Como pode ser constatado no estudo do amplificador diferencial [20], os ganhos de tensão, relacionando a saída com as duas entradas, são iguais em módulo e, por isso, pode-se escrever que:

$$v_o = (v_i^+ - v_i^-) \times A_{vol} \quad [\text{V}]$$

onde  $A_{vol}$  é definido como sendo o ganho de tensão em malha aberta do amplificador operacional.

O circuito da Figura 12.6 possui três estágios de amplificação: o amplificador diferencial composto por  $Q_{1a}$  e  $Q_{1b}$ , o amplificador emissor-comum composto por  $Q_2$  e o amplificador emissor-comum composto por  $Q_3$ . O ganho total do amplificador vale, portanto:

$$A_{vol} = A_{v(dif)} \times A_{v(EC)} \times A_{v(CC)} \quad [\text{V/V}]$$

Considerando as fontes e o espelho de corrente ideais, considerando desprezíveis os efeitos Early dos transistores e considerando que a saída do amplificador está carregada com uma carga  $R_L$ , pode-se escrever que:

$$A_{v(dif)} = 2 \times g_{md} \times R_{L(dif)} = \frac{I_o}{2V_t} \times r_{\pi(Q2)} = \frac{I_o}{2V_t} \times \frac{\beta_2}{g_{m(Q2)}}$$

$$A_{v(EC)} = g_{m(Q2)} \times R_{L(EC)} = g_{m(Q2)} \times R_{i(CC)} \cong g_{m(Q2)} \times \beta_3 \times R_L$$

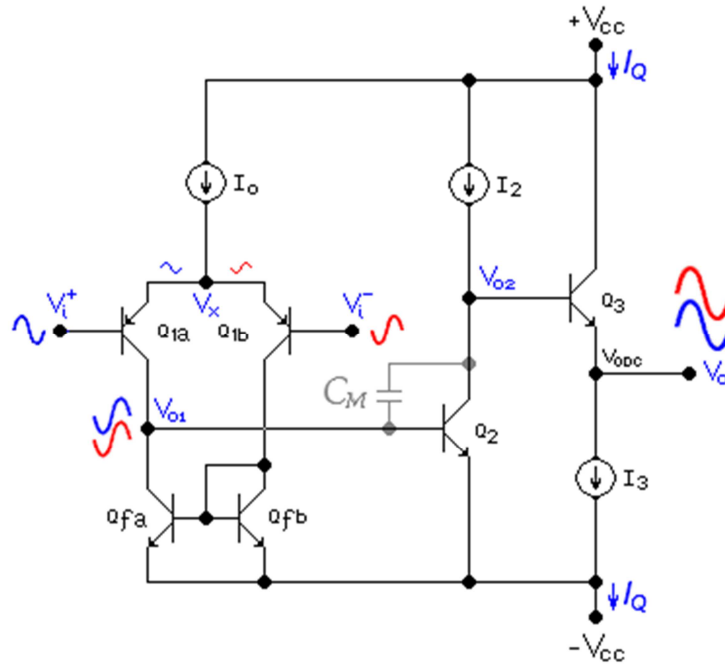


Figura 12.7 - Amplificador Operacional VFA Elementar Com Diferencial *pnp*.

$$A_{v(CC)} \cong 1$$

⇒

$$A_{vol} \propto \frac{I_o}{2V_t} \times \beta_2 \times \beta_3 \times R_L \quad [V/V] \tag{12.5}$$

A Equação 12.5 não é, evidentemente, válida para cálculos numéricos precisos, mas tem uma validade didática muito importante. Essa equação indica quais parâmetros são cruciais no cálculo do ganho em malha aberta de um amplificador VFA. O ganho do primeiro estágio, por exemplo, não depende de  $\beta_{(Q1a)}$  e de  $\beta_{(Q1b)}$ , mas do valor da corrente de lastro  $I_o$ . Já os ganhos dos outros estágios dependem dos  $\beta$ 's dos transistores e, por isso, em muitos projetos, os transistores  $Q_2$  e  $Q_3$  são substituídos por configurações Darlington. As resistências das entradas, no entanto, dependem de  $\beta_{(Q1a)}$  e de  $\beta_{(Q1b)}$  e, também por isso, em muitos projetos, os transistores  $Q1a$  e  $Q1b$  são substituídos por configurações Darlington. Em projetos de circuitos integrados bipolares convencionais, nos quais todos os dispositivos ativos são formados no mesmo substrato, os transistores **pnp**, oriundos de uma estrutura lateral, não são de boa qualidade, pois possuem os parâmetros  $\beta$  e  $V_{FA}$  muito pequenos. Nesse caso, a arquitetura da Figura 12.7 deve ser preferida porque os estágios dependentes de  $\beta$  são construídos com transistores **npn**. Em processos bipolares totalmente complementares ou em projetos com estruturas discretas, evidentemente, esse problema não existe.

As correntes de polarização dos três estágios devem ter valores escalonados, crescendo em direção à saída. Em circuitos integrados, nos quais o consumo de energia é um fator de grande importância, as correntes são, normalmente, diminutas.

A corrente de lastro, por exemplo, deve ser estipulada na faixa:  $10 \mu A \leq I_o \leq 100 \mu A$ . A corrente do segundo estágio, por sua vez, corriqueiramente é estipulada na faixa:  $100 \mu A \leq I_2 \leq 500 \mu A$ . O último estágio, quando polarizado em *classe A* como nos circuitos das Figuras 12.6 e 12.7, devem ter suas correntes de polarização mais elevadas para poderem suprir as necessidades das cargas e abaixar a resistência de saída. Nesse caso, pode-se estipular a faixa:  $1 mA \leq I_3 \leq 10 mA$ . Em muitos projetos comerciais, no entanto, pelo bem do baixo consumo, esse estágio é implementado em *classe AB* com correntes de polarização na faixa  $100 \mu A \leq I_3 \leq 500 \mu A$ , como é o caso do amplificador operacional 741. Em projetos discretos, quando o consumo não é importante, os valores dessas correntes podem ser bem mais elevados, como, por exemplo,  $500 \mu A \leq I_o \leq 2 mA$ ,  $1 mA \leq I_2 \leq 2 mA$  e  $5 mA \leq I_3 \leq 20 mA$ , com o estágio de saída polarizado em *classe A*.

Nas Figuras 12.6 e 12.7, o capacitor  $C_M$ , chamado de capacitor Miller, determina o polo dominante, a frequência de transição e a taxa de variação da tensão de saída (*slew rate*) do operacional, possibilitando, assim, a obtenção de uma margem de fase adequada para o amplificador realimentado. Essas grandezas dinâmicas podem ser calculadas como a seguir:

$$f_T = \frac{g_{md}}{\pi C_M} = \frac{I_o}{4\pi C_M V_t} \quad [\text{Hz}] \quad ; \quad p_D = \frac{f_T}{A_{vol}} \quad [\text{Hz}] \quad \text{e} \quad SR = \frac{I_o}{C_M \times 10^6} \quad [\text{V}/\mu\text{s}] \quad (12.6)$$

Os resultados obtidos pelas relações da Equação 12.6 são máximos teóricos e servem como diretrizes de projeto. Os resultados práticos, que englobam capacitores e resistores parasitas, podem ser bem inferiores e devem ser determinados por simulação. Para que o circuito seja estável em malha fechada, isto é, para que a margem de fase seja superior a  $45^\circ$  com  $G_v = 1 V/V$ , é essencial que não exista nenhum ponto singular na função de transferência do módulo do ganho do amplificador em malha aberta para  $p_D \leq f \leq f_T$ . Amplificadores como os das Figuras 12.6 e 12.7 normalmente possuem um segundo polo  $p_2$  na função de transferência do ganho, gerado no nó  $V_{o2}$  pela capacitância de base de  $Q_3$  e pela capacitância interna da fonte  $I_2$ . É essencial, portanto, pelo bem da estabilidade, que  $f_T < p_2$ . O polo  $p_2$  é, normalmente, difícil de ser calculado teoricamente e, por isso, a determinação de  $C_M$  e, conseqüentemente, de  $f_T$ , pode ser feita com mais precisão em programas simuladores do tipo *SPICE*.

### 12.4.2 – Arquitetura Bipolar Discreta:

Amplificadores operacionais desenvolvidos com componentes discretos são muitas vezes usados, na prática, porque permitem que sejam feitos projetos mais específicos para determinadas aplicações não alcançadas pelos circuitos integrados de uso universal. Na área de ensino, projetos podem ser desenvolvidos, simulados, montados e dissecados integralmente em bancadas de laboratório, propiciando uma abrangência maior de informação e de aprendizado. As arquiteturas discretas diferem pouco das integradas, mas os desempenhos finais podem diferir bastante. Transistores bipolares discretos, mesmo para uso em pequenos sinais, possuem geometrias muito maiores do que os correspondentes de circuitos integrados.



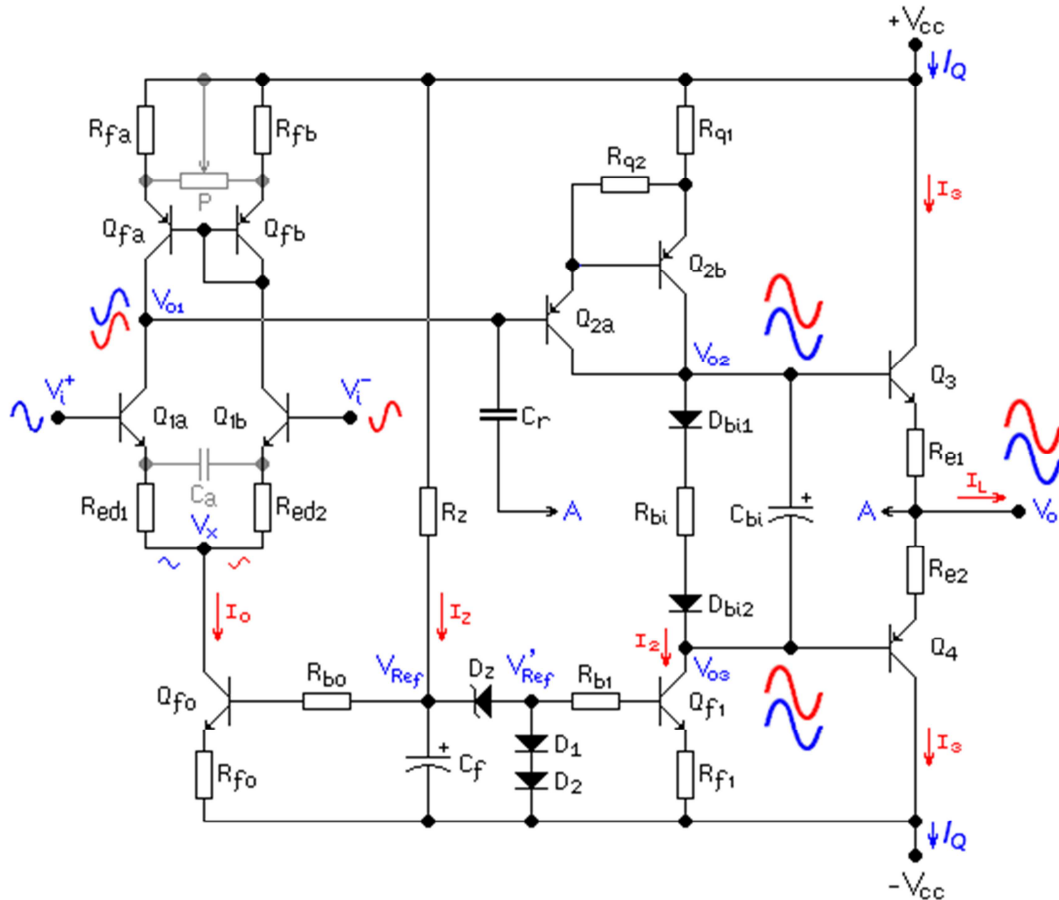


Figura 12.8 – Amplificador Operacional Bipolar VFA Discretizado.

Essas geometrias grandes possuem capacitâncias de junção maiores e são mais lentos, em termos de resposta em frequências ou em tempos de chaveamento. Em compensação, trabalham com níveis de corrente superiores, suportam tensões reversas maiores e não apresentam diferenças de qualidade entre dispositivos **pnp** e **npn**, como em tecnologias bipolares integradas convencionais.

A Figura 12.8 apresenta uma sugestão de arquitetura de um operacional VFA construído com componentes discretos e que pode ser usada no projeto de *SEL315-Circuitos Eletrônicos III*. Essa estrutura segue a mesma filosofia de arquitetura usada no circuito da Figura 12.6. A fonte de corrente de lastro  $I_o$  foi implementada com uma topologia de Widlar modificada, a qual apresenta elevadíssima resistência interna vista pelo sinal AC [20]. A tensão de referência para a fonte foi obtida através da associação série de um diodo Zener e dois diodos de silício para pequenos sinais (*1N4148*, *1N914*, *BAW62A*, etc.). Outras referências, como, por exemplo, obtidas a partir de diodos de silício para pequenos sinais, de *LED*'s ou de referências de *gap*, também podem ser usadas. O diodo Zener possui maior ruído intrínseco (é gerador de ruído branco) e causa maiores perdas de inserção na fonte do que as outras opções, mas é mais estável do que os diodos de silício para pequenos sinais e os *LED*'s e mais baratos do que as referências de *gap*.

No circuito da Figura 12.8,  $V_{Ref} = V_Z + 2V_\gamma$ , sendo  $V_\gamma$  a queda de tensão direta sobre os diodos  $D_1$  e  $D_2$  e  $V_Z$  a queda de tensão reversa sobre  $D_Z$ . A corrente da fonte vale, então:

$$I_o = \frac{V_Z + 2V_\gamma - V_{BE(Q_{fo})}}{R_{fo}} \cong \frac{V_Z + V_\gamma}{R_{fo}} \quad [\text{A}] \quad (12.7)$$

A resistência  $R_{bo} = 100 \, \Omega$  serve para proteger a base de  $Q_{fo}$  contra excesso de corrente e não tem influência no funcionamento do circuito. O resistor  $R_Z$  polariza o diodo Zener e seu valor deve ser calculado para que  $I_Z \approx 5 \text{ mA}$ . O capacitor  $C_f = 10 \, \mu\text{F}$  filtra ruídos, principalmente oriundos de  $-V_{CC}$ , e ajuda a manter a estabilidade de  $V_{Ref}$ . O transistor  $Q_{fo}$  deve possuir tensão Early mais elevada e, por isso, aconselha-se o uso do BC548A. O diodo Zener não deve ser de tensão muito elevada para não deteriorar demasiadamente a compliância da fonte. Aconselha-se que esse componente seja para uma faixa de tensão de  $3,9 \text{ V} \leq V_Z \leq 5,1 \text{ V}$  e com uma capacidade de dissipação de potência de  $0,5 \text{ W}$ .

A escolha do valor de  $I_o$  é crucial para o desempenho final do circuito. Como foi explicitado pelas relações da Equação 12.6, para a arquitetura da Figura 12.6, tanto a frequência de transição como o *slew rate* do amplificador são diretamente proporcionais a  $I_o$ . Se, na tentativa de se elevar o *slew rate*, a corrente  $I_o$  for aumentada, o ganho em malha aberta e a frequência de transição também aumentam, diminuindo assim a margem de fase do amplificador, deixando-o, portanto, instável. A solução para esse problema é alcançada se o aumento de  $I_o$  não acarretar um aumento correspondente de ganho. Isso é conseguido mantendo-se  $g_{md}$  constante através da colocação de resistores degenerativos de emissor,  $R_{ed1} = R_{ed2} = R_{ed}$ , no diferencial. Sabe-se que, para o amplificador diferencial, a transcondutância vale [20]:

$$g_{md} = \frac{I_o}{2 \times (2V_t + R_{ed} I_o)} \quad [\text{A/V}] \quad (12.8)$$

Como o ganho de tensão e a frequência de transição são diretamente proporcionais a  $g_{md}$ , pode-se, com o intuito de se aumentar o *slew rate*, aumentar o valor de  $I_o$ , sem que o valor de  $g_{md}$  seja alterado, dimensionando-se adequadamente o valor de  $R_{ed}$  segundo a Equação 12.8. Esse procedimento é corriqueiramente usado em projetos de amplificadores operacionais, integrados ou discretos. Em projetos discretos o consumo não é um fator importante ou proibitivo e, portanto,  $I_o$  pode ter seu valor elevado tanto quanto o necessário para se obter um *slew rate* adequado. Deve-se lembrar, porém, que correntes elevadas no primeiro estágio geram ruído térmico nos componentes ativos e passivos e deterioram a figura de ruído do amplificador. Por isso, a corrente de lastro necessita ser mantida dentro da faixa:  $I_o \leq 2 \text{ mA}$ . Os resistores de emissor,  $R_{ed1}$  e  $R_{ed2}$ , além do ajuste do ganho, trazem alguns benefícios adicionais ao circuito. Aumentam as resistências das entradas, dispensando, assim, o uso de configurações Darlington, e linearizam o amplificador. As desvantagens que esses resistores trazem são: a diminuição do ganho, como já foi citado, e a redução de excursão de sinal. A faixa usual de valores para esses resistores é:  $470 \, \Omega \leq R_{ed} \leq 4,7 \text{ k}\Omega$ . Os transistores  $Q_{1a}$  e  $Q_{1b}$ , do diferencial, devem ser versões de baixo ruído e alto  $\beta$  como, por exemplo, o BC549C ou o BC550C.

Como espelho de corrente de carga do diferencial, face às dificuldades em se conseguir aleatoriamente pares casados de transistores discretos, foi usada uma versão supersimétrica, na qual os resistores  $R_{fa}$  e  $R_{fb}$  garantem a simetria e, se forem iguais, a razão de espelhamento de 1:1, independentemente dos parâmetros internos de  $Q_{fa}$  e  $Q_{fb}$ , desde que possuam valores adequados [20]. Esses resistores também elevam a resistência interna, vista pelo sinal AC, do braço de circuito que contém  $Q_{fa}$ . A desvantagem que esses resistores trazem é a diminuição da compliância do espelho e, por isso, eles devem ter seus valores contidos na faixa:  $470 \Omega \leq R_f \leq 1,5 k\Omega$ . Os transistores do espelho devem possuir tensão Early e  $\beta$  elevados e, portanto, podem ser usados, para  $Q_{fa}$  e  $Q_{fb}$ , tipos como BC558A ou BC558B. O potenciômetro  $P$  (optativo) serve para anular o *offset* de tensão de saída em malha fechada e deve valer:  $P \geq 10R_f$ .

A fonte de corrente do segundo estágio,  $I_2$ , foi implementada com uma topologia de Widlar modificada usando como referência uma tensão derivada da referência da fonte  $I_o$ , ou seja,  $V_{Ref} = 2V_\gamma$ . O fato de ser usada uma tensão de referência menor faz com que a compliância da fonte se eleve e aumente a excursão do sinal de saída. A corrente  $I_2$  pode ser calculada pela equação:

$$I_2 = \frac{2V_\gamma - V_{BE(Qf1)}}{R_{f1}} \cong \frac{V_\gamma}{R_{f1}} \quad [A] \quad (12.9)$$

O valor da corrente  $I_2$  determina o ganho do segundo estágio e deve ser suficientemente alto para excitar o estágio de saída em regime de máxima excursão. São usuais valores na faixa:  $1 mA \leq I_2 \leq 3 mA$ . Com o tipo de tensão de referência usado, essa fonte possui coeficiente térmico negativo e ajuda a proteger os transistores contra avalanche térmica, se a temperatura subir demasiadamente. A resistência  $R_{b1} = 1 k\Omega$  serve para proteger a base de  $Q_{f1}$  contra excesso de corrente e não tem influência significativa no funcionamento do circuito. O transistor  $Q_{f1}$  deve possuir tensão Early e  $\beta$  elevados e, portanto, pode ser usado o tipo BC546A, com  $V_{CE(max)} \geq 2 \times V_{CC}$ .

Como amplificador emissor-comum do segundo estágio foi usada uma configuração Darlington composta por  $Q_{2a}$  e  $Q_{2b}$ , com o resistor degenerativo de emissor  $R_{q1}$ . A configuração Darlington aumenta significativamente a resistência de entrada do amplificador, aumentando o ganho do primeiro estágio, e propicia uma tensão de polarização maior para o espelho de corrente, garantindo, assim, que  $Q_{fa}$  permaneça na sua região ativa. O resistor  $R_{q1}$  aumenta ainda mais a resistência de entrada desse estágio, regula o ganho em um valor adequado, lineariza o amplificador e torna seu ganho mais dependente da transcondutância  $g_m$  do que do  $\beta$  do transistor. Em contrapartida, diminui a excursão disponível do sinal de saída. De preferência, mas não obrigatoriamente, para simetrizar o ceifamento do sinal de saída em condição de máxima excursão, deve-se usar a relação:  $R_{q1} = R_{f1}$ . A faixa de valores usuais para esse resistor é igual a:  $47 \Omega \leq R_{q1} \leq 1 k\Omega$ .

O resistor  $R_{q2} = 10 k\Omega$  serve para limitar o valor do  $\beta$  total da configuração e aumentar a velocidade de chaveamento de  $Q_{2b}$ . Os componentes  $D_{bi1}$ ,  $D_{bi2}$  e  $R_{bi}$  servem para polarizar o último estágio em classe A. Como esses componentes estão em curto-circuito pela ação do capacitor  $C_{bi}$ , com valores na faixa  $10 \mu F \leq C_{bi} \leq 100 \mu F$ , eles não afetam o segundo estágio em AC. Os transistores  $Q_{2a}$  e  $Q_{2b}$  podem ser do tipo BC556B, com  $|V_{CE(max)}| \geq 2 \times V_{CC}$ .

O estágio de saída do circuito da Figura 12.8 foi construído com os transistores  $Q_3$  e  $Q_4$  em uma estrutura complementar, coletor-comum, também chamada de *push-pull*. Em repouso, teoricamente,  $V_{ODC} = 0$  e a corrente de polarização em *classe A* deve ser dimensionada de modo que  $I_3 \geq I_{L(max)}/2$ , sendo  $I_{L(max)}$  a máxima corrente de pico de saída, desejada para o amplificador. Quando o sinal AC excursionar na entrada desse amplificador, no semiciclo positivo, o transistor  $Q_3$  aumentará sua condução e o transistor  $Q_4$  será levado em direção ao corte. Se  $I_3 \geq I_{L(max)}/2$ , a corrente no transistor  $Q_3$  atingirá o valor de  $I_{L(max)}$  antes que o transistor  $Q_4$  atinja o corte e o sinal de saída atingirá o valor de  $V_{o(max)}$ . Se, por outro lado, o sinal AC excursionar na entrada desse amplificador, no semiciclo negativo, o transistor  $Q_4$  aumentará sua condução e o transistor  $Q_3$  será levado em direção ao corte. Se  $I_3 \geq I_{L(max)}/2$ , a corrente no transistor  $Q_4$  atingirá o valor de  $-I_{L(max)}$  antes que o transistor  $Q_3$  atinja o corte e o sinal de saída atingirá o valor de  $-V_{o(max)}$ . Como, em toda a excursão do sinal, nenhum transistor atingiu a situação de corte, o estágio está trabalhando em *classe A*. Estágios de saída polarizados em *classe A* geram muito menos distorções do que em outras classes de polarização, como *classe B* ou *classe AB*. O ganho de tensão do estágio é muito próximo da unidade e a resistência de saída é muito baixa. A polarização quiescente desse estágio é executada por  $D_{bi1}$ ,  $D_{bi2}$  e  $R_{bi}$ , percorridos pela corrente constante  $I_2$ . Se  $R_{e1} = R_{e2} = R_e$ , por somatória de tensões na malha pode-se escrever que:

$$R_{bi}I_2 + 2V_\gamma = 2R_eI_3 + V_{BE(Q3)} + |V_{BE(Q4)}|$$

$\Rightarrow$

$$I_3 \cong \frac{R_{bi}}{2R_e} \times I_2 \quad [\text{A}] \quad (12.10)$$

Além de executarem a polarização do estágio de saída, os componentes  $D_{bi1}$ ,  $D_{bi2}$ ,  $R_{e1}$  e  $R_{e2}$  promovem estabilidade térmica para o estágio. A faixa de valores para os resistores de emissor é:  $R_e \leq 22 \Omega$ , dependendo do valor de  $I_{L(max)}$ . Se forem usados transistores dos tipos *BC546B* e *BC556B*, respectivamente para  $Q_3$  e  $Q_4$ , a corrente de saída deverá ficar restrita a  $I_{L(max)} \leq 25 \text{ mA}$ . Se correntes de saída maiores forem desejadas, os transistores  $Q_3$  e  $Q_4$  deverão ser formados por configurações Darlington cujos primeiros transistores ( $Q_{3a}$  e  $Q_{4a}$ ) são os indicados e os segundos ( $Q_{3b}$  e  $Q_{4b}$ ) serão transistores com capacidades de corrente compatíveis. Os resistores  $R_e$ , nesse caso, deverão ter seus valores diminuídos proporcionalmente aos valores de  $\beta$  dos transistores  $Q_{3b}$  e  $Q_{4b}$  e o resistor  $R_{bi}$  deve ser redimensionado em função do novo valor de  $I_3$ . Para todos os transistores deverá ser observada a relação:  $|V_{CE(max)}| \geq 2 \times V_{CC}$ .

Com os transistores indicados na explanação, pode-se usar  $V_{CC(max)} = \pm 24 \text{ V}$ .

A compensação do circuito, que dá estabilidade para  $G_v = 1 \text{ V/V}$ , é feita por atraso de fase (*lag compensation*) através de  $C_r$ . No caso, foi usada uma realimentação englobando os dois últimos estágios. As relações dadas pela Equação 12.6, com  $C_M = C_r$ , continuam válidas como diretrizes de projeto.

O capacitor  $C_a$  (optativo) executa uma compensação por adiantamento de fase (*lead compensation*), introduzindo um zero na função de transferência do módulo do ganho do amplificador em malha aberta, cujo valor é dado por:

$$z = \frac{1}{4\pi C_a R_{ed}} \quad [\text{Hz}]$$

Esse zero, igual ou próximo a  $p_2$ , pode ser introduzido para que seja possível obter-se uma  $f_T$  maior para o amplificador, sem que a estabilidade seja prejudicada.

- **Dados para projeto:**

Se o circuito da Figura 12.8 for projetado para trabalhar como pré-amplificador de áudio de alta qualidade, alimentado com  $V_{CC} = \pm 24 \text{ V}$ , os seguintes parâmetros são exigidos para ele:

- Ganho em malha aberta em DC e em vazio:  $10 \text{ kV/V} \leq A_{vol} \leq 100 \text{ kV/V}$  ( $80\text{dB} \sim 100\text{dB}$ ).
- Resistência de entrada em malha aberta:  $r_i \geq 10 \text{ k}\Omega$ .
- Resistência de saída em malha aberta:  $r_o \leq 300 \Omega$ .
- Produto ganho  $\times$  largura de faixa:  $GBP \geq 2 \text{ MHz}$ .
- Taxa de subida da tensão de saída para  $G_v = 1 \text{ V/V}$ :  $SR \geq 17 \text{ V}/\mu\text{s}$ .
- Resposta em frequências em regime de grandes sinais:  $BW_p \geq 140 \text{ kHz}$ .
- Margem de fase para  $G_v = 1 \text{ V/V}$ :  $MF \geq 50^\circ$ .
- Razão de rejeição a modo comum:  $CMRR \geq 60 \text{ dB}$ .
- Rejeição à fonte de alimentação:  $PSRR \geq 60 \text{ dB}$ .
- Faixa de tensão de entrada em modo comum:  $V_{CM} \geq 6 \text{ V}_{pk-pk}$ .
- Excursão de saída:  $V_{OM} \geq 20 \text{ V}_{pk}$ .
- Carga máxima:  $R_L \geq 1 \text{ k}\Omega$ .
- Desbalanceamento de saída para  $G_v = 1 \text{ V/V}$ :  $V_{off(max)} = \pm 15 \text{ mV}$ .
- Relação sinal/ruído:  $S/N \geq 60 \text{ dB}$ .
- Distorção harmônica total para  $G_v = 10 \text{ V/V}$  e  $v_o = V_{OM}$ :  $THD \leq 0,1 \%$ .
- Tempo de acomodação da tensão de saída para  $G_v = 1 \text{ V/V}$  e  $v_o = \pm 0,1 V_{OM}$ :  $t_s \leq 1 \mu\text{s}$ .

### 12.4.3 - Arquitetura Bi-FET Discreta:

Uma maneira alternativa de se introduzir perdas no  $g_{md}$  do diferencial, ao invés de serem colocados resistores degenerativos de emissor nos transistores  $Q_{1a}$  e  $Q_{1b}$ , é através do uso de JFET's. Os JFET's são componentes quase passivos cuja transcondutância, para a mesma corrente de polarização, chega a ser quarenta vezes menor do que a de um BJT correspondente. O canal pinçado desses componentes, portanto, nada mais é do que um resistor controlado por tensão. Em tecnologias bipolares, muitos resistores integrados são construídos usando esse princípio (*base pinch resistor*) e esse princípio também pode ser usado na construção de amplificadores operacionais Bi-FET. A Figura 12.9 mostra uma arquitetura típica de um amplificador operacional Bi-FET discreta. Nota-se que essa topologia é idêntica à da Figura 12.8 com exceção dos resistores de emissor,  $R_{ed1}$  e  $R_{ed2}$ , que foram substituídos por JFET's com canais do tipo n. Como indica a Equação 12.8, a transcondutância do diferencial é inversamente proporcional ao valor da resistência  $R_{ed}$  e, portanto, os sinais de entrada podem ser aplicados nas portas dos JFET's, controlando os valores desses resistores e, assim, controlando a transcondutância do diferencial.

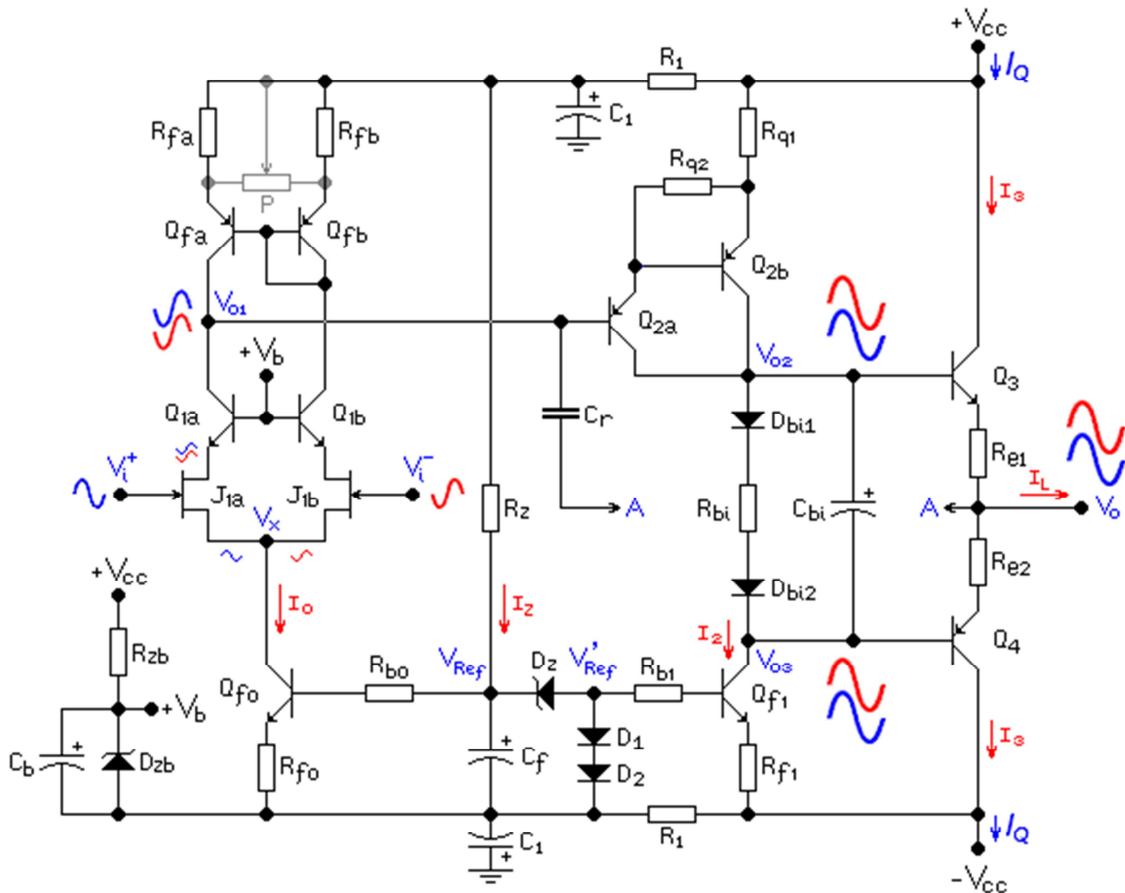


Figura 12.9 - Amplificador Operacional Bi-FET VFA Discretizado.

As bases de  $Q_{1a}$  e  $Q_{1b}$ , nesse caso, devem ser aterradas para os sinais AC. Eletronicamente falando, os dispositivos  $J_{1a}+Q_{1a}$  e  $J_{1b}+Q_{1b}$ , ligados em cascata, formam estruturas chamadas *cascode* e que podem ser calculadas usando-se a teoria de amplificadores básicos, bipolares [21] e de efeito de campo [23]. Nesse tipo de estrutura, o *JFET*, polarizado com uma tensão  $V_{DS}$  pequena, trabalha em configuração fonte-comum, inversora, mas com um ganho de tensão muito próximo da unidade. O *BJT*, por outro lado, polarizado com uma tensão  $V_{CE} \approx V_{CC}$ , trabalha em configuração base-comum, não-inversora, com um ganho de tensão elevado e muito próximo daquele obtido no circuito da Figura 12.8. O diodo Zener  $D_{zb}$ , polarizado pelo resistor  $R_{zb}$ , gera uma tensão  $V_b$  de polarização adequada para os amplificadores base-comum. O capacitor  $C_b$  aterra as bases de  $Q_{1a}$  e  $Q_{1b}$ , para o sinal AC. O funcionamento do restante do circuito é idêntico ao da Figura 12.8 e já foi explanado na *Secção 12.4.2*. A vantagem dessa estrutura, em relação à anterior, é que o *JFET* apresenta resistência de entrada elevadíssima em baixas frequências ( $r_i \geq 100 \text{ G}\Omega$ ), e, além disso, maior velocidade de resposta e menor ruído intrínseco do que o *BJT*. A vantagem da configuração *cascode*, em relação à emissor-comum, é a de não apresentar *efeito Miller*, propiciando uma resposta em frequências muito maior, um tempo de chaveamento muito menor e uma dependência muito pequena da resistência interna da fonte excitadora da entrada ou da realimentação do amplificador diferencial.

A desvantagem dessa estrutura em projetos discretos é a dificuldade na obtenção aleatória de *JFET*'s casados, fato que pode gerar desbalanceamentos (*offset*) proibitivos de tensão, em montagens práticas.

Como a disponibilidade de *JFET*'s comerciais é muito pequena, principalmente no mercado brasileiro, a obtenção de componentes adequados de baixo custo pode ser difícil. Os tipos mais simples de *JFET*'s disponíveis no mercado são os *BF245A*, *BF245B* e *BF245C* (*Philips*), todos com canal **n** para pequenos sinais. Para maior precisão de resultados práticos, são comercializadas versões com dois *JFET*'s quase que perfeitamente casados (*dual*), integrados no mesmo *chip*. Alguns exemplos desses componentes são as versões de alta transcondutância: *2N5469* e *2N5911* (*Vishay-Siliconix*) e as versões de baixa transcondutância: *U401*, *U421* e *2N3958* (*Vishay-Siliconix*), todos com canal **n** para pequenos sinais.

Se versões de *JFET*'s de alta transcondutância forem usadas, os transistores  $Q_{1a}$  e  $Q_{1b}$ , do circuito da Figura 12.9, podem ser eliminados sendo que, assim, o amplificador diferencial será constituído apenas de *JFET*'s. Os amplificadores operacionais comerciais dos tipos *TL071* e *LF351* são construídos dessa maneira. Quando são usados *JFET*'s com baixa transcondutância, o uso dos transistores  $Q_{1a}$  e  $Q_{1b}$  é obrigatório e o circuito resultante alcança ganho de tensão em malha aberta, frequência de transição e *slew rate* bem superiores, como é o caso do amplificador operacional *AD845* (*Analog Devices*). Os dois primeiros modelos possuem os seguintes parâmetros:  $f_T = 4 \text{ MHz}$  e  $SR = 13 \text{ V}/\mu\text{s}$ , enquanto que, para o *AD845*, esses parâmetros valem:  $f_T = 16 \text{ MHz}$  e  $SR = 100 \text{ V}/\mu\text{s}$ .

Os componentes  $R_1 \leq 100 \ \Omega$  e  $10 \ \mu\text{F} \leq C_1 \leq 100 \ \mu\text{F}$  foram adicionados ao circuito da Figura 12.9 como filtros adicionais de ondulações e ruídos das fontes de alimentação.

Nenhum dispositivo de proteção contra curtos-circuitos ou sobrecargas de saída foi adicionado ao circuito da Figura 12.9.

#### 12.4.4 – Arquitetura Para Fonte Simples:

A maioria dos amplificadores operacionais *VFA* pode ser alimentada com fonte simples, isto é,  $+V_{CC}$  e *terra*, desde que a entrada não-inversora seja polarizada com uma tensão igual a  $+V_{CC} / 2$ , causando uma tensão quiescente de saída  $V_{ODC} = +V_{CC} / 2$ . Em amplificadores *AC*, nos quais os sinais são acoplados por capacitores, tanto na entrada quanto na saída, esse fato não causa maiores problemas. Existe, porém, uma comercial família de amplificadores operacionais desenvolvida especialmente para trabalhar com fonte de alimentação simples e que permite que sejam aplicadas, nas entradas, tensões contínuas inclusive nulas ( $V_{CM} = 0$ ). Alguns desses modelos, como o *LM324*, o *LM6142* e o *LM6144*, que têm aplicações como comparadores e como amplificadores *DC*, foram citados nas Seções 5, 6 e 7. Quando alimentados com  $V_{CC} = 5 \text{ V}$ , esses amplificadores podem trabalhar diretamente como interface de circuitos digitais *TTL* ou *CMOS*. A alimentação com fonte dupla também é viável, desde que a máxima tensão global de alimentação não seja ultrapassada. A arquitetura básica desse tipo de amplificador é mostrada na Figura 12.10, que difere muito pouco da estrutura da Figura 12.7.

Uma diferença básica está no estágio de entrada. Colocando-se configurações *Darlington pnp* nas entradas, elas passam a aceitar tensões mínimas nulas ( $V_{CM} = 0$ ), sem alterar as características de ganho do amplificador.

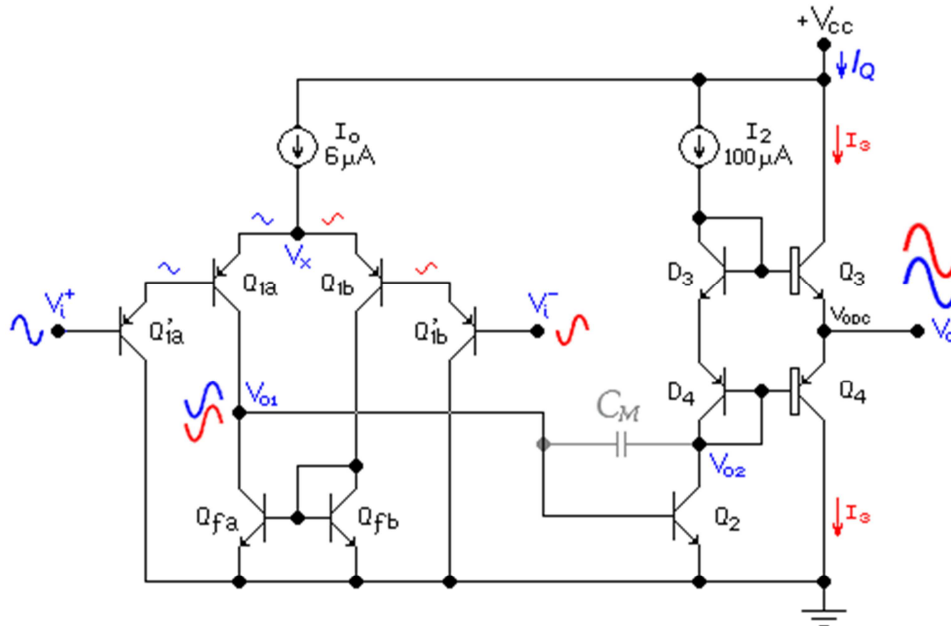


Figura 12.10 – Amplificador Operacional Próprio Para Ser Alimentado Com Fonte Simples.

Quando  $v_i^+ = v_i^- = 0$ , a tensão nos emissores compartilhados do diferencial cai para o valor  $V_X = 2|V_{BE}|$ . Como a tensão nos coletores de  $Q_{1a}$  e  $Q_{1b}$  vale  $V_{oI(DC)} = V_{BE}$ , todos os transistores ( $Q_{1a}$ ,  $Q_{1b}$ ,  $Q_{1a'}$ ,  $Q_{1b'}$ ,  $Q_{fa}$  e  $Q_{fb}$ ) ficam, nessa situação, com  $V_{CE} = V_{BE}$  e, portanto, polarizados no limite da região ativa, trabalhando, assim, normalmente.

Na realidade, esse tipo de entrada, em modo comum, aceita tensões que podem ficar na faixa  $v_i^+ = v_i^- \geq -0,3V$ , sem que os transistores  $Q_{1a}$ ,  $Q_{1b}$ ,  $Q_{1a'}$ ,  $Q_{1b'}$ ,  $Q_{fa}$  e  $Q_{fb}$  entrem em saturação plena. Se a fonte de corrente  $I_o$  for de alta compliância, a máxima tensão que pode ser aplicada nas entradas, em aplicações de amplificação linear, é  $V_{CM}^+ = V_{CC} - 1,5 V$ . Em aplicações como comparadores ou como interfaces digitais, todavia, a máxima tensão de entrada pode atingir o valor de  $V_{CC}$  sem que o circuito seja danificado. Mesmo sendo construída com transistores **pn**p de tecnologias bipolares convencionais e, portanto, transistores com  $\beta$  baixo, a resistência de entrada apresenta-se muito elevada, consumindo correntes de polarização de base da ordem de  $30 nA \sim 50 nA$ , com o valor de  $I_o$  mostrado no circuito.

Outra diferença entre o circuito da Figura 12.10 e o circuito da Figura 12.7 está no estágio de saída. No circuito anterior, o estágio de saída foi construído com um amplificador coletor-comum convencional ( $Q_3$ ) polarizado por uma fonte de corrente  $I_3$ . Na arquitetura atual, o estágio de saída é constituído por um par complementar ( $Q_3$  e  $Q_4$ ), em *push-pull*, na configuração coletor-comum *classe AB* e excitado por espelhos de corrente construídos com dois transistores ligados na configuração de diodos ( $D_3$  e  $D_4$ ). A corrente quiescente desses transistores ( $I_3$ ) é igual à corrente  $I_2$  espelhada na proporção  $n:1$ , sendo  $n$  a razão entre as áreas dos transistores e dos respectivos diodos, isto é,  $Q_3 \leftrightarrow D_3$  e  $Q_4 \leftrightarrow D_4$ . Por exemplo, se  $Q_3$  e  $Q_4$  possuírem áreas quatro vezes maiores do que os diodos correspondentes, a corrente quiescente de saída, para o valor de  $I_2$  estipulado no circuito, será  $I_3 \approx 400 \mu A$ .



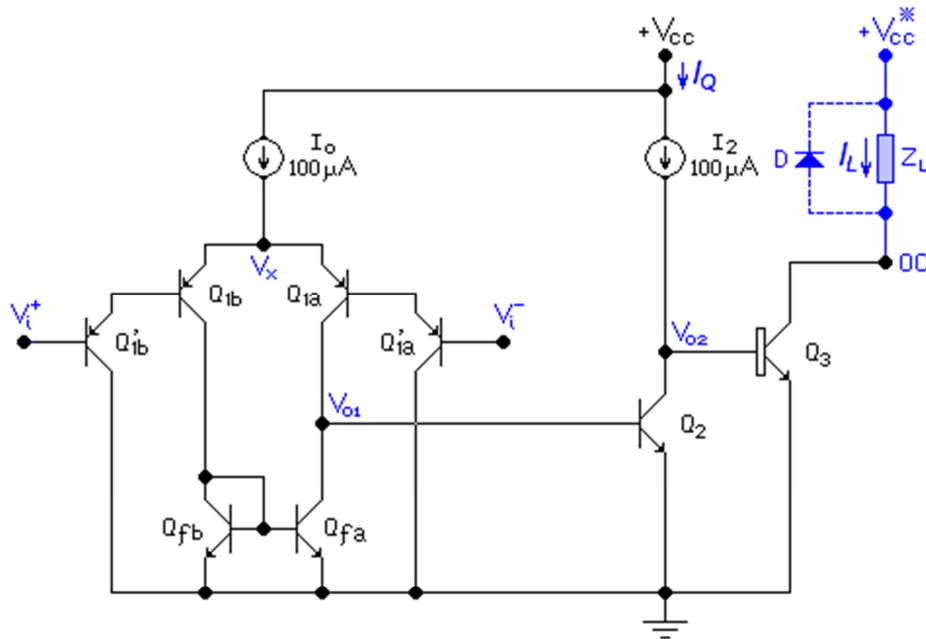


Figura 12.11 - Comparador Próprio Para Ser Alimentado Com Fonte Simples.

Os símbolos usados para  $Q_3$  e  $Q_4$ , no circuito da Figura 12.10, indicam que eles possuem geometria grande (*large npn* e *large pnp*). Estágios de saída do tipo complementar, polarizados em *classe AB*, propiciam maior excursão de sinal de saída ( $V_{OM}^+ = V_{CC} - 0,5 V$  e  $V_{OM}^- = 0,5 V$ ), menor consumo quiescente e menor resistência de saída do que o amplificador coletor-comum convencional polarizado em *classe A*. Esse tipo de arquitetura, portanto, também pode ser usado com vantagens, no circuito da Figura 12.7. As considerações sobre os cálculos de  $A_{vol}$ ,  $f_T$ ,  $SR$ , etc., não diferem das explanadas na *Secção 12.4.1* para os amplificadores das Figuras 12.6 e 12.7. Arquiteturas como a da Figura 12.10, quando fabricadas em tecnologias convencionais, são normalmente lentas em termos de resposta em frequências e a transientes ( $1 MHz \leq f_T \leq 8 MHz$  e  $0,5 V/\mu s \leq SR \leq 4 V/\mu s$ ). Arquiteturas mais rápidas, no entanto, podem ser desenvolvidas com topologias um pouco diferentes, como será explanado na *Secção 12.4.6*.

#### 12.4.5 – Comparador:

Comparadores convencionais, projetados para trabalharem com fonte simples, possuem, com exceção do estágio de saída, a mesma topologia do amplificador operacional da Figura 12.10. A análise e as considerações envolvendo o circuito de entrada são, portanto, as mesmas feitas na *Secção 12.4.4*. O circuito de saída, por outro lado, difere bastante, em topologias de comparadores. A Figura 12.11 mostra uma arquitetura de comparador próprio para ser alimentado com fonte simples e com a saída em *coletor aberto*. Saídas em *coletor aberto* têm, como foi visto na *Secção 5*, algumas vantagens sobre uma saída convencional, ou sejam:

- A tensão  $+V_{CC}^*$  pode ser diferente da tensão  $+V_{CC}$ , de alimentação do circuito, permitindo, assim, adaptações de níveis lógicos entre *DTL*, *TTL*, *ECL*, *CMOS*, *analógico*  $\rightarrow$  *TTL*, *analógico*  $\rightarrow$  *CMOS*, etc..
- Permitem ligações chamadas *ORing*, isto é, várias saídas ligadas em paralelo com apenas uma entrada lógica e usando apenas um resistor externo ligado a  $+V_{CC}^*$ .
- Permitem interfaces mais simples com outros dispositivos elétricos tais como relês, solenóides, enrolamentos de motores, lâmpadas, *LED*'s, etc., todos designados por  $Z_L$ , no circuito da Figura 12.11.

A entrada do comparador da Figura 12.11 permite  $V_{CM}^- = 0$ , isto é, ambas as entradas podem ser colocadas no potencial de *terra* sem afetar o funcionamento do circuito. Esse circuito, no entanto, não permite  $V_{CM}^+ = +V_{CC}$ , isto é, ambas as entradas não podem ser colocadas no potencial de  $+V_{CC}$  ao mesmo tempo. Se, por outro lado,  $0 < v_i^+ < V_{CC} - 2 V$ , então a entrada inversora pode excursionar na faixa  $0 \leq v_i^- \leq V_{CC}$  e se  $0 < v_i^- < V_{CC} - 2 V$ , então a entrada não-inversora pode excursionar na faixa  $0 \leq v_i^+ \leq V_{CC}$ , isto é, individualmente as entradas podem excursionar *rail-to-rail*, embora não em modo comum. Por exemplo, se, no circuito da Figura 12.11,  $V_{CC} = 5V$  e  $v_i^- = 1 V$ , quando  $v_i^+ < 1 V$  os transistores  $Q_{1a}$  e  $Q_{1a}'$  conduzem toda a corrente  $I_o$ , os transistores  $Q_{1b}$ ,  $Q_{1b}'$  e  $Q_2$  cortam, a corrente  $I_2$  é totalmente injetada na base de  $Q_3$  e esse transistor entra em saturação, abaixando a tensão *OC* para  $V_{CEsat} \leq 0,4 V$  ( $V_{OL}$ ). Se, por outro lado,  $v_i^+ > 1 V$ , os transistores  $Q_{1a}$  e  $Q_{1a}'$  cortam, os transistores  $Q_{1b}$  e  $Q_{1b}'$  passam a conduzir toda a corrente  $I_o$ , saturando  $Q_2$  e fazendo com que o transistor  $Q_3$  entre em corte, elevando a tensão *OC* para  $+V_{CC}$  ( $V_{OH}$ ). Nesse caso, a tensão da entrada não-inversora pode excursionar na faixa  $0 \leq v_i^+ \leq 5 V$ . O mesmo raciocínio em relação à entrada inversora pode ser desenvolvido, se uma tensão fixa for colocada na entrada não-inversora.

A mínima impedância de carga  $Z_L$  depende da máxima corrente  $I_L$  suportada pelo coletor do transistor  $Q_3$  e as máximas tensões  $V_{CC}$  e  $V_{CC}^*$ , aplicáveis ao circuito, dependem das tensões de ruptura reversa dos transistores internos. Se a impedância  $Z_L$  for indutiva, como no caso de bobinas de relês, de solenóides e de enrolamentos de motores, etc., o diodo  $D$  deve ser colocado para absorver picos de tensões reversas, em regimes de chaveamento, que podem danificar  $Q_3$ .

O circuito da Figura 12.11 não precisa ser compensado, pois não vai trabalhar em regimes de realimentação negativa. O transistor  $Q_3$  deve ser de dimensões maiores (*large npn*) do que os demais para ter sua capacidade de corrente aumentada.

Comparadores convencionais integrados, como os tipos *LM339* e *LM393*, possuem arquiteturas como a da Figura 12.11. Para esses circuitos, as grandezas elétricas máximas valem:  $V_{CC(max)} = 36 V$  e  $I_{LL(max)} = 16 mA$ . Quando  $Q_3$  está saturado, a mínima tensão de saída cai para  $V_{OL(max)} = 0,25 V$  e quando  $Q_3$  está cortado, com  $V_{OH} = V_{CC}$ , a corrente de fuga máxima pelo transistor vale  $I_{LH(max)} = 0,1 nA$ . O atraso de mudança de estado da saída, em relação à mudança de estado de entrada, é da ordem de  $t_d = 300 ns$ , para esse tipo de circuito.

O circuito da Figura 12.11 também pode ser usado como amplificador linear, com realimentação negativa, se for compensado externamente para que tenha uma margem de fase adequada.

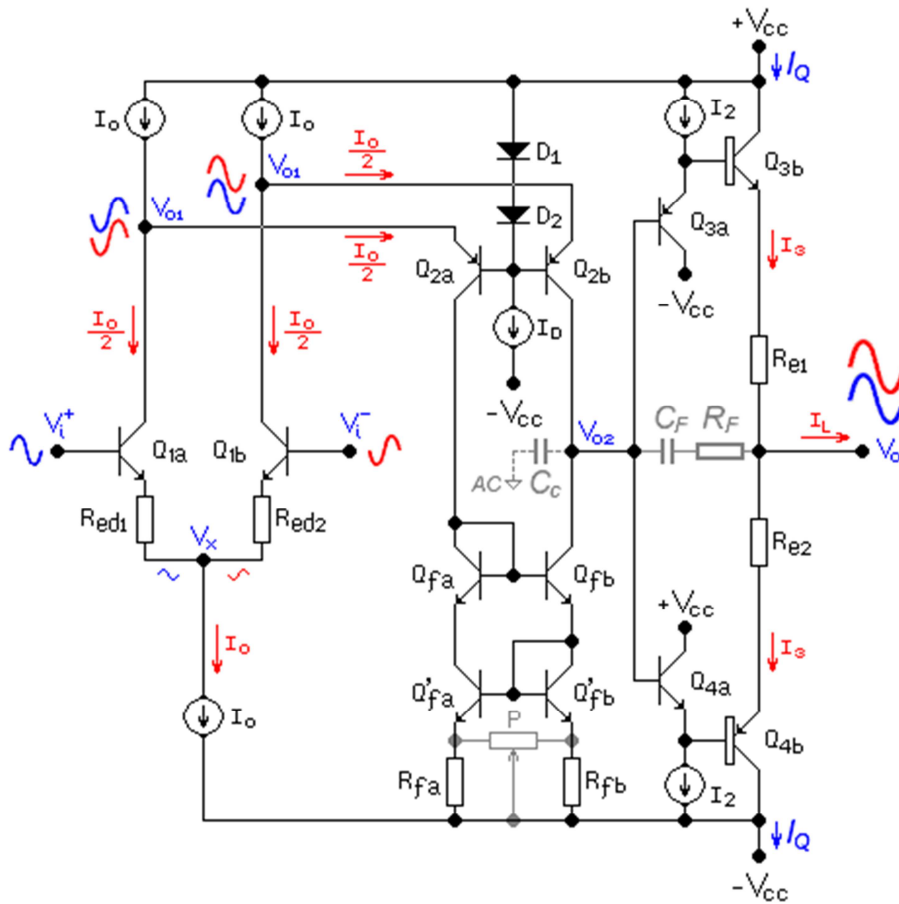


Figura 12.12 – Amplificador Operacional VFA de Alta Velocidade.

Um transistor **npn** externo, formando uma configuração Darlington com  $Q_3$ , também pode ser adicionado para aumentar a capacidade de corrente de saída. Alimentações com fontes duplas também são viáveis.

#### 12.4.6 – Arquitetura de Alta Velocidade:

Arquiteturas VFA's de alta velocidade também podem ser desenvolvidas em tecnologias bipolares complementares. Embora não alcancem o nível de rapidez de resposta dos CFA's, essas estruturas são bem rápidas e podem ser usadas como amplificadores de ultra-som e de sinais de vídeo, com alto desempenho. Exemplos comerciais desses amplificadores são: AD847 e LM6361, com  $f_T = 50 \text{ MHz}$  e  $SR = 300 \text{ V}/\mu\text{s}$ , AD8051, AD8052 e AD8054, com  $f_T = 150 \text{ MHz}$  e  $SR = 145 \text{ V}/\mu\text{s}$ , e LMH6642, com  $f_T = 130 \text{ MHz}$  e  $SR = 130 \text{ V}/\mu\text{s}$ . O motivo da rapidez de resposta da estrutura está ligado a dois fatores:

- Processos bipolares modernos, nos quais os transistores complementares são de dimensões diminutas, construídos por implantação iônica e isolados por dielétrico no mesmo substrato.

Isso faz com que os transistores do tipo **pnp** possuam características muito próximas às dos transistores do tipo **npn**, ou seja, valores elevados de  $\beta$  ( $100 \sim 200$ ) e de  $f_T$  ( $600 \text{ MHz} \sim 800 \text{ MHz}$ ).

- Topologias favoráveis a respostas em frequências estendidas.

A Figura 12.12 mostra uma topologia simplificada de um amplificador operacional VFA com alta velocidade de resposta. O amplificador diferencial, composto por  $Q_{1a}$  e  $Q_{1b}$ , com os respectivos resistores degenerativos de emissor,  $R_{ed1}$  e  $R_{ed2}$ , e a fonte de corrente de lastro,  $I_o$ , são convencionais. As cargas de coletor desses transistores, no entanto, não são constituídas pelo corriqueiro espelho de corrente seguido de um amplificador emissor-comum de alto ganho, como na topologia da Figura 12.8.

Nesse circuito, os coletores do diferencial estão carregados por duas fontes de corrente constante, que dão equilíbrio estático ao circuito, e por amplificadores do tipo base-comum, numa estrutura, chamada *cascode*, parecida com a do amplificador da Figura 12.9. A diferença aqui é que o *cascode*, constituído por  $Q_{2a}$  e  $Q_{2b}$ , está invertido (*folded cascode*), permitindo maior excursão total de sinal. Os transistores  $Q_{2a}$  e  $Q_{2b}$ , que formam amplificadores do tipo base-comum, têm suas bases polarizadas por dois diodos,  $D_1$  e  $D_2$ , que, por sua vez, estão polarizados pela fonte de corrente  $I_D$ . As bases desses transistores recebem uma tensão de polarização igual a  $V_{CC} - 2V_\gamma$  e estão, virtualmente, ligadas ao *terra* para o sinal AC. As cargas dos coletores de  $Q_{2a}$  e  $Q_{2b}$  são formadas por um espelho de corrente de Wilson [20], supersimétrico e com altíssima impedância interna vista pelo sinal AC, conferindo, assim, alto ganho de tensão ao estágio. As correntes de polarização de coletores são iguais a  $I_o / 2$  para todos os transistores desse estágio e permanecem estaticamente estáveis pela ação das fontes de corrente.

O último estágio, constituído por  $Q_{3a}$ ,  $Q_{3b}$ ,  $Q_{4a}$  e  $Q_{4b}$ , é um amplificador do tipo coletor-comum complementar em *push-pull*, que, graças aos elevados valores de  $\beta$  resultantes das configurações falso Darlington ( $Q_{3a}+Q_{3b}$  e  $Q_{4a}+Q_{4b}$ ), apresenta alta resistência de entrada, baixa resistência de saída e ganho de tensão muito próximo da unidade. Esse estágio, idêntico ao da Figura 12.4, pode estar polarizado em *classe A* ou, mais comumente em circuitos integrados de uso universal, em *classe AB*. Se for polarizado em *classe A*, deve-se ater à relação  $I_3 > I_{L(pk)}/2$ , onde  $I_{L(pk)}$  é o pico máximo da corrente de saída do amplificador. As fontes de corrente  $I_2$  estabelecem o valor de  $I_3$  e estabilizam o ponto quiescente desse conglomerado.

A Figura 12.12 ilustra as variações dinâmicas de sinais em vários pontos do circuito, lembrando-se que  $v_{o2} \approx v_o$ . Como os dois braços do diferencial são ativos, o ganho de tensão obtido no final será igual ao dobro do ganho obtido por estruturas convencionais, como as das Figuras 12.6 e 12.8. Os cálculos de ganhos de tensão, de resistências de entrada e de resistências de saída para baixas frequências e para pequenos sinais, em todos os estágios, podem ser feitos usando-se as teorias apropriadas já desenvolvidas para amplificadores básicos e diferenciais [21] [20]. As fontes de corrente devem ser de alta compliância e as três fontes  $I_o$  devem ser interdependentes, isto é, com valores amarrados entre si. Para esse tipo de topologia, com dois estágios amplificadores, o ganho de tensão total em malha aberta é moderado, ficando na faixa  $1000 \text{ V/V} \leq A_{vol} \leq 8000 \text{ V/V}$  o que exige, para compensação, um polo dominante relativamente elevado e, conseqüentemente, uma frequência de transição igualmente elevada.

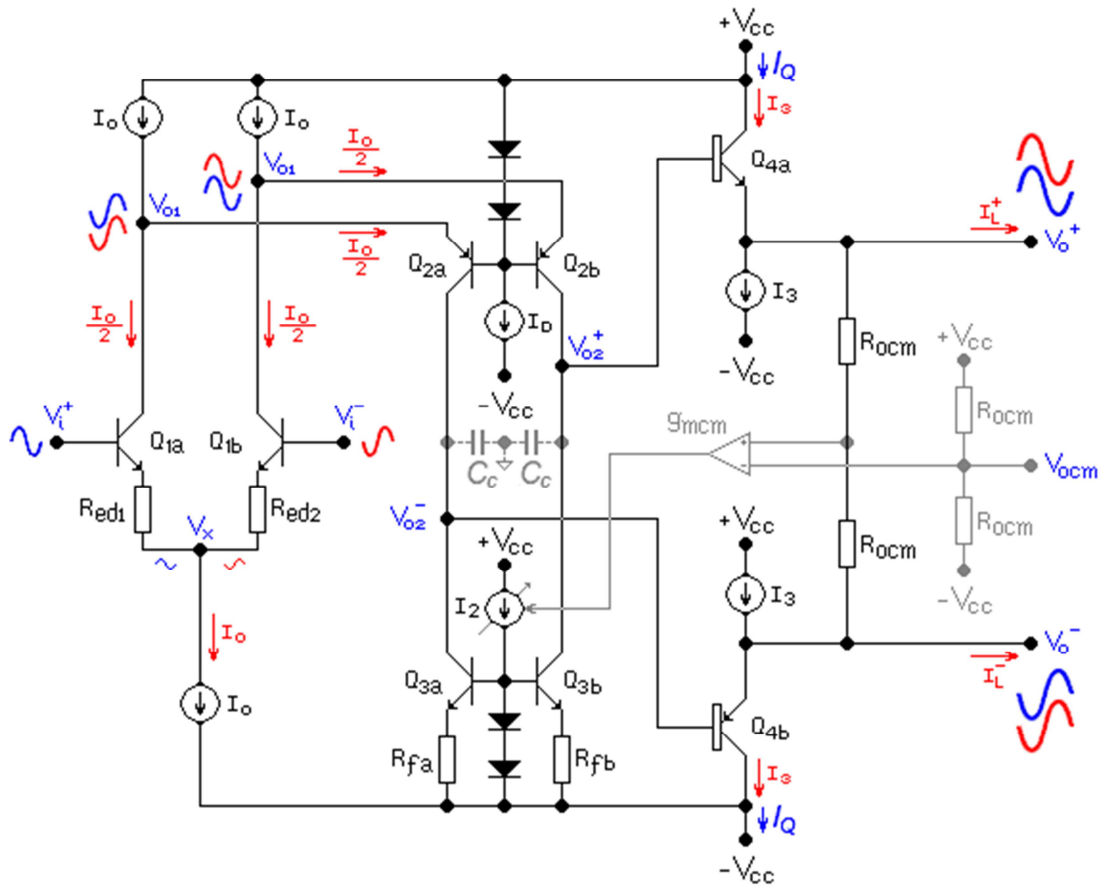


Figura 12.13 – Amplificador Operacional VFA Totalmente Diferencial.

Na maioria dos casos, a própria capacitância parasita ( $C_C$ ), oriunda das capacitâncias de junção dos transistores  $Q_{2b}$  e  $Q_{3b}$ , e situada entre o nó  $v_{o2}$  e o terra AC, é suficiente para compensar o circuito com  $G_v = 1$  V/V e com uma margem de fase de  $\approx 50^\circ$ . Nesse caso, a frequência de transição e o *slew rate* valem, respectivamente:

$$f_T = \frac{g_{md}}{\pi C_C} \text{ [Hz]} \quad \text{e} \quad SR = \frac{I_o}{C_C \times 10^6} \text{ [V/}\mu\text{s]} \quad (12.11)$$

Onde  $g_{md}$  é a transcondutância do amplificador diferencial, calculada pela Equação 12.8. Os valores calculados pela Equação 12.11 são bem elevados graças à pequenez de  $C_C$ .

Em alguns casos, o nó  $v_{o2}$  é ligado a um pino externo do circuito integrado para que, através da colocação de um capacitor ligando o pino ao terminal de terra, outros níveis de compensação possam ser atingidos. O capacitor  $C_F$  e o resistor  $R_F$ , optativos no circuito da Figura 12.12, servem para suavizar os efeitos de capacitâncias de carga que porventura forem usadas.

O potenciômetro  $P$ , também optativo no circuito da Figura 12.12, serve para que o desequilíbrio da tensão de saída do circuito (*offset*) seja ajustado com as entradas anuladas.

Sobre o circuito da Figura 12.12 conclui-se que a topologia *cascode*, desprovida de *efeito Miller*, associada a transistores complementares de pequenas dimensões, pode gerar arquiteturas de amplificadores operacionais bem velozes em termos de resposta em frequências e a transientes, podendo assim preencher uma gama de aplicações situada entre os operacionais *VFA* convencionais, de baixa velocidade, e os operacionais *CFA* de alta velocidade.

Estruturas *CMOS*, com topologias de *cascode* invertido (*folded cascode*) muito próximas à da Figura 12.12, também podem ser implementadas com sucesso, atuando na faixa de baixa tensão, baixo consumo e com alta velocidade de resposta.

#### 12.4.7 – Arquitetura Totalmente Diferencial:

Amplificadores operacionais totalmente diferenciais (*fully-differential amplifier*), como foi visto na *Secção 10.3*, são blocos analógicos que possuem a característica de diferenciação, tanto na entrada, quanto na saída [18]. Esses dispositivos foram desenvolvidos mais recentemente pelos fabricantes, depois do aperfeiçoamento dos modernos processos bipolares complementares de alta velocidade. Na realidade, a arquitetura desses operacionais é basicamente idêntica à do *VFA folded cascode* apresentado na Figura 12.12, com exceção do estágio de saída, que é duplo e diferencial. A Figura 12.13 mostra a arquitetura interna simplificada desse tipo de amplificador. Como pode ser notado, o estágio de entrada é idêntico ao da Figura 12.12 e, portanto, possui as mesmas características de ganho e de resistência de entrada daquele circuito. O estágio de saída, duplo e diferencial, foi construído com dois amplificadores do tipo coletor-comum ( $Q_{4a}$  e  $Q_{4b}$ ), polarizados com fontes de corrente de mesma intensidade ( $I_3$ ). Esses amplificadores conferem baixa impedância e adequada capacidade de corrente para as saídas. Para que as saídas sejam diferenciais, esses amplificadores devem ser excitados por sinais iguais, em módulo, mas em contrafase, fato conseguido pela substituição do espelho de Wilson por uma carga ativa simétrica de alta impedância ( $Q_{3a}$  e  $Q_{3b}$ ), polarizada pela fonte de corrente  $I_2$ . Como a saída é diferencial, sinais em modo comum nesse ponto são teoricamente cancelados e, portanto, a tensão de saída em modo comum deve ser nula ou, mais genericamente, igual à metade da tensão de alimentação total, isto é:

$$V_{ocm} = \frac{(+V_{CC}) + (-V_{CC})}{2} \quad [\text{V}] \quad (12.12)$$

Em amplificadores integrados comerciais, o ajuste de  $V_{ocm}$  é feito internamente através de um circuito, apenas indicado na Figura 12.13, constituído por outro amplificador operacional de transcondutância,  $g_{mcm}$ , que, a partir da comparação com uma tensão  $V_{ocm}$  pré-estabelecida, controla o valor da corrente da fonte  $I_2$ , de modo a igualar a tensão em modo comum de saída a esse valor. Para aumentar a versatilidade de aplicações, em muitos operacionais comerciais desse tipo, a tensão de referência para  $V_{ocm}$  é acessada por um pino externo do integrado de modo a permitir que outros valores, diferentes dos obtidos pela Equação 12.12, sejam ajustados. Em aplicações corriqueiras o pino de  $V_{ocm}$  não é usado e deve ser deixado aberto ou desacoplado para o *terra* através de um capacitor. Quando o operacional for alimentado com fonte dupla simétrica, o pino de  $V_{ocm}$  deve ser aterrado diretamente.

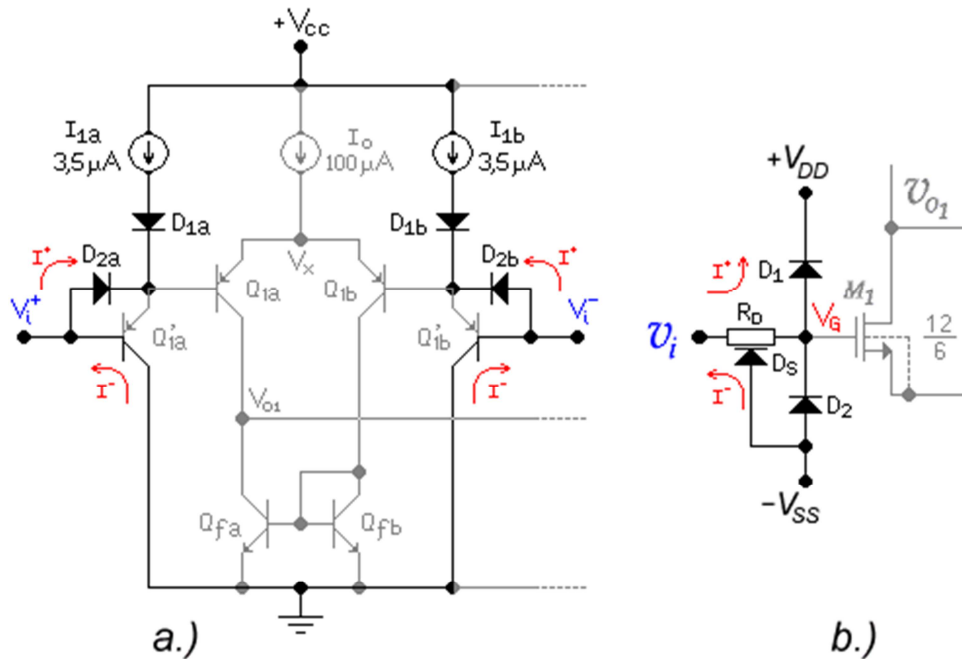


Figura 12.14 – Proteção de Entradas de Amplificadores Operacionais. a.) Bipolar. b.) MOS.

Em termos de desempenho dinâmico, os amplificadores totalmente diferenciais equiparam-se aos operacionais *VFA* de alta velocidade vistos na *Secção 12.4.6*, incluindo as relações dadas pela Equação 12.11, que permanecem válidas.

Em termos de aplicações práticas e de modelos comerciais, alguns exemplos foram citados na *Secção 10.3* e muitos outros podem ser obtidos na literatura especializada [19].

Arquiteturas *CMOS* desse tipo de amplificador também podem ser implementadas com sucesso, na prática [24].

### 12.5 – Circuitos de Proteção:

Em amplificadores integrados de uso universal, os terminais de saída e, eventualmente, de entrada devem ser protegidos contra excesso de corrente e de tensão. Entradas construídas com *MOSFET* devem ser sempre protegidas contra sobretensões para não que não seja alcançada a ruptura dielétrica do óxido de porta. Em entradas bipolares, principalmente no caso de comparadores que trabalham em malha aberta e com sinais contínuos de longa duração, proteções contra sobretensões e sobrecorrentes são necessárias. Estágios de saída de baixa impedância, como os do operacional *VFA*, sempre precisam de proteção contra curtos-circuitos ou sobrecargas.

#### 12.5.1 – Proteção de Entradas:

##### - Bipolar:

Entradas bipolares, como a do comparador da Figura 12.11, precisam ser protegidas contra excesso de tensão e de corrente. O esquema da Figura 12.14a mostra essa proteção.

Nesse circuito, se forem aplicadas nas entradas tensões superiores a  $+V_{CC}$ , as junções base-emissor dos transistores  $Q_{1a}$  e  $Q_{1b}$  entram em ruptura reversa e a corrente de base, ao se tornar excessiva, leva os transistores à destruição. Deve-se lembrar que, como os emissores são superdopados e as bases são medianamente dopadas, a tensão de ruptura reversa dessas junções é relativamente baixa ( $5\text{ V} \sim 7\text{ V}$ ). Para se efetuar uma proteção adequada contra esse excesso, são colocados diodos grampeadores nas entradas de modo que, se  $v_i^+ \geq +V_{CC}$  ou se  $v_i^- \geq +V_{CC}$ , os diodos  $D_{2a}$  e  $D_{2b}$ , respectivamente, aplicam sobre essas junções, tensões reversas não superiores a  $V_\gamma \approx 0,7\text{ V}$ , protegendo-as contra correntes excessivas. De qualquer modo deve-se, em situações de uso normal, evitar que as tensões nas entradas excedam a  $+V_{CC}$  por longo período de tempo, pois o circuito grampeador da Figura 12.14a só é realmente efetivo contra sobretensões e sobrecorrentes transitórias. Quando o circuito estiver funcionando na região ativa normal, isto é, quando  $0 \leq v_i \leq +V_{CC}$ , os diodos  $D_{2a}$  e  $D_{2b}$  estarão cortados e os diodos  $D_{1a}$  e  $D_{1b}$  estarão conduzindo, aplicando, assim, as correntes  $I_{1a}$  e  $I_{1b}$  nos emissores dos transistores  $Q_{1a}$  e  $Q_{1b}$ . Com isso, as correntes de polarização de base desses transistores são constantes e independentes dos estados lógicos da saída.

Tensões negativas excessivas, quando for usada fonte simples de alimentação, também podem danificar a entrada do circuito. Nessa topologia, se  $-0,3\text{ V} \leq v_i \leq 0$ , o circuito continua funcionando normalmente. Para tensões de entrada inferiores a esse valor, os diodos das junções base-coletor de  $Q_{1a}$  e  $Q_{1b}$  entram em polarização direta e passam a conduzir correntes excessivas, grampeando as tensões de entrada em  $\approx -0,7\text{ V}$ . O usuário, nesse caso, deverá consultar a folha de dados do circuito integrado para saber qual é o valor máximo de corrente que pode ser extraído das bases (normalmente  $\approx 50\text{ mA}$  para integrados do tipo *LM339* e *LM393*), sem danificá-las.

#### - *MOS*:

Portas de *MOSFET*'s são totalmente danificadas se a rigidez dielétrica do óxido fino, que a compõe, for excedida. Por isso, esses componentes não podem nem sequer ser manuseados, se não houver uma proteção de porta. A maneira mais simples de se executar essa proteção é através da colocação de diodos grampeadores, em paralelo com as entradas, como ilustra a Figura 12.14b. O resistor  $R_D$  é um resistor de silício difundido no substrato. Se esse resistor, por exemplo, for construído por difusão **n** em um substrato **p**, um diodo  $D_S$ , parasita e distribuído, automaticamente é formado entre o resistor e o substrato. Esse mesmo diodo pode ser usado como grampeador de tensões negativas na entrada. Como, no entanto, o substrato é muito resistivo, muitas vezes opta-se pela construção de um diodo físico, ligando a porta à  $-V_{SS}$ , para melhorar o grampeamento de tensões negativas. Para o grampeamento de tensões positivas, é construído um diodo ligando a porta à  $+V_{DD}$ , como mostra a Figura 12.14b.

O funcionamento do circuito é bastante óbvio. Se  $v_i < -V_{SS} - V_\gamma$ , os diodos  $D_S$  e  $D_2$  conduzirão uma corrente  $I$  e a tensão na porta do *MOSFET* ficará grampeada no valor  $V_G = -V_{SS} - V_\gamma$ , protegendo esse terminal contra excesso de tensão negativa. Em alguns casos, pode-se dispensar o diodo  $D_2$ , usando-se, apenas, o diodo parasita  $D_S$ , lembrando-se, porém, que, por causa da alta resistividade do substrato, a proteção não será tão efetiva.



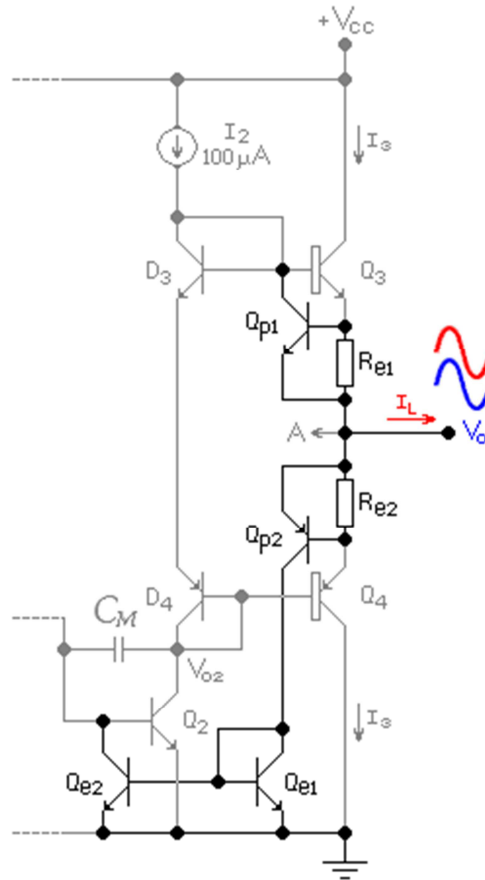


Figura 12.15 – Circuito de Proteção de Saída de Um Amplificador VFA Bipolar.

Se, por outro lado,  $v_i > V_{DD} + V_{\gamma}$ , o diodo  $D_1$  conduzirá uma corrente  $I^+$  e a tensão na porta do MOSFET ficará grampeada no valor  $V_G = V_{DD} + V_{\gamma}$ , protegendo esse terminal contra excesso de tensão positiva. O resistor  $R_D$  limita as correntes nos diodos em valores seguros. No projeto desses circuitos de proteção, alguns cuidados devem ser tomados. Os diodos devem possuir áreas seccionais diminutas para não aumentar as correntes de polarização e, conseqüentemente, diminuir a resistência de entrada desses pontos, em DC e em baixas frequências e para não aumentar significativamente as capacitâncias de entrada. Com áreas seccionais diminutas, no entanto, a capacidade de condução de correntes diretas também é pequena e, por isso, o resistor limitador  $R_D$  deve ter um valor mais elevado. Se  $R_D$  possuir um valor muito elevado, contudo, a velocidade de chaveamento das entradas é prejudicada pela constante de tempo formada pelo resistor e pela capacitância de porta. O circuito grampeador é projetado, então, na prática, estabelecendo-se um compromisso entre a efetividade de proteção e a velocidade máxima de chaveamento desejada para o circuito. O nível de proteção não é, portanto, incondicional, atuando dentro uma faixa restrita, fora da qual os diodos serão danificados. O resistor limitador de circuitos integrados comerciais, normalmente, fica na faixa  $300 \Omega \leq R_D \leq 5 k\Omega$  e o usuário deverá consultar as folhas de dados do componente para estabelecer a faixa de tensões usual segura para as entradas.

### 12.5.2 - Proteção de Saídas:

As saídas de baixa impedância, como são as dos amplificadores operacionais *VFA*, devem ser protegidas contra curtos-circuitos e sobrecargas porque, nesses casos, os transistores do último estágio serão irremediavelmente danificados, mesmo com um curto-circuito instantâneo entre o terminal de saída e o terminal de *terra*. O circuito da Figura 12.15 mostra uma topologia de proteção muito usada, na prática, para saídas bipolares. Fazem parte desse circuito os transistores  $Q_{p1}$ ,  $Q_{p2}$ ,  $Q_{e1}$  e  $Q_{e2}$ , especialmente adicionados para executar esse papel. Em regime de funcionamento normal do operacional esses transistores estarão cortados e ausentes do circuito. Os resistores  $R_e = R_{e1} = R_{e2}$ , que já existiam no projeto original, são usados também como sensores do nível de corrente de saída. Os transistores  $Q_{p1}$  e  $Q_{p2}$  permanecem cortados enquanto, para cada um deles,  $|V_{BE}| = R_e I_L < 0,5 \text{ V}$ , aproximadamente, sendo  $I_L$  a corrente de carga do circuito. Se, para uma corrente  $I_{L(\text{lim})}$ , máxima admissível para a saída do circuito, o valor de  $|V_{BE}| = 0,5 \text{ V}$  for excedido, o transistor, ou  $Q_{p1}$  ou  $Q_{p2}$ , iniciará sua condução de coletor. Então, se  $I_L^+ > I_{L(\text{lim})}$ , o transistor  $Q_{p1}$  inicia sua condução de coletor, retirando corrente de excitação de base de  $Q_3$  e limitando, portanto, sua corrente de coletor a um valor seguro. Da mesma forma, no semiciclo negativo do sinal de saída, se  $I_L^- < -I_{L(\text{lim})}$ , o transistor  $Q_{p2}$  inicia sua condução de coletor, injetando corrente no transistor, ligado como diodo,  $Q_{e1}$ . Como esse transistor forma um espelho de corrente com  $Q_{e2}$ , a corrente espelhada retira a excitação de base de  $Q_2$ , limitando sua corrente de coletor e, portanto, limitando a corrente de coletor de  $Q_4$  a um valor seguro. A corrente máxima de saída do amplificador é, portanto, limitada em:

$$I_{L(\text{lim})} \cong \pm \frac{0,5}{R_e} \quad [\text{A}]$$

Numa situação de curto-circuito entre o terminal de saída e o *terra*, como o transistor, ou  $Q_{p1}$  ou  $Q_{p2}$ , está em máxima condução, a corrente  $I_{L(\text{curto})}$  torna-se:

$$I_{L(\text{curto})} \cong \pm \frac{0,6}{R_e} \quad [\text{A}]$$

Esse tipo de proteção é, portanto, segura e bastante simples, bastando que o valor do resistor  $R_e$  seja calculado adequadamente.

Na situação de sobrecarga ou de curto-circuito, a saída do operacional torna-se equivalente a uma fonte de corrente aproximadamente constante, com valores, em módulo, na faixa  $I_{L(\text{lim})} \leq I_L \leq I_{L(\text{curto})}$ . As correntes  $I_{L(\text{curto})}$  e  $I_{L(\text{lim})}$  são estipuladas, no projeto, em função da máxima corrente e da máxima potência de dissipação suportadas pelos transistores de saída ( $Q_3$  e  $Q_4$ ). Em condição de curto-circuito, os transistores de saída dissipam individualmente uma potência:  $P_{(\text{curto})} = +V_{CC} \times I_{L(\text{curto})}^+ = -V_{CC} \times I_{L(\text{curto})}^-$ . Se os transistores de saída suportarem esses valores, a proteção contra curtos-circuitos é incondicional, isto é, pode acontecer por tempo indeterminado. No amplificador operacional 741, por exemplo,  $R_e = 25 \ \Omega$  e o fabricante especifica como grandezas máximas para o circuito os seguintes valores:  $V_{CC(\text{max})} = 36 \text{ V}$  ( $\pm 18 \text{ V}$ ),  $P_{(\text{max})} = 0,5 \text{ W}$  e  $I_{L(\text{curto})} = 25 \text{ mA}$ , coerentes, portanto, com o que foi exposto.

Amplificadores operacionais discretos, que vão trabalhar como parte integrante de um sistema eletrônico qualquer, que não possuam saídas acessíveis externamente e não vão ser constantemente manuseados, como, por exemplo, o *SEL315j* do projeto de *Circuitos Eletrônicos III*, podem prescindir de um sistema de proteção de saída.

Em amplificadores operacionais de potência, integrados ou não, sempre é imprescindível a colocação de circuitos de proteção de saída. Nesse caso é usada uma topologia um pouco diferente da apresentada na Figura 12.15 e na qual a corrente de curto é menor do que a corrente máxima admissível para a saída, isto é,  $I_{L(\text{curto})} < I_{L(\text{lim})}$ . Topologias desse tipo, no entanto, não fazem parte do escopo deste texto.