

Departamento de Engenharia Elétrica e de Computação

SEL0384 – Laboratório de Sistemas Digitais I

Prof. Dr. Maximilian Luppe

PRÁTICA Nº3

Dispositivos de Lógica Programável tipo FPGA

Circuitos Combinacionais

Objetivos:

Familiarização com a ferramenta Quartus II da Intel/Altera e Projeto e síntese de circuitos combinacionais em dispositivo reconfigurável (FPGA).

Equipamentos necessários:

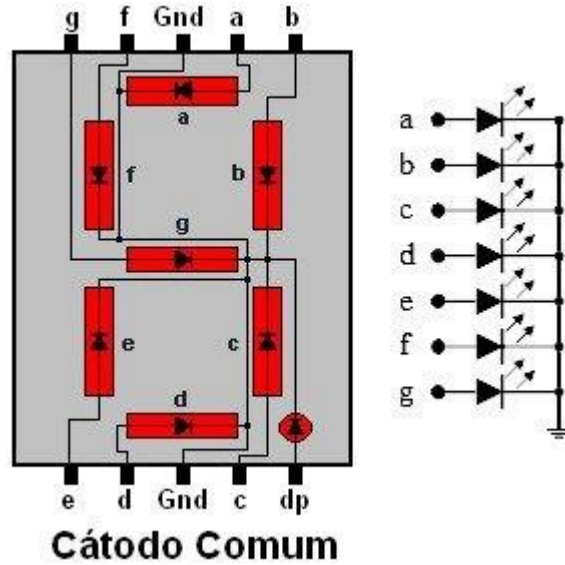
- Kit Mercurio® IV

Introdução:

Esta prática de laboratório será iniciada com uma apresentação sobre dispositivos reconfiguráveis, seguida por uma demonstração da utilização das ferramentas computacionais para projeto de sistemas digitais em dispositivos reconfiguráveis, finalizando com a implementação de um decodificador binário para 7 segmentos no kit Mercurio® IV (Cyclone® IV EP4CE30F23).

O Display de 7 Segmentos é um componente eletrônico onde cada um dos 7 segmentos (mais o DP - Decimal Point) é constituído por um LED (Light Emitter Diode), que pode estar configurado na forma de anodo comum (o anodo de todos os LEDs interligados) ou de catodo comum (o catodo de todos LEDs interligados). No primeiro caso os LEDs são ativos em nível lógico '0', enquanto que no segundo, em '1' (figura 1).

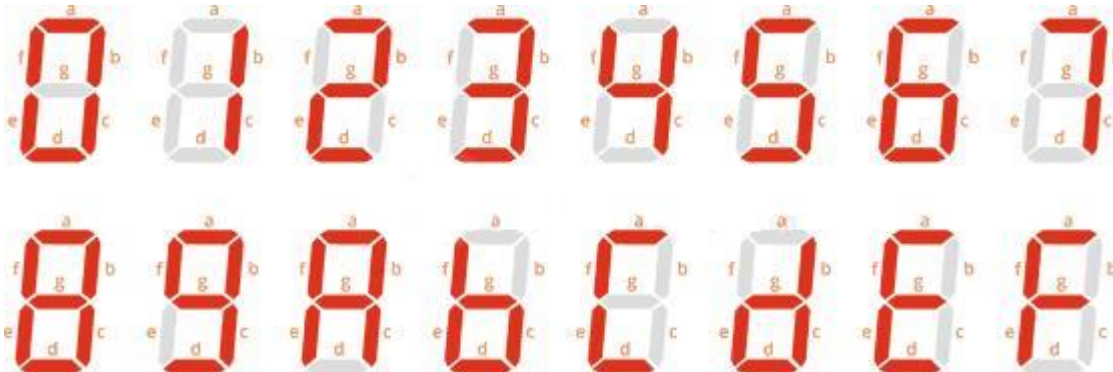
Figura 1-Display de 7 segmentos do tipo catodo comum



Fonte: [site da internet](#)

O Display de 7 segmentos é utilizado não só para representar algarismos decimais, mas também as letras de A a F, para representar valores hexadecimais (figura 2).

Figura 2-Representação de algarismos hexadecimais no display de 7 segmentos



Fonte: [site da internet](#)

Na teoria de Sistemas Digitais é visto que os Circuitos Decodificadores são Circuitos Combinacionais, formados exclusivamente por portas lógicas. Dentre os Circuitos Decodificadores, temos o Decodificador Binário para 7 Segmentos. Este circuito é responsável em converter um código binário de 4 bits numa representação visual baseada no Display de 7 segmentos.

Procedimento Experimental:

Apresentar as equações booleanas de um decodificador Binário para 7 Segmentos, considerando um display de 7 segmentos de catodo comum (ativo em '1'), assim como o diagrama esquemático do referido circuito.

Identificar quantos circuitos integrados da família TTL7400 seriam necessários para implementar o decodificador de binário para 7 segmentos.

Criar uma pasta denominada MercurioIV_decod e, utilizando o Quartus II Web Edition, criar um projeto nesta pasta, também denominado MercurioIV_decod, e implementar um decodificador hexadecimal para 7 segmentos utilizando VHDL.

Apresentar o código VHDL, circuito RTL, número de células lógicas utilizadas e foto do kit com o circuito funcionando.