

**Departamento de Engenharia Elétrica e de Computação**

**SEL0384 – Laboratório de Sistemas Digitais I**

**Prof. Dr. Maximilian Luppe**

## **PRÁTICA Nº2**

### **INTRODUÇÃO AOS CIRCUITOS INTEGRADOS**

#### ***HAZARD CONDITION***

Objetivos:

Aprender a interpretar as especificações contidas nos manuais dos fabricantes de circuitos integrados e analisar problemas de temporização de um circuito combinacional.

Circuito Lógico utilizado:

- 74HC00N
- SN74LS10N

Equipamentos necessários:

- Protoboard
- Fonte de alimentação
- Gerador de sinais
- Osciloscópio

Procedimento exploratório:

Constituição interna: Considerando os circuitos integrados comerciais SN74LS10N e 74HC00N, responda às questões a seguir:

- Qual o seu nome?
- Qual o tipo de portas lógicas?

- Qual o número de portas lógicas?
- Quais pinos correspondem às entradas e às saídas?
- Quais pinos correspondem à alimentação do circuito integrado?

Características eletrônicas: Considerando os circuitos integrados comerciais SN74LS10N e 74HC00N, responda às questões a seguir:

- Qual a faixa de alimentação máxima do circuito (VDD) e como isso é informado?
- Qual a faixa de alimentação recomendada?
- Qual a faixa de temperatura de funcionamento (TOP) e como isso é informado?
- Qual a corrente de consumo típica do circuito integrado quando não há carga (IL - Quiescent current) a 25°C e alimentado com 5V?
- Quais os tempos de propagação, típico e máximo, quando o circuito integrado é alimentado com 5V?
- Quais os tempos de transição, típico e máximo, quando o circuito integrado é alimentado com 5V?

Introdução:

Na teoria de Sistemas Digitais é visto que os Circuitos Combinacionais, formados exclusivamente por portas lógicas, geram sinais de saída de forma imediata, de acordo com sua Equação Booleana, quando os sinais lógicos de suas entradas são alterados. Na experiência da aula passada vimos que, na prática, os Circuitos Combinacionais, por serem formados por componentes eletrônicos, apresentam atrasos na propagação dos sinais, além de possuírem faixas de valores de tensão que representam os níveis lógicos válidos.

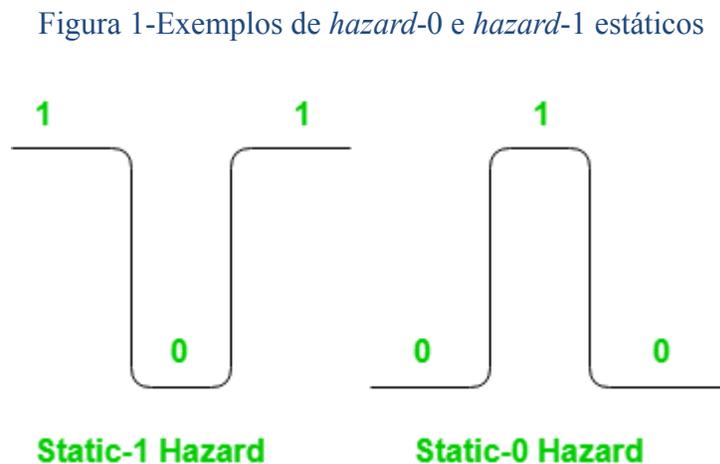
Devido a estes atrasos, durante a propagação dos sinais pelas portas lógicas, os sinais de saída podem apresentar flutuações indesejadas, até que os sinais se estabilizem. Este período de tempo é chamado de tempo de transiente, e estas flutuações são chamadas de *glitches*. Um *hazard* (perigo) é alcançado quando estas flutuações ocorrem durante o período de transiente e podem ser classificados em *hazard* estático e *hazard* dinâmico. Nesta prática verificaremos o comportamento do *hazard* estático.

*Hazard* estático:

Esta é uma situação quando, após a mudança dos sinais de entrada, era esperado que a saída permanecesse em um mesmo nível lógico, mas por conta dos atrasos de propagação, um *glitch* aparece na saída. Desta forma, este hazard estático é dividido em dois casos:

- *Hazard-0* - quando a saída deveria permanecer em 0, mas aparece um *glitch* em 1;
- *Hazard-1* - quando a saída deveria permanecer em 1, mas aparece um *glitch* em 0.

Na figura 1 são representados estes dois casos.



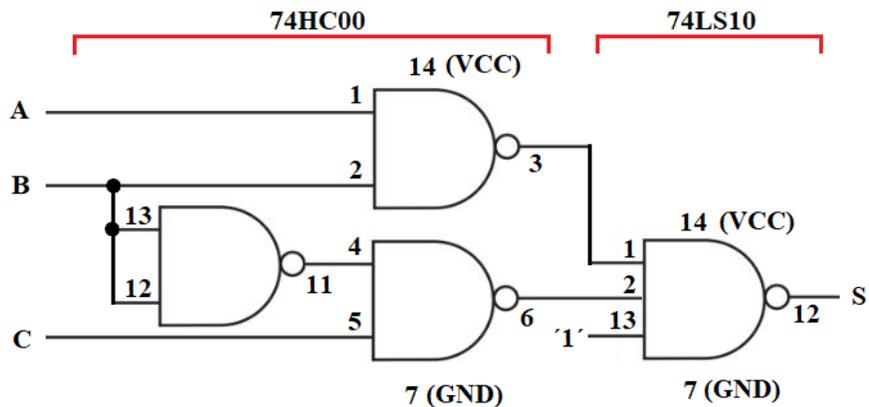
Fonte: [Site da internet](#)

Nesta prática será analisado como os tempos de propagação das portas lógicas de um circuito combinacional podem gerar *hazards* e como este problema pode ser solucionado.

Circuito combinacional com *hazard*

O circuito apresentado na figura 2 corresponde à expressão booleana  $S = A \cdot B + \bar{B} \cdot C$ . Por ter sido implementado utilizando apenas portas lógicas NAND, sua expressão booleana se transforma em  $S = \overline{\overline{(A \cdot B)} \cdot \overline{(\bar{B} \cdot C)}}$ . Os produtos internos foram implementados, por questões de conveniência, utilizando o circuito integrado 74HC00, enquanto que o produto externo foi implementado utilizando o circuito integrado 74LS10, cujas constituições já foram exploradas no início da atividade prática.

Figura 2-Circuito combinacional com *hazard*

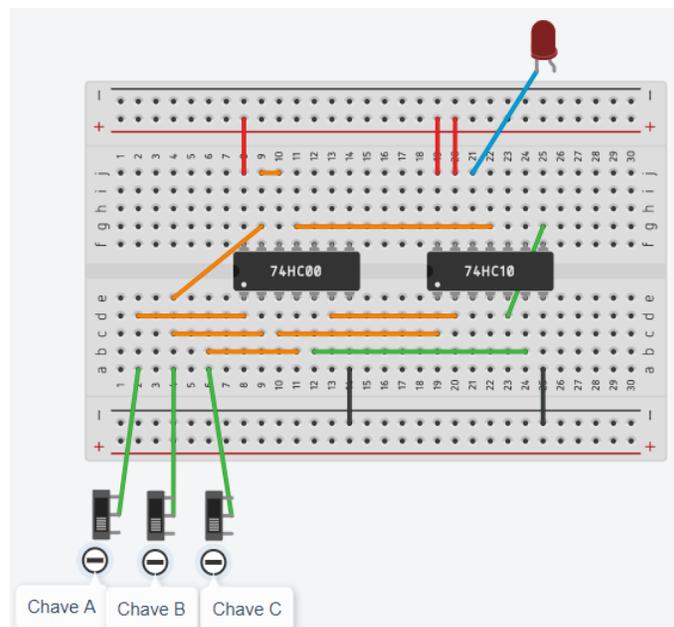


Fonte: o autor

Procedimento Experimental:

Monte o circuito da figura 2, incluindo mais dois inversores para obter  $\neg B$ , utilizando o CI 74LS10, e verifique o seu funcionamento, estimulando as entradas e verificando o resultado final na saída. Monte uma tabela verdade que comprove o seu funcionamento. Na Figura 3 é apresentado um exemplo de implementação no protoboard. Não se esqueça de alimentar o circuito com 5V.

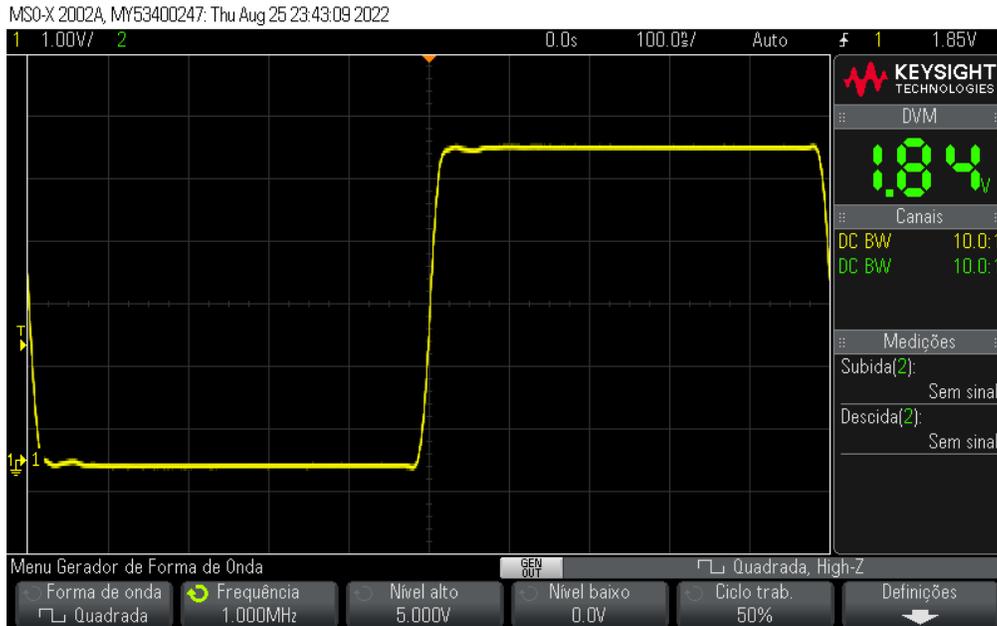
Figura 3-Exemplo de implementação



Fonte: o autor

Para verificar a ocorrência do *glitch (hazard)* é necessário gerar um sinal de onda quadrada que varie de 0V a 5V. Para isso, ajuste o gerador de sinais para gerar uma onda do tipo Quadrada (Square), com os parâmetros indicados na figura 4:

Figura 4-Parâmetros para geração de onda quadrada



Fonte: o autor

O sinal de onda quadrada deverá ser injetado na entrada B do circuito (pino 2 do 74HC00), no lugar da chave B (QUE DEVERÁ SER DESCONECTADA), enquanto que as entradas A (pino 1 do 74HC00) e C (pino 5 do 74HC00) deverão ficar em nível lógico '1' (VCC). Para a visualização do *glitch*, deverá ser utilizado o osciloscópio, cuja ponta de prova A deverá ser ligada na saída do gerador de funções (no mesmo ponto onde o sinal é injetado no circuito) e a ponta de prova B deverá ser ligada na saída S do circuito (pino 12 do 74LS10).

Apresente a imagem do *glitch* e determine a sua largura, assim como o tempo de propagação da saída S com relação à entrada B do circuito. Identifique se é um *hazard-0* ou um *hazard-1*. Explique por que ocorre apenas um dos dois casos possíveis de *hazard* estático.

Circuito combinacional *hazard-free*

O Mapa de Karnaugh-Veitch para este circuito é apresentado na figura 5.

Figura 5-Mapa de Karnaugh-Veitch do circuito com *hazard*

		BC			
		00	01	11	10
A	0		1		
	1		1	1	1

Fonte: o autor

Observamos que o mapa é formado por dois implicantes primos essenciais (em vermelho):  $\overline{B}C$  e  $AB$ . Quando ocorre a transição da entrada B de 0 para 1, enquanto as entradas A e C permanecem em 1, ocorre uma transição entre estes dois implicantes primos essenciais. É esta transição, por conta do tempo de propagação das portas lógicas, que gera os *glitches*. Para eliminar os *glitches*, e evitar o *hazard*, a transição entre os dois implicantes primos essenciais deve ser suave. Isso é conseguido inserindo um implicante primo não essencial AC (em verde) entre os dois implicantes primos essenciais, conforme o Mapa de Karnaugh-Veitch da figura 6.

Figura 6-Mapa de Karnaugh-Veitch do circuito *hazard-free*

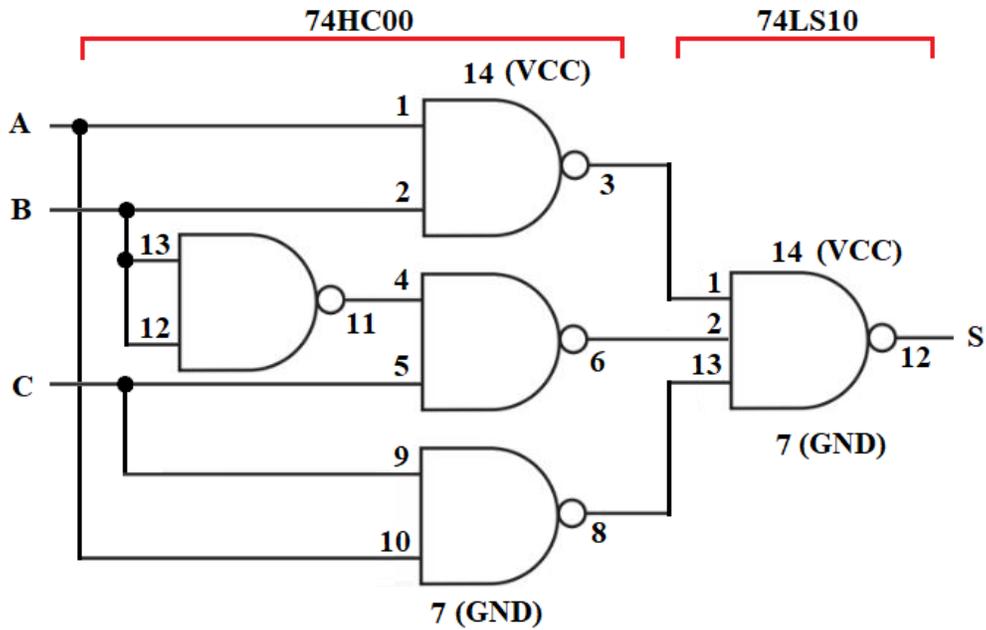
		BC			
		00	01	11	10
A	0		1		
	1		1	1	1

Isso mostra que, apesar de ser mais vantajoso sob o ponto de vista de consumo de energia e área, nem sempre a equação booleana mínima obtida pelos Mapas de Karnaugh-Veitch é a melhor solução, principalmente em circuitos críticos.

Procedimento Experimental:

Modifique o circuito da figura 7, para incluir o novo implicante primo não essencial, no protoboard e verifique o seu funcionamento, estimulando as entradas e verificando o resultado final na saída. Monte uma tabela verdade que comprove o seu funcionamento. Lembre-se sempre de desligar o circuito para fazer alterações no mesmo, evitando danificar o circuito.

Figura 7-Circuito combinacional *hazard-free*



Fonte: o autor

No osciloscópio, comprove a eliminação do *hazard*..