

Escola Politécnica da Universidade de São Paulo
Departamento de Engenharia de Sistemas Eletrônicos - PSI

PSI-3452- Projeto de Circuitos Integrados Digitais e Analógicos

**Lab 5: Projeto Eletrônico e Leiaute de um
Amplificador Analógico- Teoria (2021)**

1 – Objetivos

Desenvolver o projeto de um amplificador analógico simples. Entender o seu funcionamento e os passos que conduzem às dimensões de seus componentes. Realizar as simulações iniciais do projeto verificando a sua correção. Desenhar o leiaute deste amplificador com aplicação de técnicas específicas para circuitos analógicos, realizar a extração do circuito elétrico e simulação do mesmo. Comparar as previsões teóricas com as simulações pré e pós leiaute.

2 – Introdução Teórica

2.1. CMOS misturado (ou misto)

Um dos principais desenvolvimentos na integração dos atuais sistemas eletrônicos foi o CMOS em modo misturado ou misto (*mixed mode CMOS*). O CMOS misturado significa que numa única peça de silício (único *chip*) são implementados tanto a parte digital como a analógica de um sistema. Isto faz com que sistemas inteiros caibam em pequenos volumes como os atuais smartphones, os tablets, entre outros. Normalmente a parte analógica é a que cuida da comunicação entre diferentes pontos, operando em altas frequências (Giga Hertz). Motivado pelos sistemas misturados, este texto abordará alguns aspectos da implementação de circuitos analógicos. Por circuito analógico entendemos, neste contexto, um circuito que faz o tratamento do sinal antes de ele ser digitalizado e processado na parte digital.

2.2. Alguns aspectos do leiaute analógico

Enquanto as regras de projeto adotadas nos processos CMOS, de forma geral, objetivam a maximização do rendimento (*yield*) na fabricação dos circuitos integrados, o projeto analógico exige precauções particulares na preparação do leiaute para a minimização de efeitos de crosstalk, descasamentos e ruídos.

2.2.1. Leiaute para mitigação de ruído térmico

Ruído pode reduzir ou aumentar o valor de um sinal tornando-se ser um fenômeno bastante deletério para o circuito no seu propósito de realização de algum processamento de qualidade. Ruídos devem ser tratados estatisticamente, uma vez que as suas amplitudes no tempo não são determinísticas; em geral, aspectos mais estáveis como a potência média, por exemplo, são utilizados para o estudo da influência de ruídos sobre o comportamento dos sistemas. Circuitos integrados, particularmente os analógicos, apresentam estruturas que geram ruídos do tipo térmico (*thermal*) e de contato (*flicker*). Este texto de teoria restringir-se-á a discutir brevemente o primeiro, uma vez que pode ele ser melhor controlado pelo projetista. Este lab **não** objetiva tratar dos efeitos comportamentais do ruído nos CIs, **mas, apenas**, da aplicação de algumas técnicas de leiaute que os mitigam.

O ruído térmico tem características de ruído branco, com o seu espectro de ruído com valor constante para grande parte das frequências- há redução apenas para frequências acima de 100 THz. O ruído térmico está presente nos resistores e transistores, resultado da movimentação aleatória do elétrons, causando flutuações na voltagem vista nos dispositivos. Como o nome indica, é diretamente influenciado pela temperatura. Em resistores, o ruído térmico pode ser modelado como uma fonte de tensão em série, como na Figura 1, com a densidade espectral dada por:

$$S_v(f) = \overline{v_n^2} = 4kTR, \quad f \geq 0, \quad (\text{eq. 1})$$

onde T é a temperatura em °K, R a resistência e $k = 1,38 \times 10^{-23}$ J/K é a constante de Boltzmann. Pode-se observar que a redução da resistência implica na redução do ruído (e também da área, uma vez que resistores são grande consumidores de área). Portanto, dentro de um leiaute, é desejável **reduzir o comprimento** de um **resistor** dentro dos parâmetros do projeto (lembrar que em projetos analógicos, resistências não são elementos parasitários, mas parte do circuito para que se atinja as especificações).

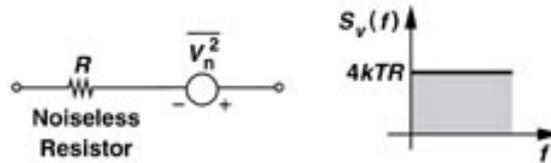


Figura 1. Fonte de tensão de ruído em série ao resistor que o gera, com a sua densidade espectral

Transistores, por seu lado, geram ruído de duas formas: pelo canal e pelas seções Ohmicas (resistências de fonte, dreno e porta). O ruído de canal pode ser modelado por uma fonte de corrente conectada aos terminais de fonte e dreno, como mostrado na Figura 2, com a densidade espectral dada por:

$$\overline{I_n^2} = 4kT\gamma g_m, \quad (\text{eq. 2})$$

onde γ é um parâmetro experimental que varia de 0,66 (canal longo) a 3 (canal curto) e g_m é a transcondutância. Pode-se observar que a redução da transcondutância implica na redução do ruído. A transcondutância está diretamente relacionado a W/L do transistor, portanto, é desejável adotar-se **uma largura de canal o menor possível** (dentro dos parâmetros do projeto).

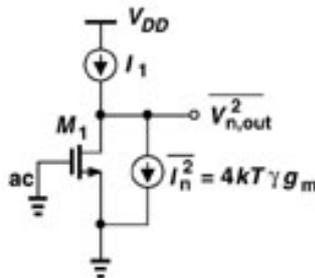


Figura 2. Fonte de corrente para a modelagem de ruído térmico de canal

Infelizmente, como veremos no projeto de um amplificador, nem sempre é possível que o transistor seja estreito (ou que o resistor seja curto, como citados nos parágrafos anteriores), o que contribui com a geração do segundo tipo de ruído térmico, devido às seções Ohmicas. A Figura 3 ilustra esta questão através do leiaute de um transistor largo, com as resistências das trilhas gerando ruído (ver eq. 1). A contribuição das resistências no dreno e fonte, R_D e R_S , são irrelevantes, dada a baixa resistência das trilhas de metal do dreno e fonte. O mesmo não pode ser dito da resistência de porta, R_G , uma vez que o silício-poli apresenta uma resistência de folha relativamente maior.

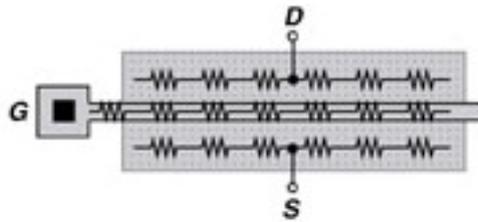


Figura 3. Leiaute de transistor evidenciando as seções Ohmicas.

Deve-se atentar para o fato de que a resistência R_G é proporcional ao comprimento da linha de silício-poli. Um "truque" para a redução de R_G , portanto a redução do ruído térmico relacionado às resistências, é paralelizar transistores, dobrando (ou enrolando) o transistor longo em vários transistores menores. Tal técnica é ilustrada na Figura 4, onde um transistor original é enrolado em forma de dois (Figura 4.a) ou em quatro (Figura 4.b) transistores em paralelo.

Importante observar que estes transistores em paralelo apresentam comportamento $V \times I$ idêntico ao de um transistor único maior de W_{unico} e L : como exemplo, os 4 transistores em paralelo da Figura 4.b, considerando-se que tenham o mesmo comprimento de canal L , terão somadas as correntes,

$$I(W_1, L) + I(W_2, L) + I(W_3, L) + I(W_4, L) = I(W_{\text{unico}}, L)$$

O efeito na redução da resistência é dupla: 1) a resistência $R_{G1, \dots, Gn}$ de cada umas das n subseções será a R_G/n , uma vez que é proporcional ao comprimento; 2) o valor da resistência paralela será valor de cada subseção dividido por n .

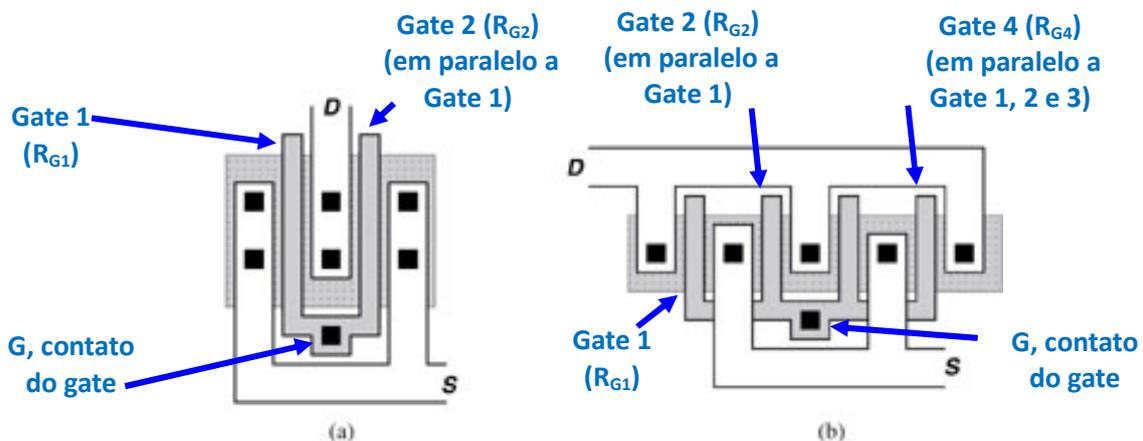


Figura 4. Transistores enrolados: (a) dois em paralelo; (b) quatro em paralelo

2.2.2. Leiaute de transistores largos

Quando transistores largos **são necessários**, a técnica de enrolamento em transistores menores e paralelos, da seção anterior torna-se uma solução preferível como forma de reduzir ruído. Há uma outra razão prática para adotar-se tal técnica, uma vez que a razão de aspecto (relação altura/largura) torna-se mais adequado. Na forma tradicional, com $W \gg L$, o leiaute do transistor fica muito alongado, o que dificulta a integração com demais blocos no leiaute. Em geral, procura-se uma razão que leve a um leiaute próximo de um quadrado e, para isto, deve-se ajustar a quantidade de dedos ou pernas (fingers ou legs, todos são nomes dados às subseções de transistores

em paralelo) para um leiaute.

Com mostrado na Figura 4.b, com a definição de um número de dedos para a formação da porta, G (no caso, 4), pode-se conectar por metal os contatos de difusão de forma intercalada para formar os nós do dreno, D, e fonte, S. O dreno é formado pela conexão pela parte superior da figura (3 contatos) enquanto a fonte é realizada na parte inferior (2 contatos). Desta forma os 4 transistores identificados por Gate 1, Gate 2..Gate 4, compartilham os mesmos D, S e G.

2.2.3. Casamento e descasamento entre transistores

Em circuitos totalmente diferenciais (como é o caso de amplificadores diferenciais que projetaremos neste lab), é necessário que os transistores estejam totalmente casados, ou seja, do ponto de vista de leiaute, que exista uma simetria na construção dos transistores; caso contrário, *offsets*, devidos a desvios de sinais de entrada, serão introduzidos, provocando diferenças indesejadas (alterando o sinal diferencial desejado).

Projetos assimétricos devem se evitados em circuitos diferenciais, particularmente o uso de transistores com orientações diferentes (horizontal e vertical). As Figuras 5.a e 5.b apresentam casos de simetria que deveriam ser observados pelo projetista. Apesar desta aparente simetria em ambos os casos citados, infelizmente, há alguns efeitos sutis que se apresentam devido a desvios no processamento tecnológico. A Figura 6 ilustra tal situação; observe-se que pode haver um pequeno ângulo de inclinação na implantação iônica, que dependendo da direção, acaba provocando uma diferença na difusão lateral entre o dreno e fonte. Desta forma, podemos observar que o leiaute da Figura 5.a é resistente aos efeitos de inclinação, com uma simetria total entre os dois transistores. Já o caso da Figura 5.b apresenta uma assimetria, uma vez que, aquilo que o transistor da esquerda "enxerga" à sua fonte e dreno é diferente do que o transistor da direita "enxerga" pelo seu dreno e fonte, respectivamente. Fica constatado que ter simetria implica não só em apresentar geometrias iguais, mas também ter igualdade dos ambientes que rodeiam os transistores. Estes aspectos não serão aplicados na parte prática do lab, uma vez que não há como detectar as suas influências no comportamento dos circuitos por simulação simples como no ELDO.

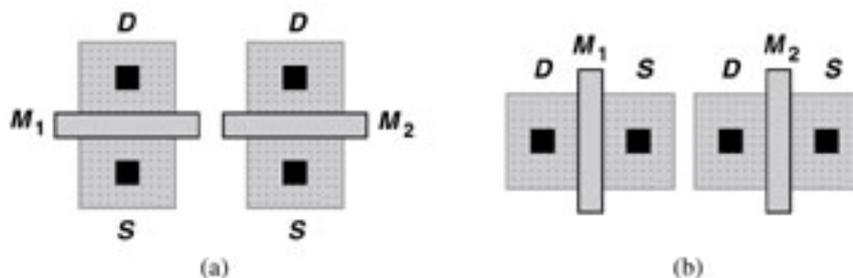


Figura 5. Orientações simétricas: (a) eixos D-S paralelos; (b) eixos G paralelos

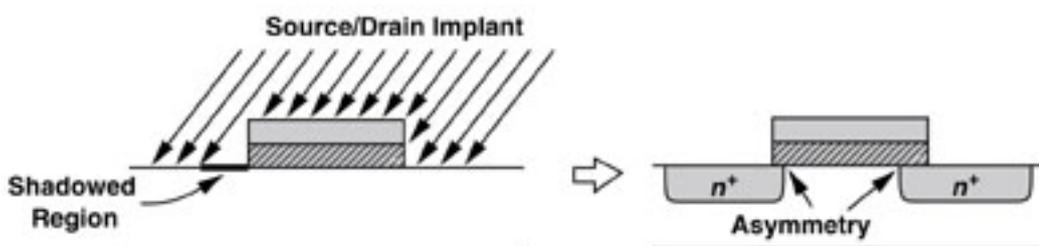


Figura 6. Inclinação na implantação iônica gerando assimetrias

2.3. O amplificador diferencial

O bloco a ser estudado neste texto é o amplificador, onde o elemento ativo a ser usado é o transistor MOS. Este transistor, quando devidamente polarizado, recebe em sua porta o sinal de entrada e gera em seu dreno uma corrente dependente deste sinal de entrada. Tal corrente é captada por uma carga que é acionada pelo dreno e, quando se tem valores convenientes, a amplificação ocorre. A figura 7 mostra um transistor que aciona esta impedância em seu dreno.

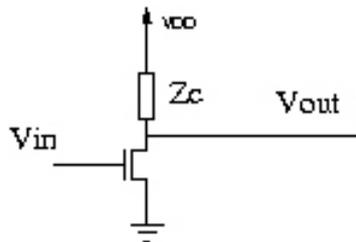


Figura 7 – Uma ligação simples para que o transistor funcione como amplificador.

Na figura 8 é mostrado o modelo de pequenos sinais do circuito anterior. Supõe-se que o transistor esteja devidamente polarizado, ou seja, V_{in} tenha um componente DC, o qual coloca o transistor em saturação; o componente AC, de seu lado, é aquele que será amplificado.

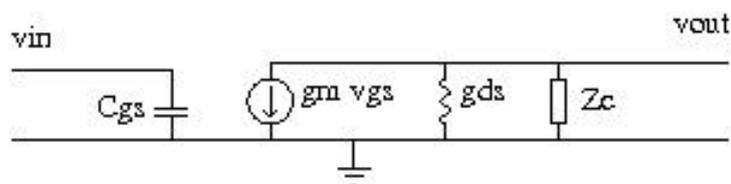


Figura 8 – modelo de pequenos sinais

No caso, supondo-se que a impedância Z_c seja bem menor que a impedância de saída do transistor ($1/g_{ds}$), temos:

$$\text{ganho} = \frac{v_{out}}{v_{in}} = g_m Z_c$$

O circuito a ser adotado neste laboratório, que terá um funcionamento bastante próximo ao das figuras 7 e 8, é mostrado na figura 9.

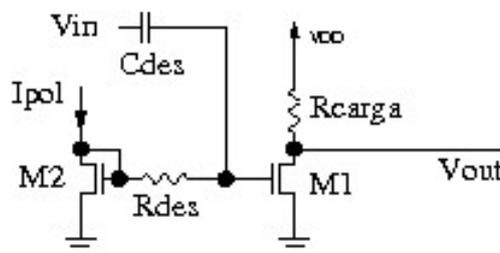


Figura 9 – circuito a ser implementado.

M1 e M2 são transistores idênticos que formam um espelho de corrente, onde I_{pol} será a corrente de polarização que passa pelo transistor M2. Esta corrente será refletida em M1, colocando-o em condição de polarização. Este tipo de polarização suporta variações de tensão de limiar, V_{th} , que ocorrem devido à variação de processo ou temperatura. A corrente I_{pol} é feita de forma a ser sempre constante, independente de parâmetros tais como V_{th} , temperatura, etc. Isto faz com que a corrente em M1, que determinará o ganho do circuito, seja também constante. Na análise DC, o capacitor C_{des} será visto um circuito aberto e o R_{des} transmite o mesmo potencial para as duas portas dos transistores M1 e M2. Como estes transistores devem estar em saturação, tendo-se a mesma tensão de polarização DC aplicada à porta, as suas correntes de dreno devem ser a mesma (em uma análise simplificada). Daí o circuito ser denominado espelho de corrente.

Na análise AC, o sinal de entrada V_{in} (em princípio senoidal) deve ser injetado na porta do transistor M1. Para isto, a impedância de C_{des} deve ser bem baixa em relação à capacitância de entrada do transistor M1 (i.e. deve-se projetá-lo para que seu valor da capacitância deve ser maior) e a resistência R_{des} deve ser alta em relação a impedância de C_{des} na frequência de operação do circuito. Isto faz com que o sinal não seja dividido em relação ao transistor de espelho (M2). A análise AC do circuito da figura 9 será o mesmo modelo mostrado na figura 8, sendo, no caso, $Z_c = R_{carga}$.

2.4. Exemplo de projeto baseado em equações simplificadas

Como o modelo de simulação frequentemente usado para o transistor MOS conta com equações muito complexas (é o caso do NIVEL 53 que utilizamos nos labs anteriores), é comum que um **modelo simplificado** de cálculo seja usado para se chegar às **primeiras dimensões** de um circuito CMOS analógico. Neste item será desenvolvido o projeto do amplificador mostrado na figura 9, a partir do modelo simplificado e, quando necessário, melhor calibrado por simulações.

A seguir apresentamos a sequência para o projeto do circuito para que funcione com:

$$\text{foperação} = 100 \text{ Mhz}$$

$$\text{ganho} = 20$$

$$V_{cc} = 3,3V \text{ (valor típico para a tecnologia a ser usada)}$$

Formas alternativas de projeto podem ser vistas nos Apêndices.

Um primeiro desenvolvimento é do circuito que compõe o transistor M1 **canal n**, com a resistência de carga, R_{carga} .

Para que o circuito funcione corretamente, a tensão DC do dreno do transistor M1 deve ser por volta de $V_{cc}/2$ (polarizado no valor central da excursão 0 a V_{cc}), logo,

$$I_{ds1} = \frac{V_{cc}}{2R_{carga}} \quad (\text{eq. 3})$$

Como M1 deve estar em saturação,

$$I_{ds1} = \frac{\beta}{2} (V_{gs1} - V_{tn})^2, \text{ ou seja, um valor particular } V_{gs1} \text{ deve ser escolhido.}$$

Observe que $\beta = k_n = (W/L)_n \cdot k_n' = (W/L)_n \cdot \mu_n C_{ox}$.

Como $g_m = \frac{\delta I_{ds}}{\delta V_{gs}} = \beta(V_{gs} - V_{th})$, com $V_{gs} = V_{gs1}$, temos

$$g_m = \sqrt{2\beta I_{ds1}} \quad (\text{eq. 4})$$

O ganho diferencial do circuito, em uma análise simplificada, é dado por:

$$\text{ganho} = R_{carga} * g_m = R_{carga} \sqrt{2\beta \frac{V_{cc}}{2R_{carga}}} = \sqrt{\beta V_{cc} R_{carga}} \quad (\text{eq. 5})$$

Do modelo 53 do transistor n :

$\beta = k_n' \cdot Wn1/Ln1 = 191e-6 Wn1 / 0.4$ (estamos usando **Ln de 2λ = 0,4 μm**, de dimensões mínimas na tecnologia TSMC 0,35 μm)

logo, da eq. 5, com $V_{cc} = 3,3V$:

$$\text{ganho} = 0,04 \cdot (Wn1 \cdot R_{carga})^{1/2} \quad (\text{eq. 6})$$

Com isto, ao fixarmos o ganho em 20, teremos:

$$Wn1 \cdot R_{carga} = 250.000, \text{ com } Wn1 \text{ em } \mu\text{m} \text{ e } R_{carga} \text{ em } \Omega$$

Isto leva a diferentes valores possíveis, por exemplo:

$$\text{opção 1: } Wn1 = 10\mu\text{m} \quad \text{e} \quad R_{carga} = 25k\Omega$$

$$\text{opção 2: } Wn1 = 100\mu\text{m} \quad \text{e} \quad R_{carga} = 2,5k\Omega$$

entre outros...

ATENÇÃO: Seguindo o raciocínio da seção 2.2, o ideal é utilizarmos $Wn1$ pequeno (transistor estreito). Porém, isto tornaria R_{carga} grande, o que implica em ruído térmico do resistor aumentado e grande consumo de área. Portanto, devido a objetivos específicos contraditórios, não há uma forma óbvia para a otimização do projeto.

No exemplo deste texto, escolheremos $Wn1 = 100\mu\text{m}$ e $R_{carga} = 2,5k$. Com isto, tratando-se de um espelho de corrente, o transistor M2 conterà características idênticas ao de M1. Pela eq. 3:

$$I_{pol} = I_{ds1} = V_{cc} / (2 R_{carga}) = 3,3 / (2 * 2,5 k) = 0,66\text{mA}$$

$$\text{e} \quad Wn2 = Wn1$$

Ainda com os valores de tecnologia usadas constantemente nesta disciplina,

$$C_{gs} = C_{GOX} \cdot Wn1 \cdot Ln1 = 4,54 \cdot Wn1 \cdot Ln1 \text{ fF } (Wn \text{ e } Ln \text{ em } \mu\text{m})$$

logo,

$$C_{gs} = 181,6 \text{ fF} \text{ para o transistor M1}$$

Calculado C_{gs} , faremos $C_{des} = 10 \cdot C_{gs}$ para termos um boa transmissão do sinal. Com isto, a parcela de tensão sobre C_{des} será menor, quando do acionamento do circuito, e a maior parte da

tensão cairá em C_{gs} . Portanto:

$$C_{des} = 10 C_{gs} = \mathbf{1,82pF}$$

Para que o desacoplamento seja bom, a impedância de C_{des} deve ser ao menos 10 vezes menor que R_{des} , ou seja,

$$R_{des} = 10/(2 \pi f C_{des}).$$

No nosso caso, podemos obter, para $f=100MHz$:

$$R_{des} = \mathbf{8.7 k\Omega}$$