

Escola Politécnica da Universidade de São Paulo
Departamento de Engenharia de Sistemas Eletrônicos - PSI

PSI-3452- Projeto de Circuitos Integrados Digitais e Analógicos

**LAB 3-A: Projeto de Leiaute e Extração de Circuito para
Inversor CMOS (2022)- Prática**

1. Objetivos

Esta sessão de lab visa dar continuidade à familiarização do estudante com a metodologia de projeto dedicado com aplicativo IC Station da Siemens e o programa de simulação de circuitos ELDO. Especificamente, objetiva a edição do leiaute de um inversor CMOS, a extração do circuito equivalente com componentes parasitários (resistores e/ou capacitores).

2. Introdução Teórica

Não há.

3. Parte Experimental

Atenção: Muitos dos procedimentos a serem usados neste lab já foram realizados em sessões anteriores de lab. Quando se fizerem necessários novamente, consulte as descrições específicas dos procedimentos em apostilas anteriores, caso não se recorde.

3.0 Utilização de Dados Anteriores

Os alunos devem utilizar para este lab os Wp e Lp do transistor p computados na atividade da aula passada (de teoria).

Para os que não realizaram a tarefa, os itens a) e b) daquela atividade devem ser feitas agora.

⇒ **Completar na folha de respostas com as informações solicitadas (item 3.0)**

3.1 Criando o leiaute do inversor e importação do transistor n do aluno(a)

Como nos labs anteriores, as atividades serão realizadas no Linux CentOS 7.

a) Crie a pasta `~/lab3`. Em um janela de Terminal, acesse `-a` e tecle. Use o script para ajustar as variáveis de ambiente e dispare o IC Station (`adk_ic &`). Certifique-se que o *working directory* corresponde à pasta pretendida.

b) Crie uma nova célula (comando *New*) chamada **inv_com_carga**. O processo `tsmc035` e suas regras estão em `/tools/mgc_tree/adk3_1/technology/ic/process`.

c) Copie o transistor NMOS gerado em lab2 para incluir no projeto do inversor. Para isto, execute o comando **'Add-> Instance'** e, na janela que aparecerá, usando o *'browser'*, localize e escolha a célula gerada no lab 2 (transistor NMOS). Após escolher a célula é necessário teclar com o botão esquerdo do mouse no lugar da tela onde esta será colocada, depois isto, tecla **'ESC'** para encerrar o modo inserção.

d) Use o processo de planarização (*'flatten'*) da célula do transistor, de forma a que ela seja editável dentro nova célula **inv** criada;. Para isto, selecione todo o leiaute com o comando **Select->Select->All**. Faça o *'flatten'* na pequena janela que aparecerá, com o comando **Edit->Flatten**. Na caixa de diálogo, mantenha **'one level'** e tecle o botão **OK**.

e) Selecione os **'labels'** da célula copiada, alternando as teclas F2 (deselecionar tudo) e F1 (selecionar o que estiver abaixo do cursor), e os apague.

Observação 1. certifique-se que está apagando o objeto correto, olhando na caixa de descrição do objeto que trata-se da camada **'metall.port'**. Neste ponto o seu leiaute deve estar parecido com a figura 1 (o contato de substrato deve estar na parte de baixo da figura; caso contrário

faça rotações adequadas).

Observação 2. Não se esqueça de gravar o seu desenho constantemente e de, em seguida, reativar o modo edição (*Context -> Layout -> Set Edit Mmode On*) para poder prosseguir o trabalho.

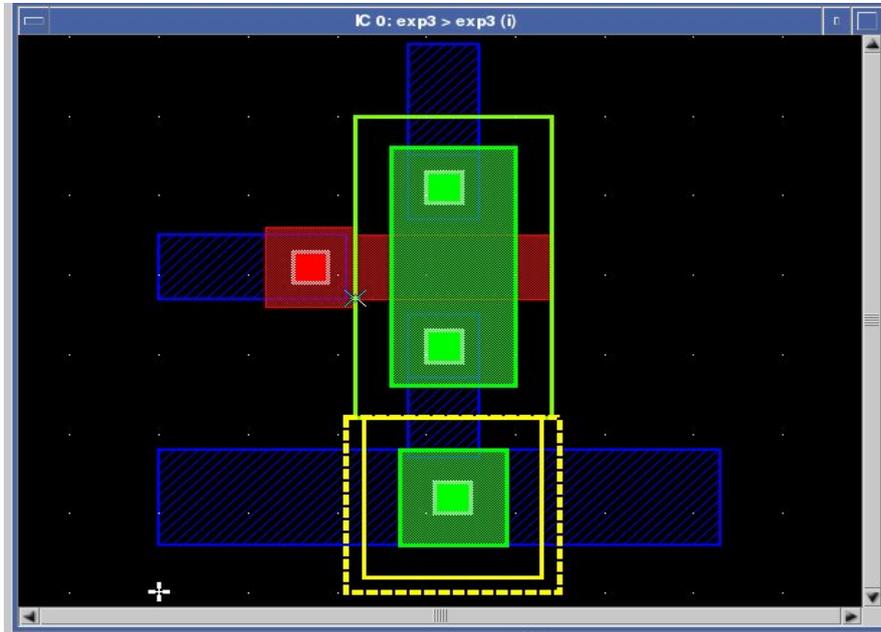


Figura 1. O transistor n importado e com os labels retirados

3.2 Gerando o transistor p

a) Vamos gerar de forma automática o transistor PMOS com as dimensões projetadas e adicionando contato de substrato ilha N.

b) Em **IC Palettes**, tecla '**DLA Device**', e na nova janela que aparece, tecla em '**AddMos**'. Na janela '**ObjectEditor**' escolha '**pmos**', e entre com **Width**= W_p e **Length**= L_p (definidos pelo aluno anteriormente); mantenha a '**sequence**' escolhida **egc**. Em atributos escolha **Rotation** = 90. Posicione o PMOS no leiaute de forma a que a distância entre sua borda (que corresponde à ao poço N) e a difusão do transistor NMOS obedeça a regra **DRC2_3** (veja o valor na apostila do lab1).

c) Adicione uma célula de contato de substrato, de forma similar ao realizado no lab2, **porém agora, com o contato de ilha (poço) N**, e na parte superior. Ao adicionar esta célula, encoste-na na célula do transistor p, de tal forma que as regiões de seleção P+ das duas células fiquem conectadas. Atenção, para isto, a orientação da célula de substrato deve estar na orientação correta (provavelmente **Rotation** seja 0 (zero) seja ok). Use a opção *zoom-in* para obter maior precisão e a opção *flatten* para visualizar as camadas co contato.

Observação. O resultado do posicionamento deve ser equivalente ao da figura 2.

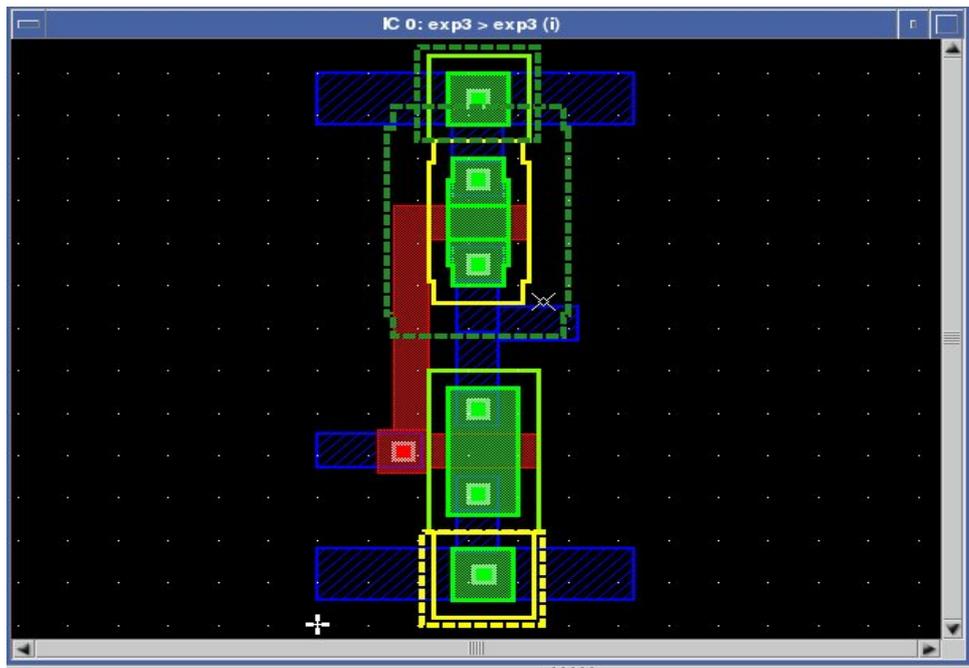


Figura 2. Os transistores posicionados e conectados

3.3 Interconectando os transistores

- a) Tendo a Figura 2 como guia, vamos usar a opção automática de desenhar uma linha de interconexão comum entre as duas portas (gates) dos transistores, assim como os seus drenos. Se necessário use a opção *view context* para ver todo o seu leiaute.
- b) Para interligar as portas, clicar em **Path** da Palheta **Easy Edit**. Na caixa de diálogo (**Object Editor**) selecione a máscara **Poly** (pode escrever ou selecionar na **Layer Palette**) e determine a largura **Width** igual ao menor dos comprimentos de canal adotados ($Width = \min(L_n \text{ ou } L_p)$). No caso são iguais. Centralize a cruzeta sobre a borda da linha de poly do transistor P do seu leiaute e clique uma vez. Desloque o mouse e estenda a linha de poly por alguns lambdas, clicando o mouse novamente. Desloque o mouse para uma nova direção e assim por diante, até conectar com o silício poli ligado a porta do transistor N. Quando não desejar mais estender a linha de poly, clique duas vezes rapidamente o mouse ou use a tecla ESC.
- c) Faça o mesmo procedimento escolhendo agora a camada **METAL1** para interligar os drenos dos transistores.
- d) Usando novamente **METAL1**, ligue o contato de fonte e de poço N do transistor canal P entre si. Estenda a camada mais um pouco para poder afixar o seu *label* futuramente.
- e) Rode o DRC para confirmar que está tudo certo. Corrija os erros se existirem. Se necessário use os comandos **Move**, **Stretch**, **Copy**, etc.

3.4. Desenho a cadeia de inversores (duplicando o inversor e incluindo os terminais/labels)

- a) Duplique o inversor (na simulação dinâmica- o segundo servirá de carga para o primeiro). Para isto, use **Select->Select->All** e em seguida use **Edit->Copy->Selected->Horizontal** e escolha com o mouse uma posição à direita do inversor existente. Verifique se a distância é suficiente para evitar erros ativando o DRC.
- b) Ligue os *terras* (GND) dos dois inversores com **METAL1**.
- c) Ligue a saída do primeiro inversor com a entrada do segundo. É necessário ter o contato de **METAL1** para **POLY**.

d) Use *Text* e no *Object Editor* escolha a camada **Metal1.port** de forma semelhante ao já feito no lab 2. Você deve adicionar os terminais (*labels*) Vdd1, Vdd2, Gnd, entrada, saida1 e saida_carga (ou saida2) (o número 1 refere-se ao primeiro inversor).

ATENÇÃO: NÃO ligue os VDDs dos dois inversores. Os terminais serão ligados a fontes independentes no modelo de simulação ELDO. Isto será importante quando for analisada de forma isolada a corrente através do primeiro inversor na simulação DC.

e) Neste ponto, sua figura deve estar semelhante à da Figura 3. Faça uma cópia da em formato TIFF. Salve o seu desenho.

⇒ **Siga as instruções da folha de respostas (item 3.4)**

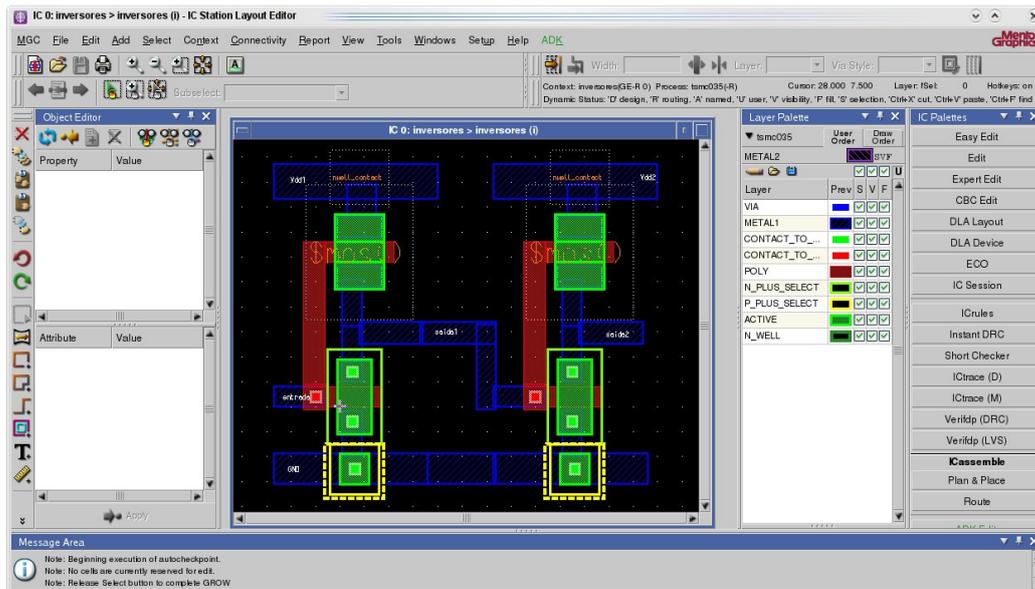


Figura 3. Cadeia de inversores com os labels

3.5 Extração do circuito elétrico e compilação no Eldo para checagem de correção

a) Realize a extração do diagrama esquemático do circuito (instruções abaixo copiadas do lab2).

- *Tools -> Calibre -> Run PEX*
- *Load Runset -> FILE: /tools/mgc_tree/adk3_1/technology/calibre/pex.tsmc035.runset*
- *OK*
- *No botão Rules, altere o arquivo para /home/disc/psi3452/lab3/tsmc035.calibre.rules*
- *Na barra a esquerda selecione 'Outputs' e faça com que na linha 'Extraction type' seja selecionado 'C+CC;(Atenção: isto fará com que somente as capacitâncias sejam considerada- as resistências serão desconsideradas), o que simplifica o arquivo de descrição do circuito, sendo uma boa aproximação no nosso caso em que as linhas não são muito longas;*
- *Run Pex (aguarde)*

ATENÇÃO: As capacitâncias a serem consideradas na simulação serão as do nó Saída 1, de acordo com os parâmetros capacitivos parasitários junto aos do modelo do transistor descritos na teoria.

b) Observe se o arquivo **inv_com_carga.sp** foi gerado. Identifique **os transistores e as capacitâncias** no arquivo de simulação e confira suas dimensões W e L, as áreas e perímetros, assim como a presença de todos os terminais que você incluiu no seu leiaute.

c) Procure os arquivos '**inv_com_carga.sp.pex**' e '**inv_com_carga.sp.inv_com_carga.pxi**'. Entenda o resultado da extração.

Observação 1. A simulação do inversor será feita no Lab3-B. Precisamos neste momento certificarmos que o arquivo extraído está sem erros. Para isto, apenas o compilaremos no Eldo.

Observação 2. Verifique que **todos os labels** planejados do leiaute aparecem no arquivo **inv_com_carga.sp**.

d) Copie o arquivo **inv_com_carga_topo.sp** que está no site na disciplina (Moodle) para a sua pasta de trabalho ~/lab3. Este arquivo contém a descrição da simulação estática e da dinâmica. **Veja se há necessidade de reordenar** os nomes dos terminais no arquivo para ficarem compatíveis com a sequência em que comparecem no **arquivo inv_com_carga.sp**, obtido no item a). Caso você tenha usado nomes diferentes para os terminais em relação aos nomes recomendados na apostila faça também a correção em todos os pontos do arquivo **inv_com_carga_topo.sp** em que aparecem.

e) Faça a simulação através do comando **eldo inv_com_carga_topo.sp** (como no Lab 2).

f) Se houver erros, corrija-os até removê-los todos.

⇒ **Siga as instruções da folha de respostas (item 3.5)**