

**SEL-0415**

# **Introdução à Organização de Computadores**

## **Barramentos e Portas Tri-state**

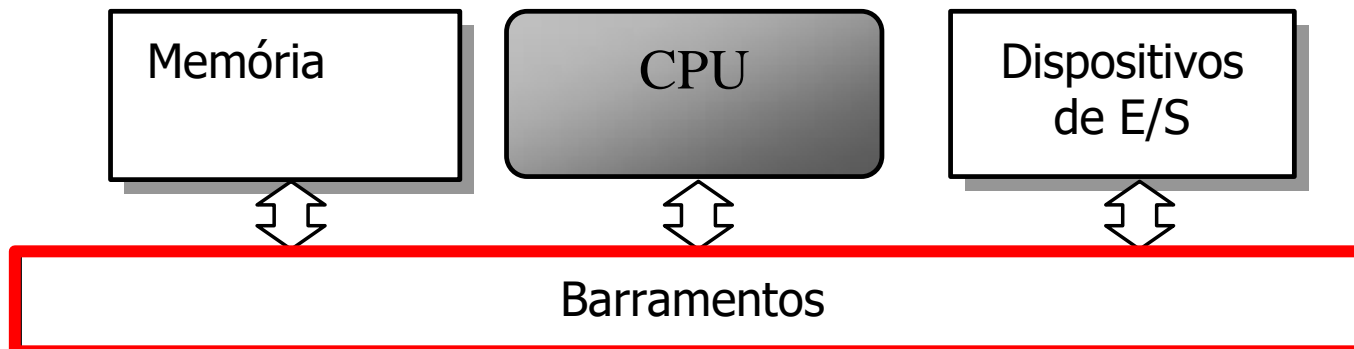
### **Aula 3**

**Prof. Dr. Marcelo Andrade da Costa Vieira**

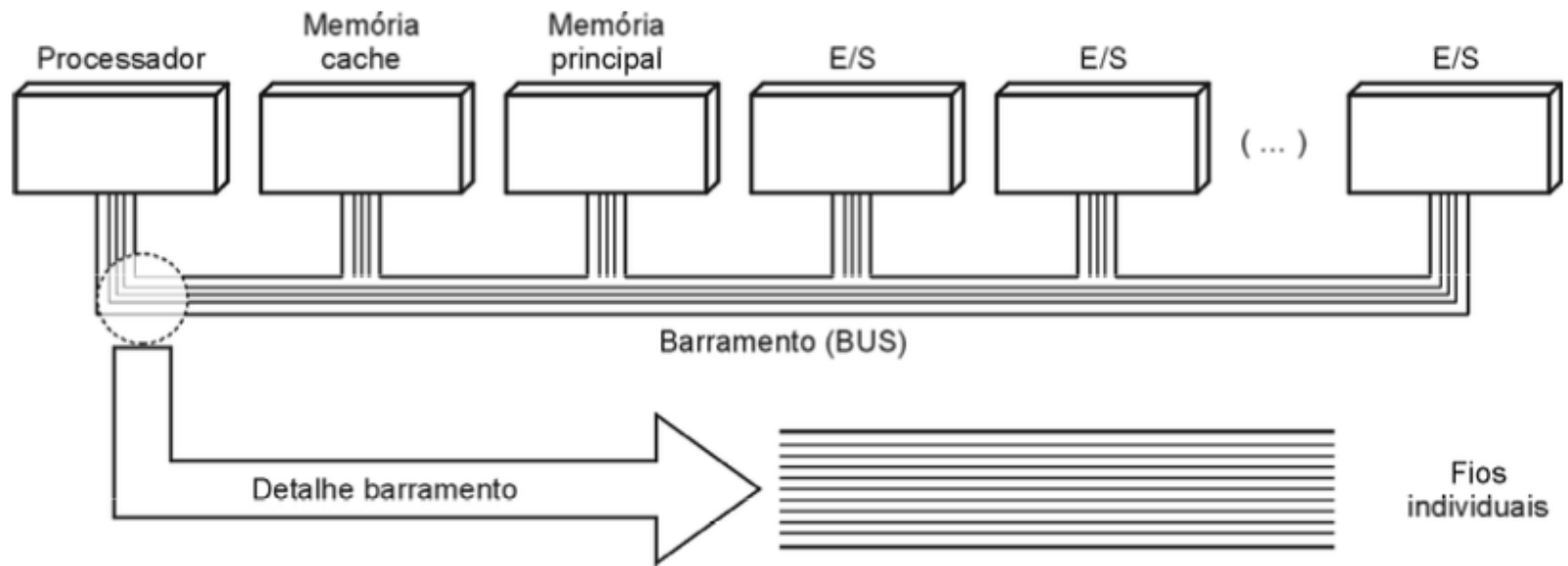
# MODELO DE VON NEUMANN

A arquitetura de um computador consiste de 4 partes principais:

1. *CPU (Unidade central de processamento)*
  - ULA (unidade lógica e aritmética)
  - Unidade de controle
  - Registradores
2. *Memória*
3. *Dispositivo de conexão (barramentos)*
4. *dispositivos de entrada/saída.*



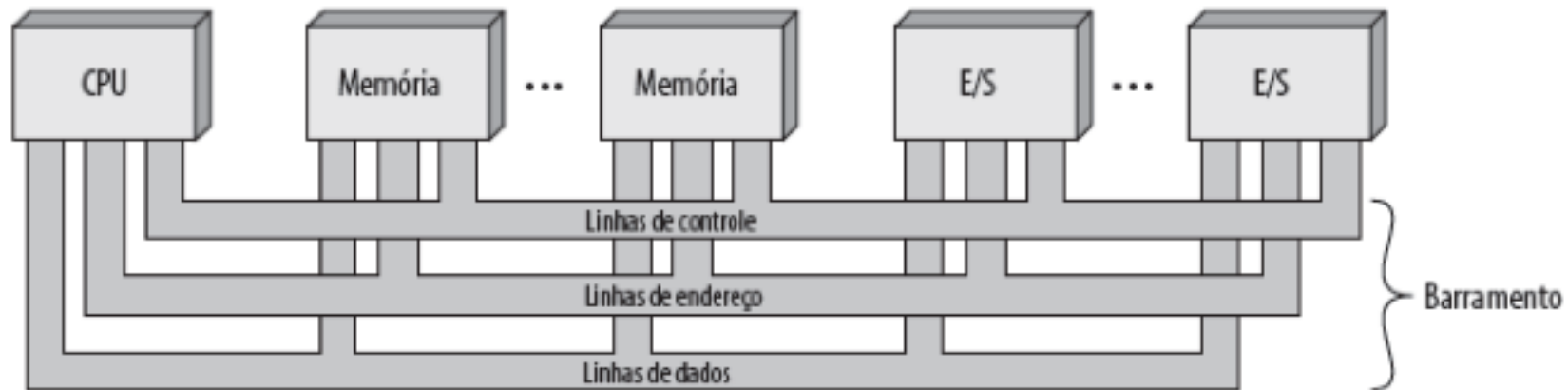
# BARRAMENTO



É necessário o compartilhamento de fios, ou seja, saídas de diversas portas lógicas devem ser interconectadas para permitir o tráfego de informações

# BARRAMENTO

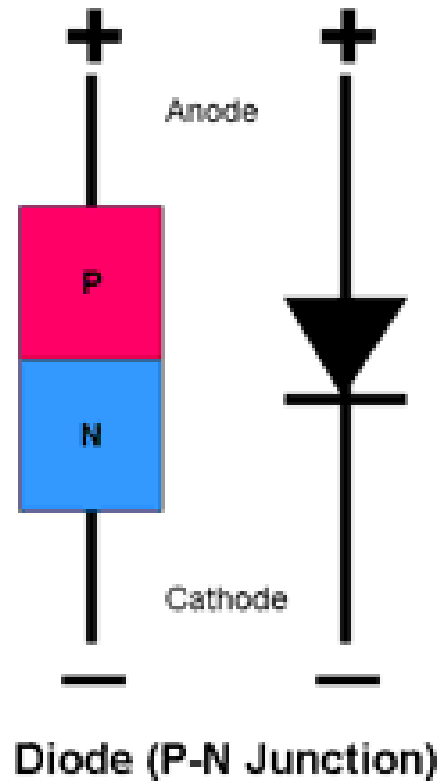
- São 3 Barramentos:
  - Barramento de Dados
  - Barramento de Endereço
  - Barramento de Controle









# Funcionamento de uma porta l3gica

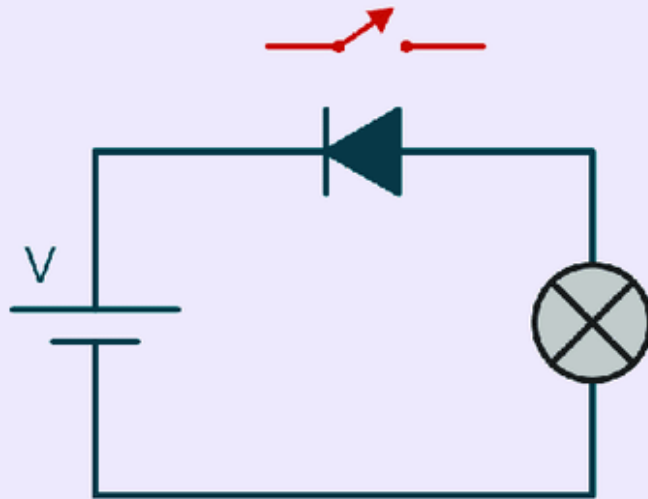
# Diode de junção



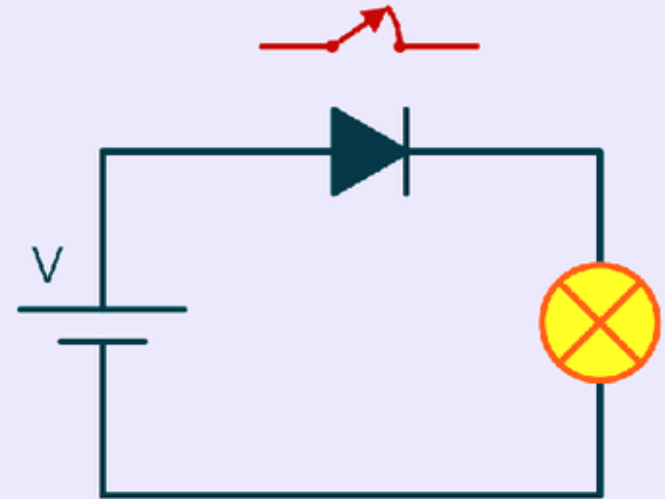
# Diodo como chave eletrônica

Estado	Polarização	Circuito equivalente
Condução		
Bloqueio		

# Diodo como chave eletrônica



a) Chave aberta



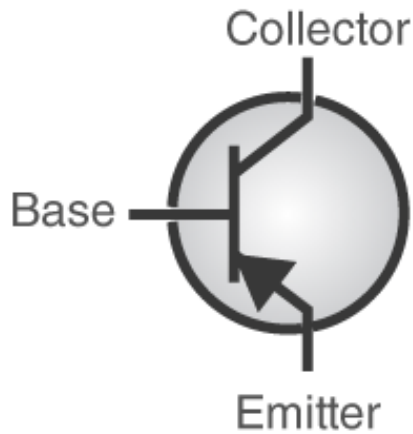
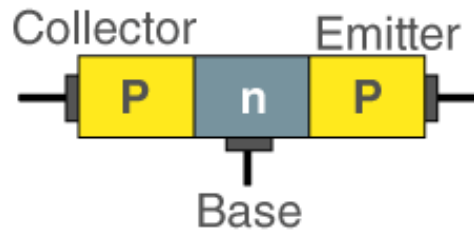
b) Chave fechada



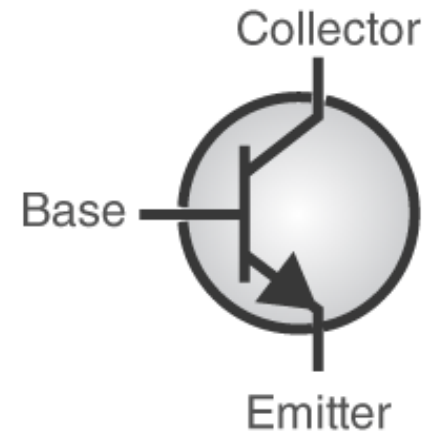
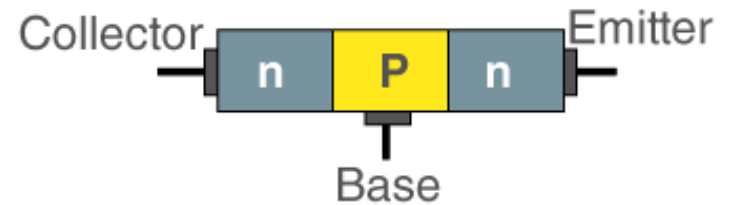
# Transistor de Junção Bipolar (BJT)

## Chave eletrônica

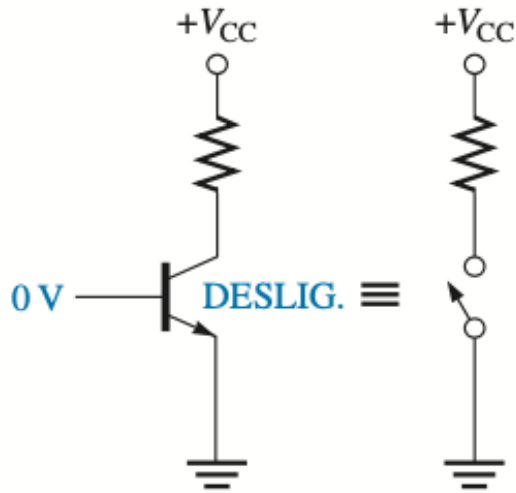
**PNP**



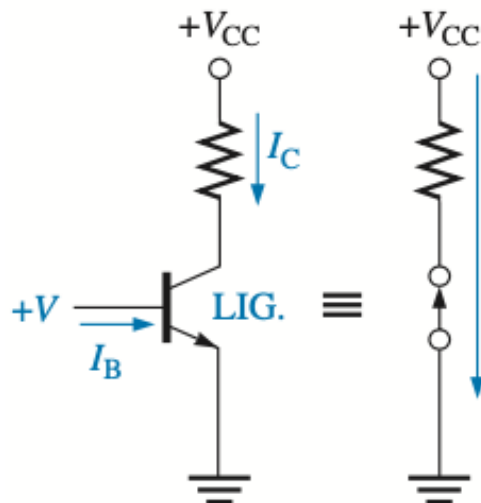
**NPN**



# Transistor de Junção Bipolar (NPN) Chave eletrônica

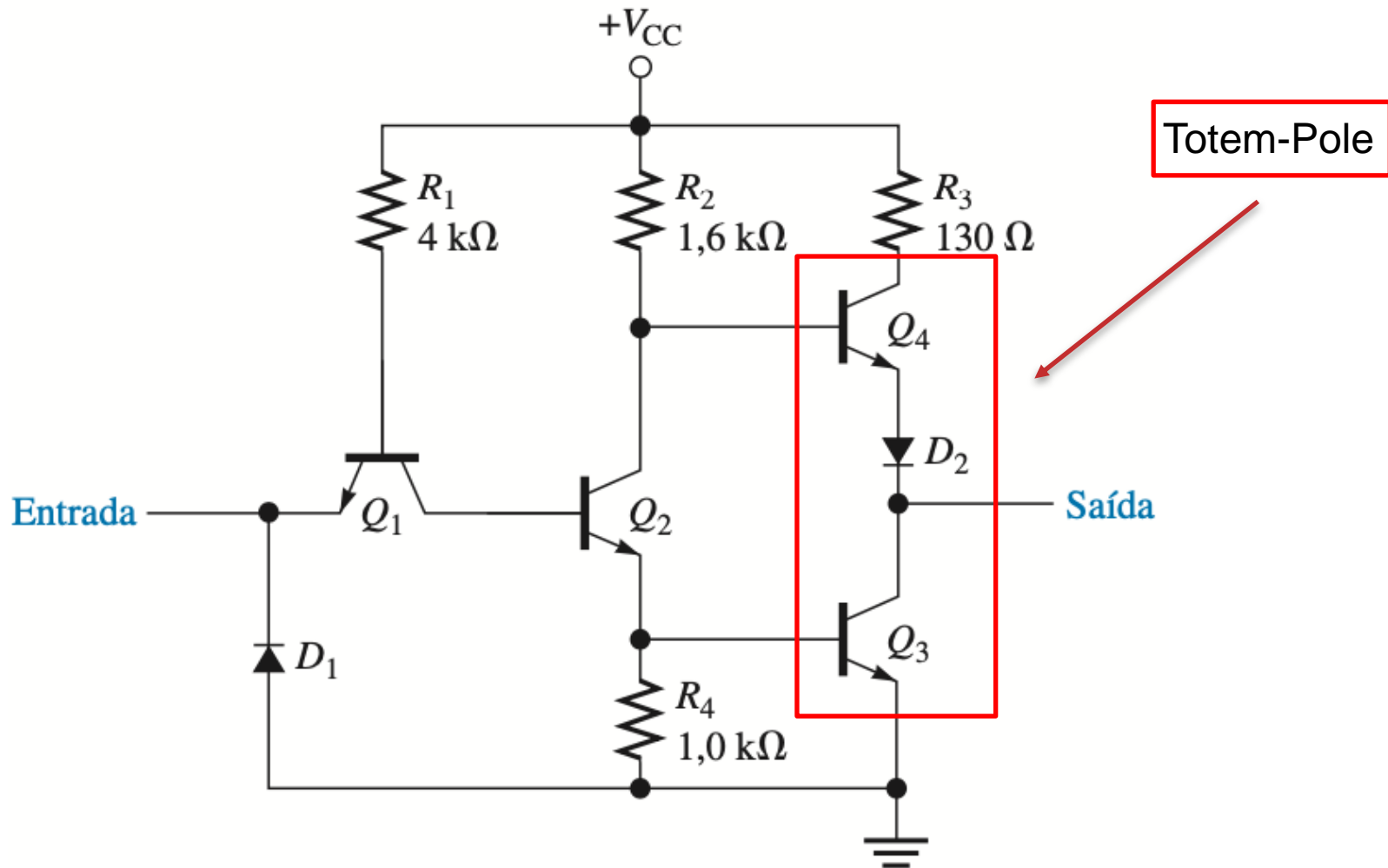


Sem tensão/corrente na Base  
**Chave aberta**

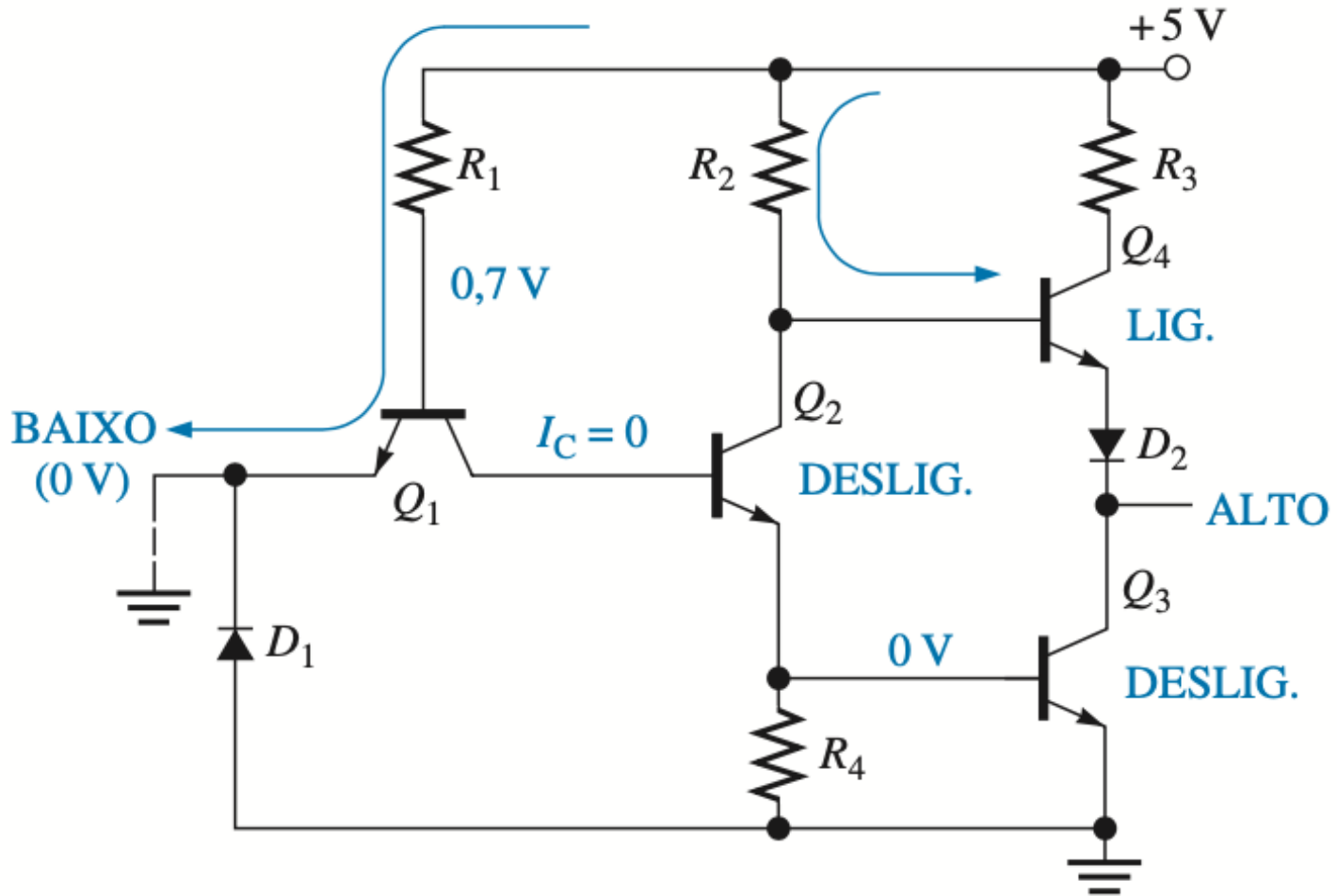


Com tensão/corrente na Base  
**Chave fechada**

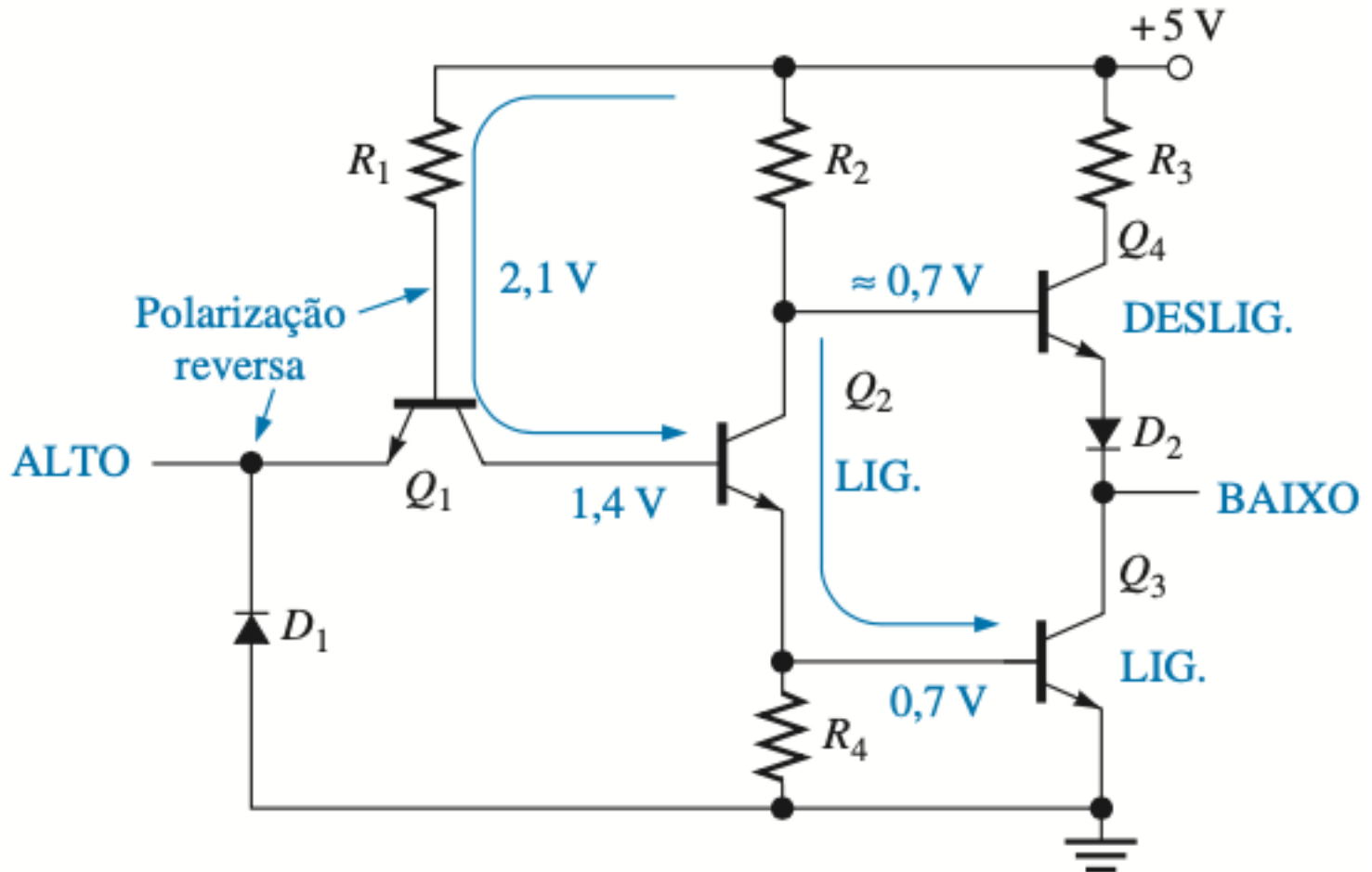
# Porta Inversora TTL (Transistor BJT)



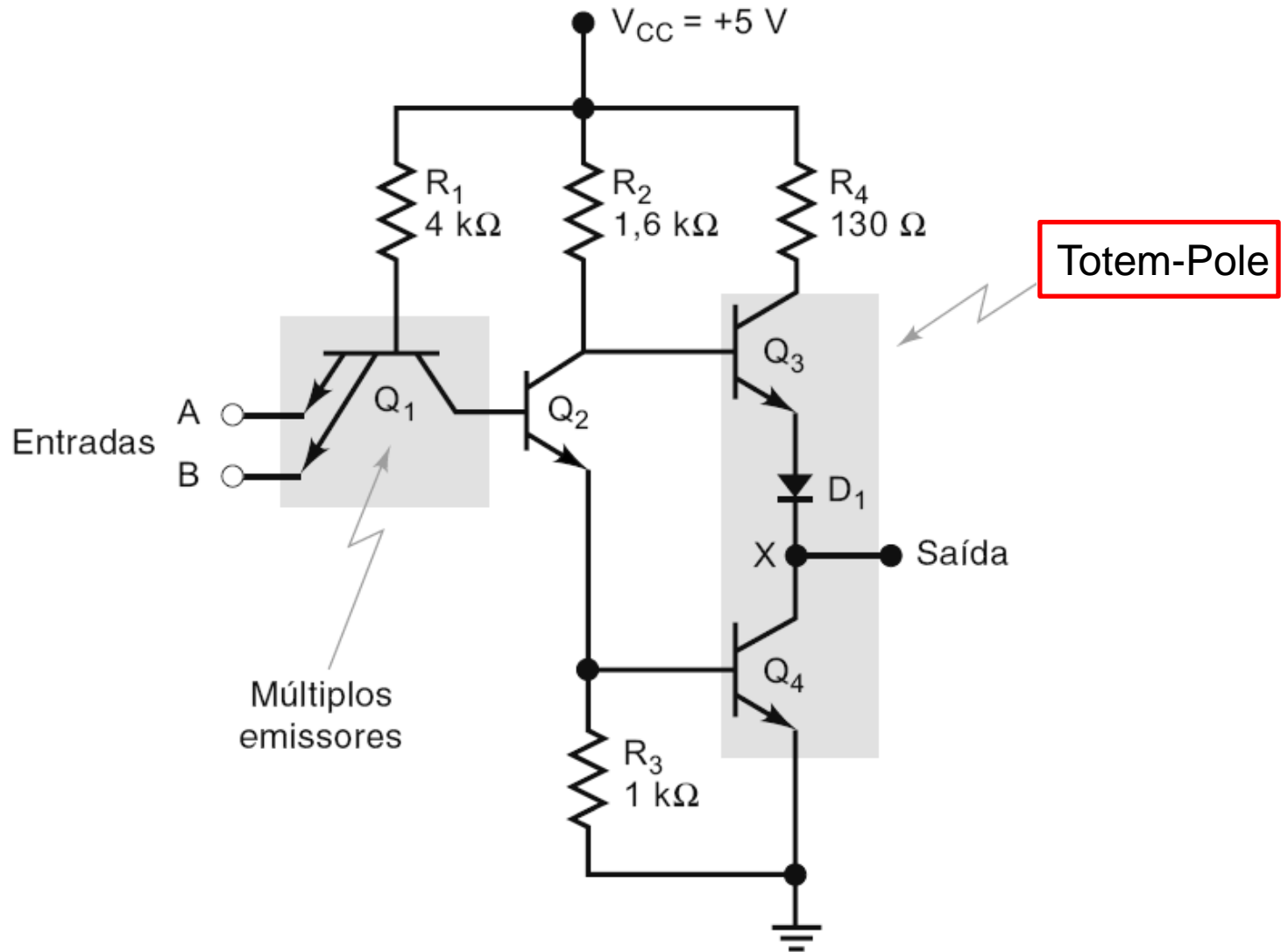
# Porta Inversora TTL: Entrada 0



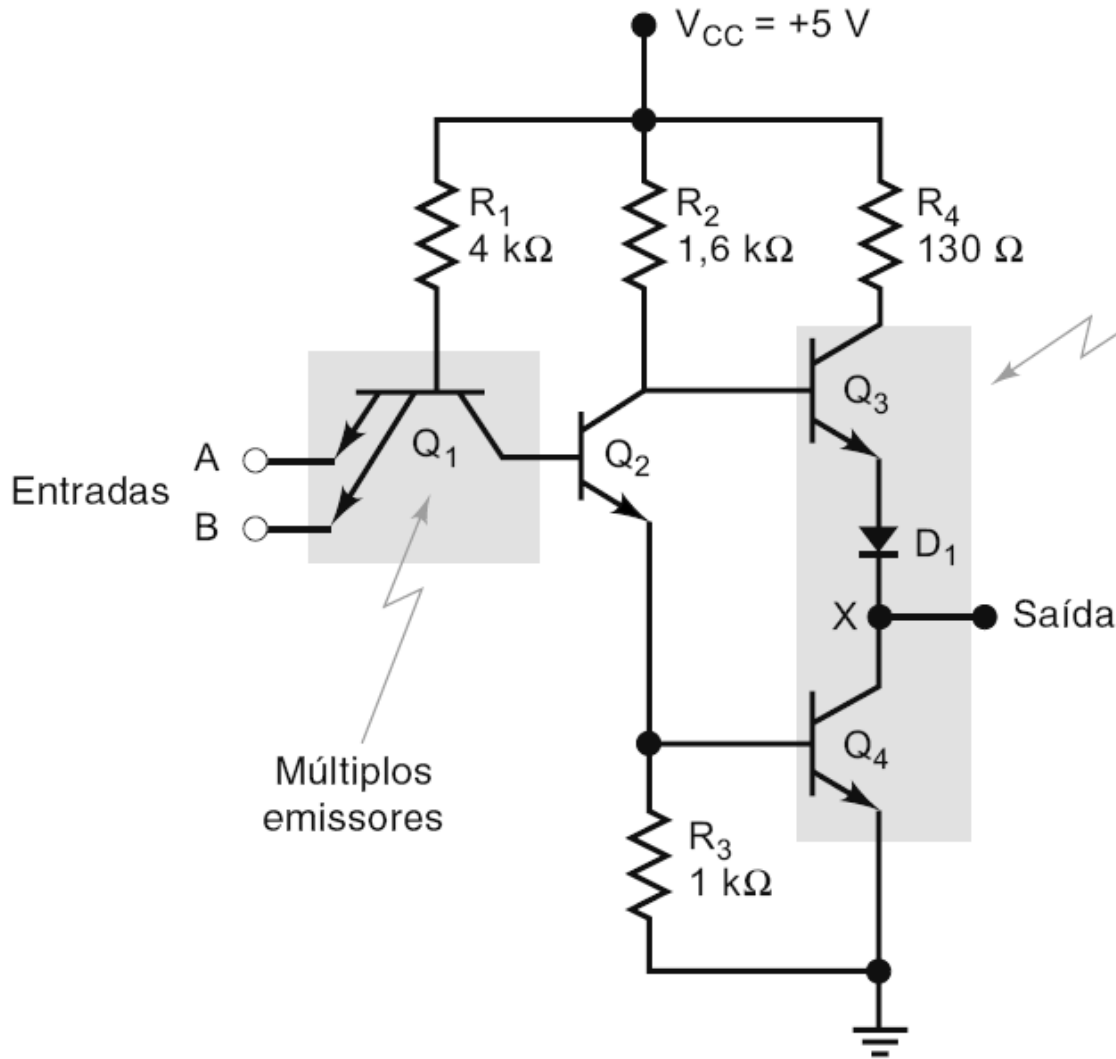
# Porta Inversora TTL: Entrada |



# Porta NAND TTL (Transistor BJT)



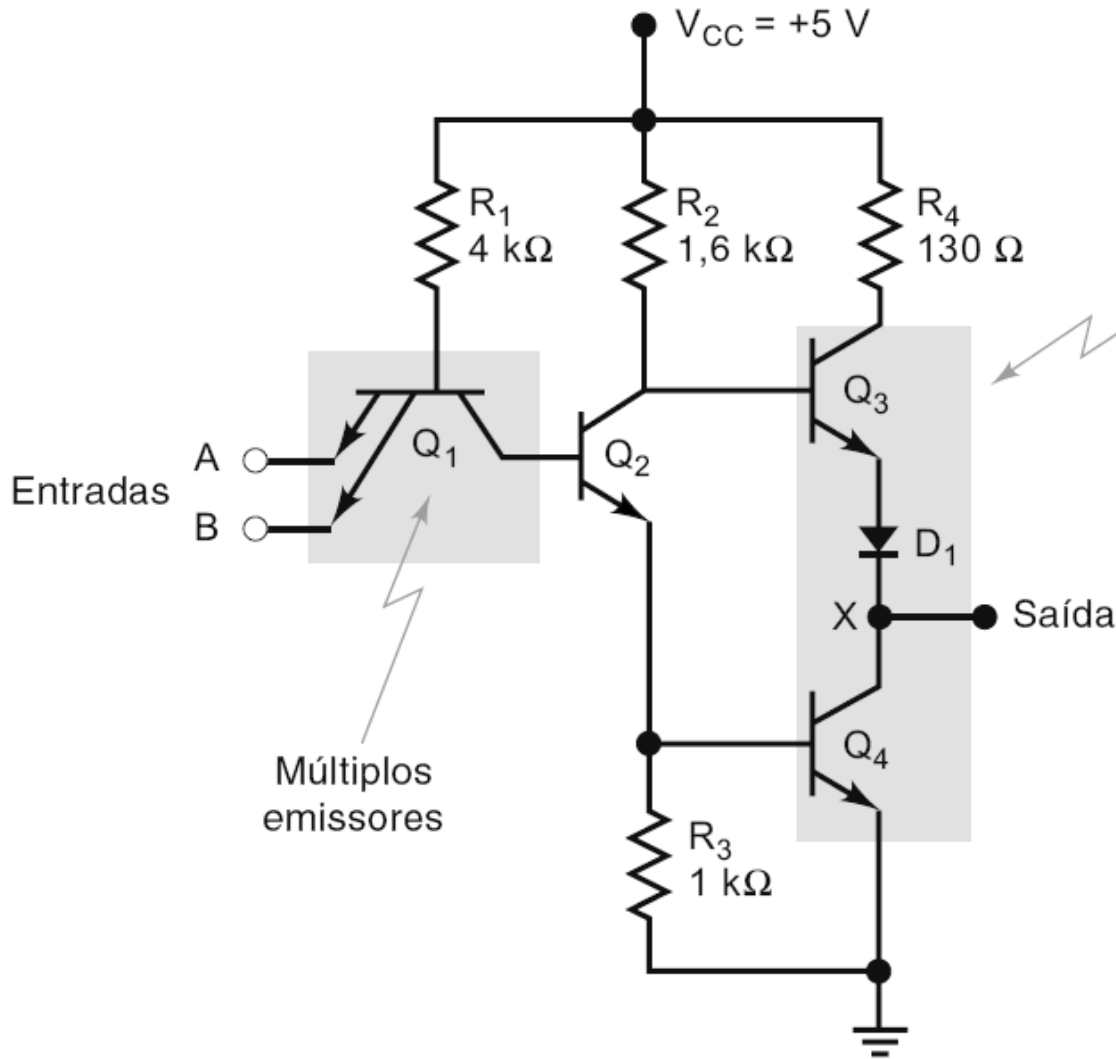
# Porta NAND TTL – Saída 0



A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

(a)

# Porta NAND TTL – Saída I



A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

(a)

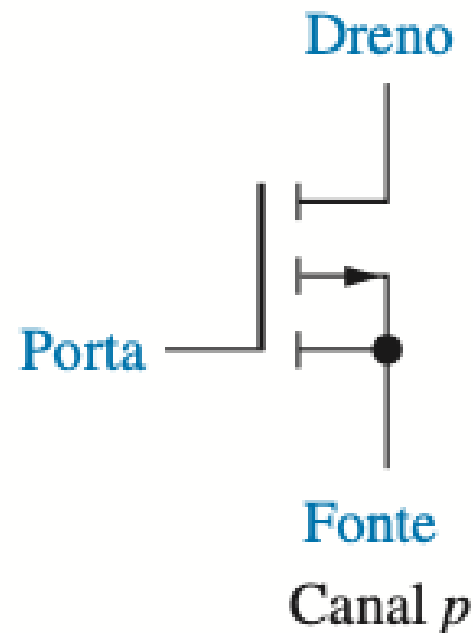
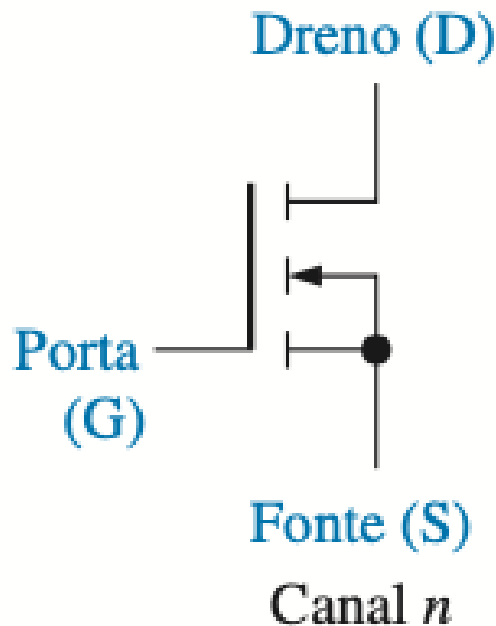


# MOSFET

(Metal-Óxido Semicondutor - Field Effect Transistor)

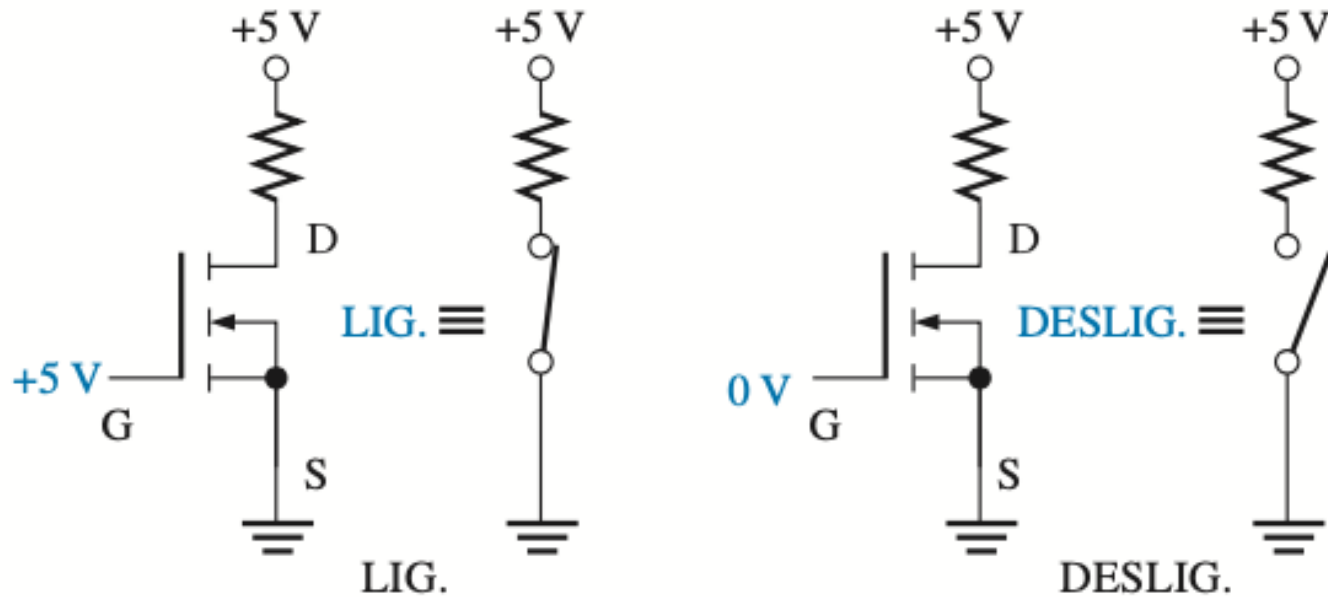
## Chave Eletrônica

- N-MOS ou P-MOS



# Transistor N-MOS

## Chave eletrônica

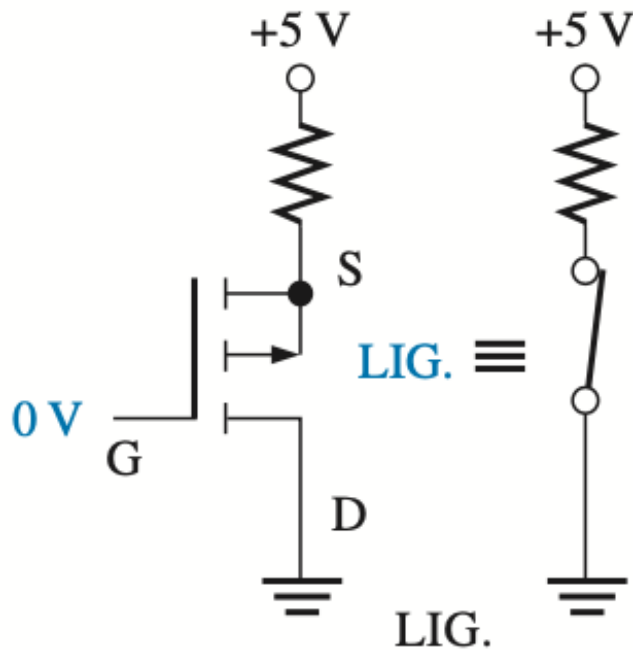


Com tensão/corrente na Porta  
Chave fechada

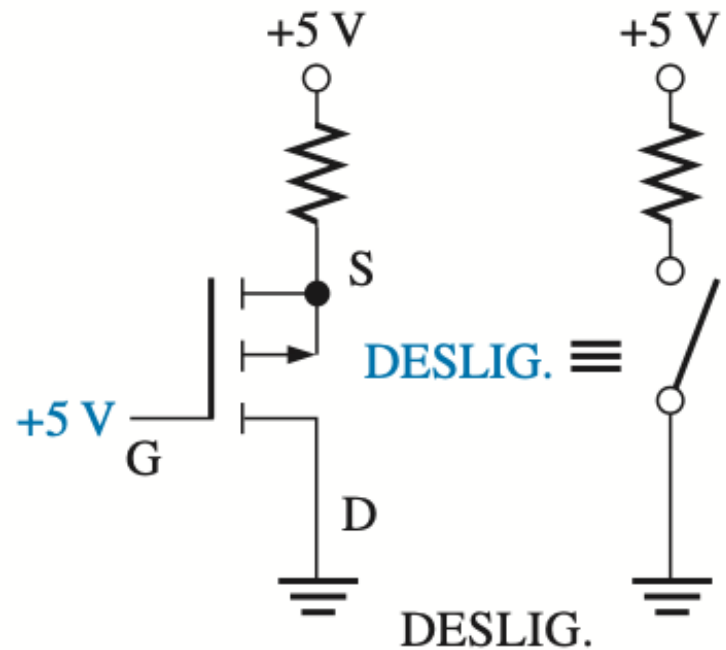
Sem tensão/corrente na Porta  
Chave aberta

# Transistor P-MOS

## Chave eletrônica



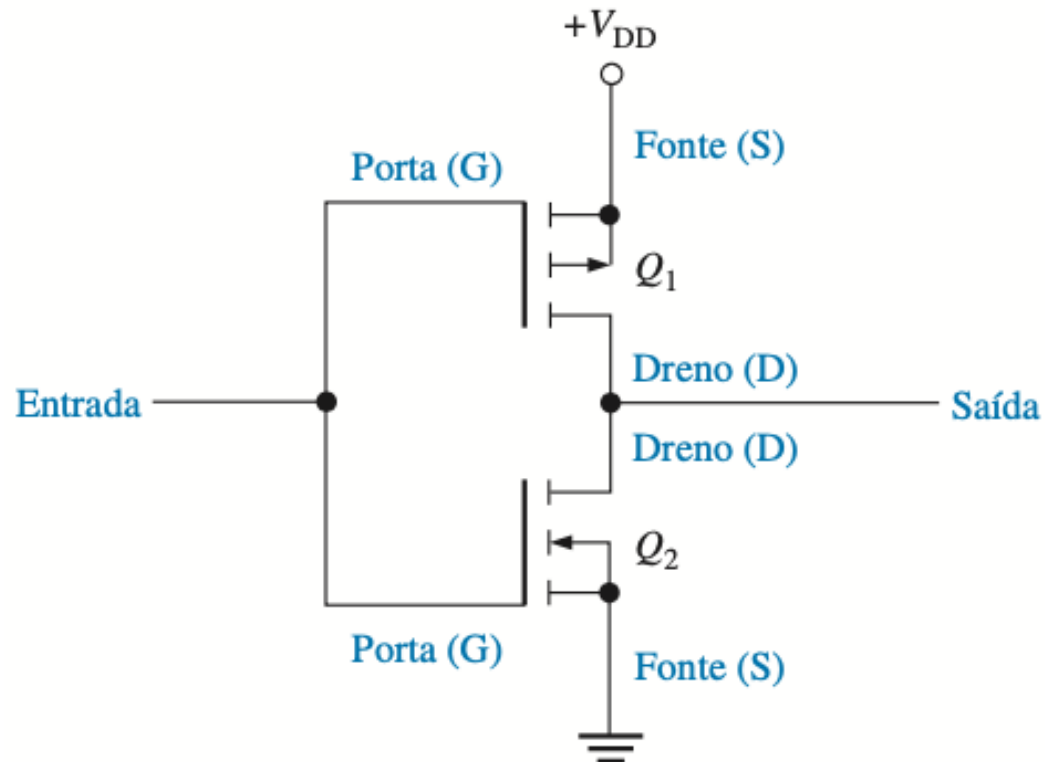
Sem tensão/corrente na Porta  
Chave fechada



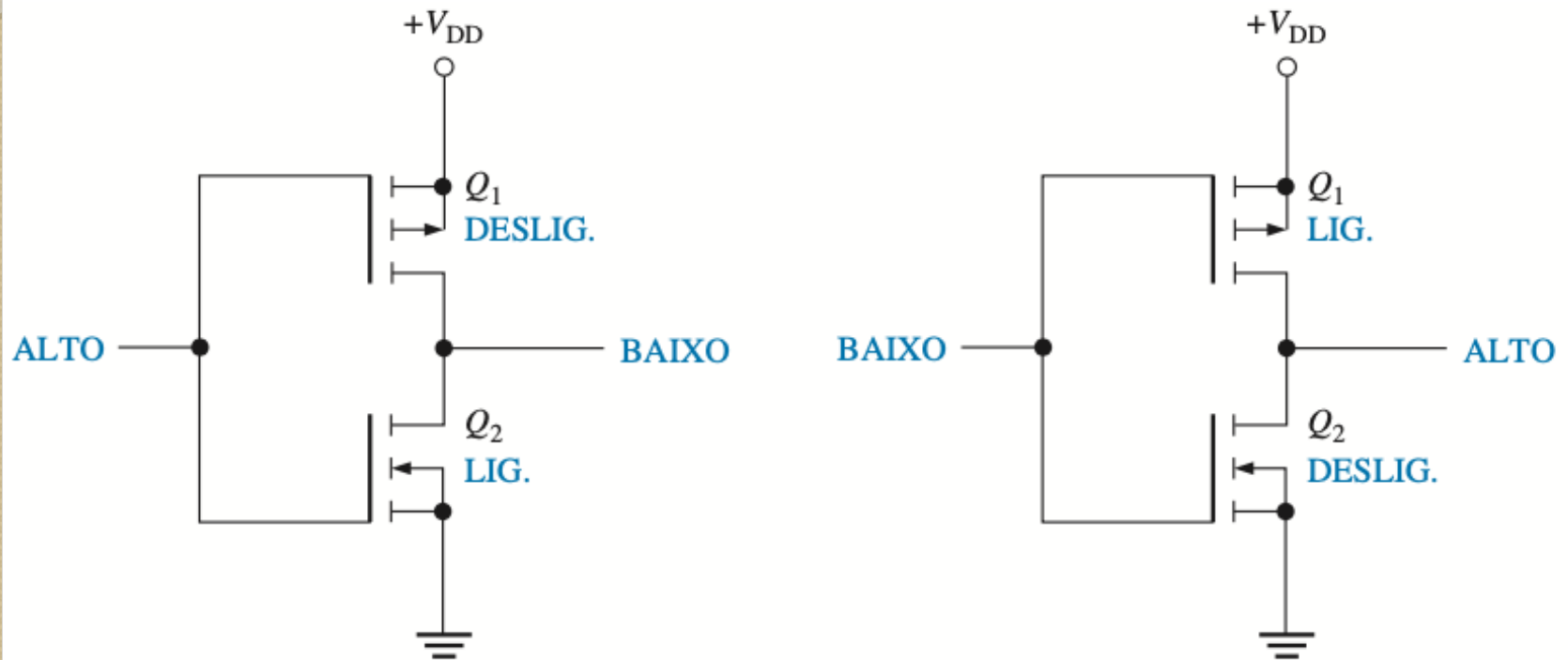
Com tensão/corrente na Porta  
Chave aberta

# CMOS (MOS Complementar)

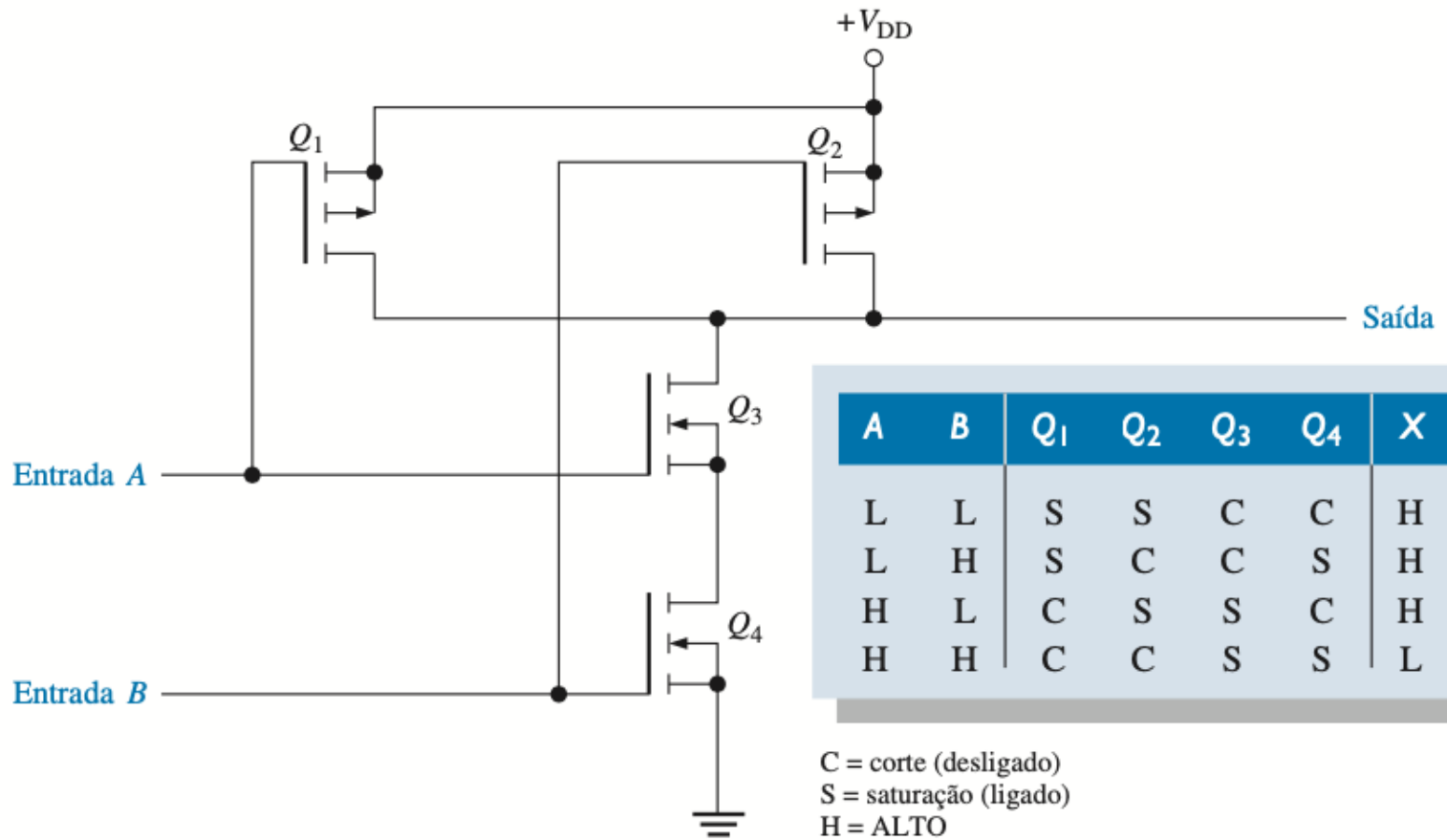
- CMOS: Complementar (P-MOS e N-MOS ligados juntos)
- Igual ao Totem-Pole do TTL



# Porta Inversora CMOS



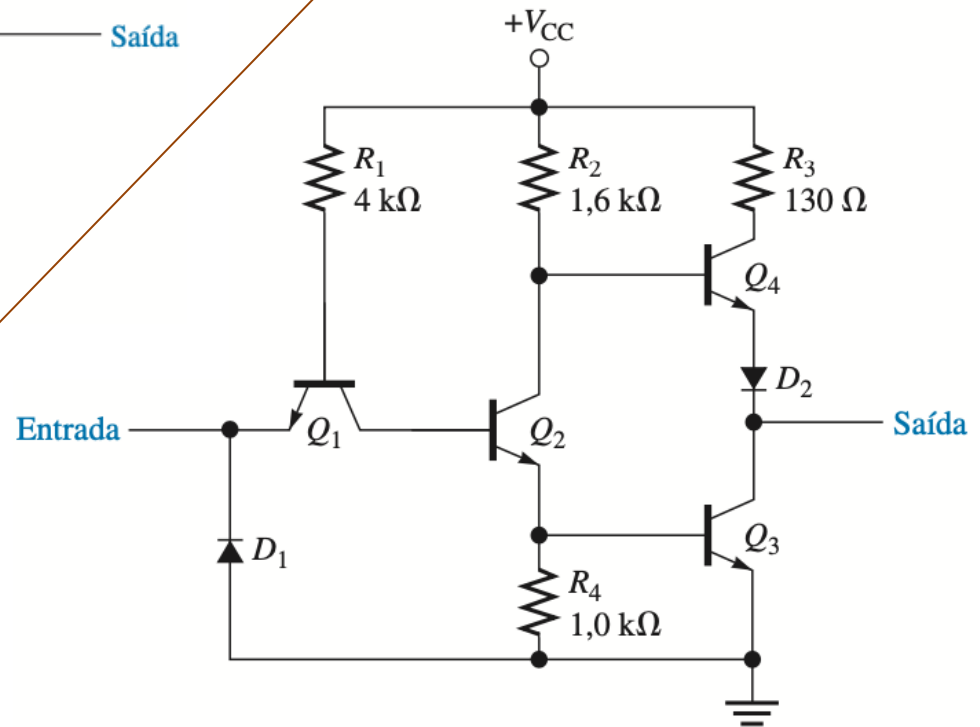
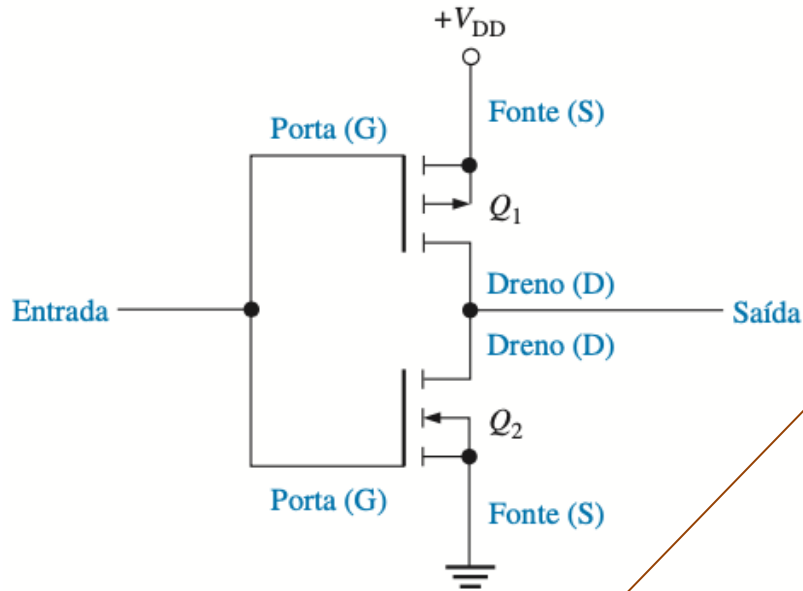
# Porta NAND CMOS



A	B	$Q_1$	$Q_2$	$Q_3$	$Q_4$	X
L	L	S	S	C	C	H
L	H	S	C	C	S	H
H	L	C	S	S	C	H
H	H	C	C	S	S	L

C = corte (desligado)  
S = saturação (ligado)  
H = ALTO  
L = BAIXO

# Porta inversora CMOS XTTL

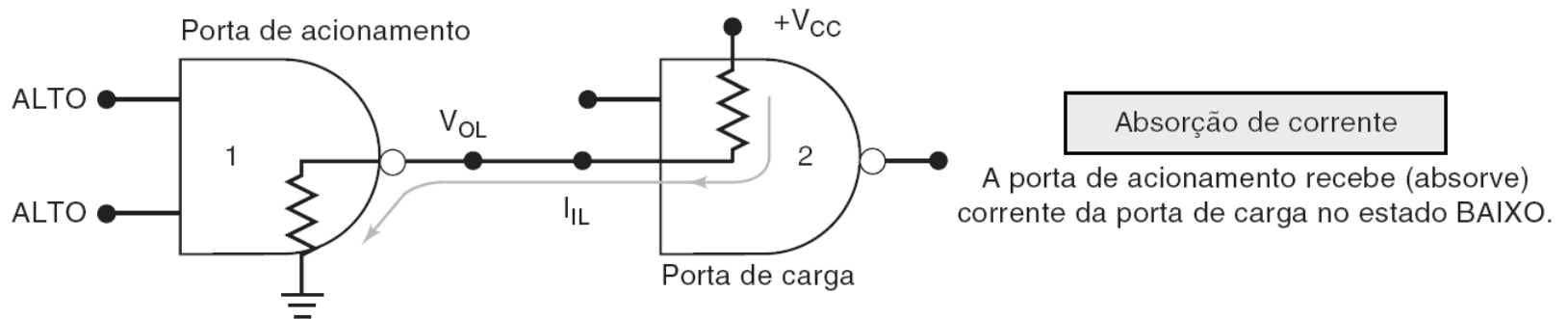
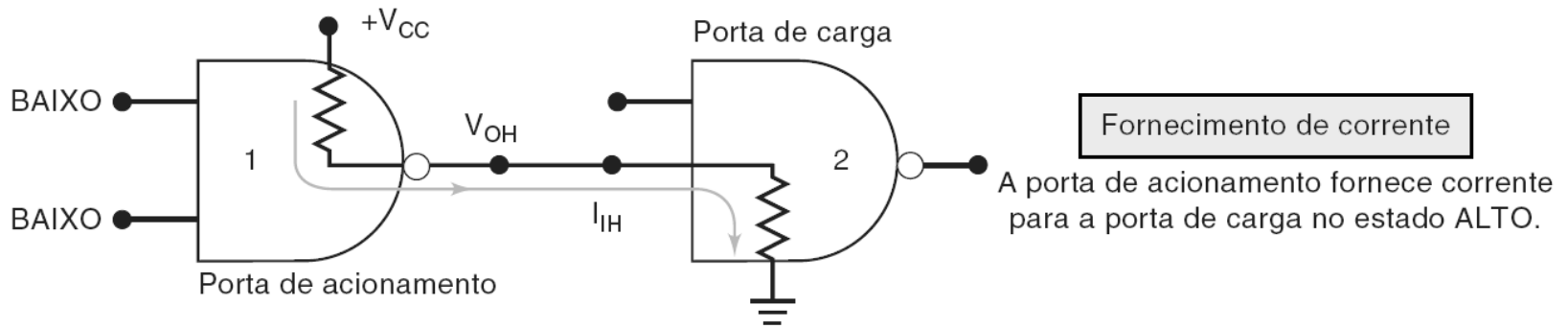


# CMOS X TTL

- Circuito integrado CMOS é mais simples e mais barato do que o TTL;
- Não necessita resistores: menor dissipação e potência e maior integração no CI;
- Tecnologia de CIs mais utilizada atualmente, principalmente em circuitos de integração em larga escala (LSI, VLSI e ULSI).

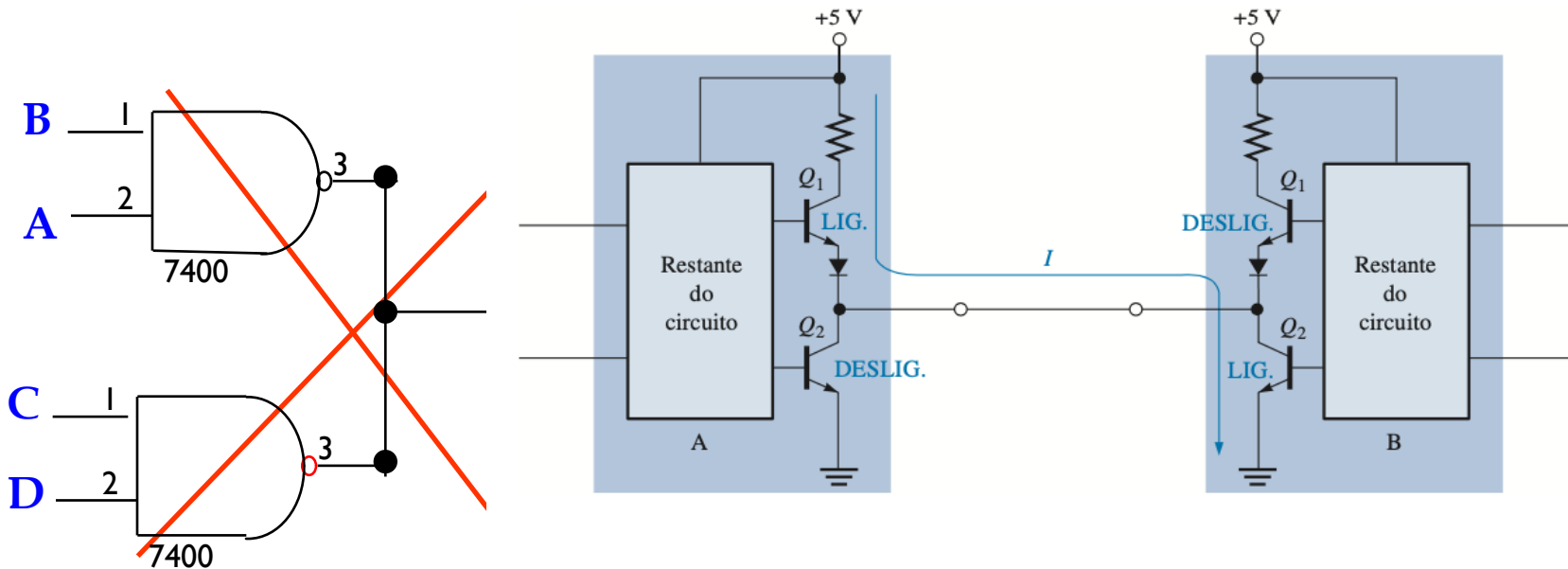


# Funcionamento de uma porta lógica



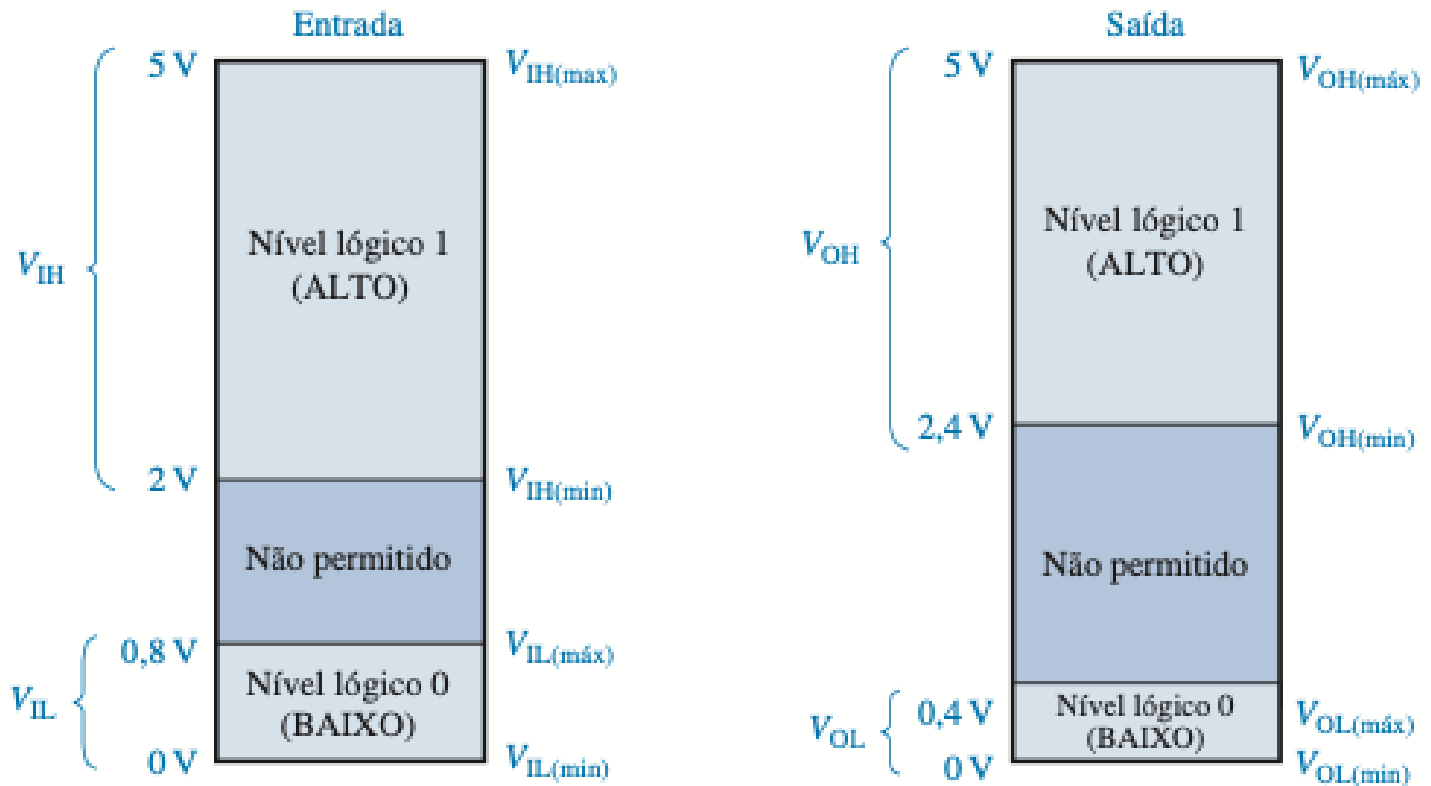
# Ligação de saídas de Portas lógicas

- Necessidade de compartilhamento de duto (fio)
- Uma saída em **alto** e outra em **baixo** conectadas juntas  
➔ PROBLEMA

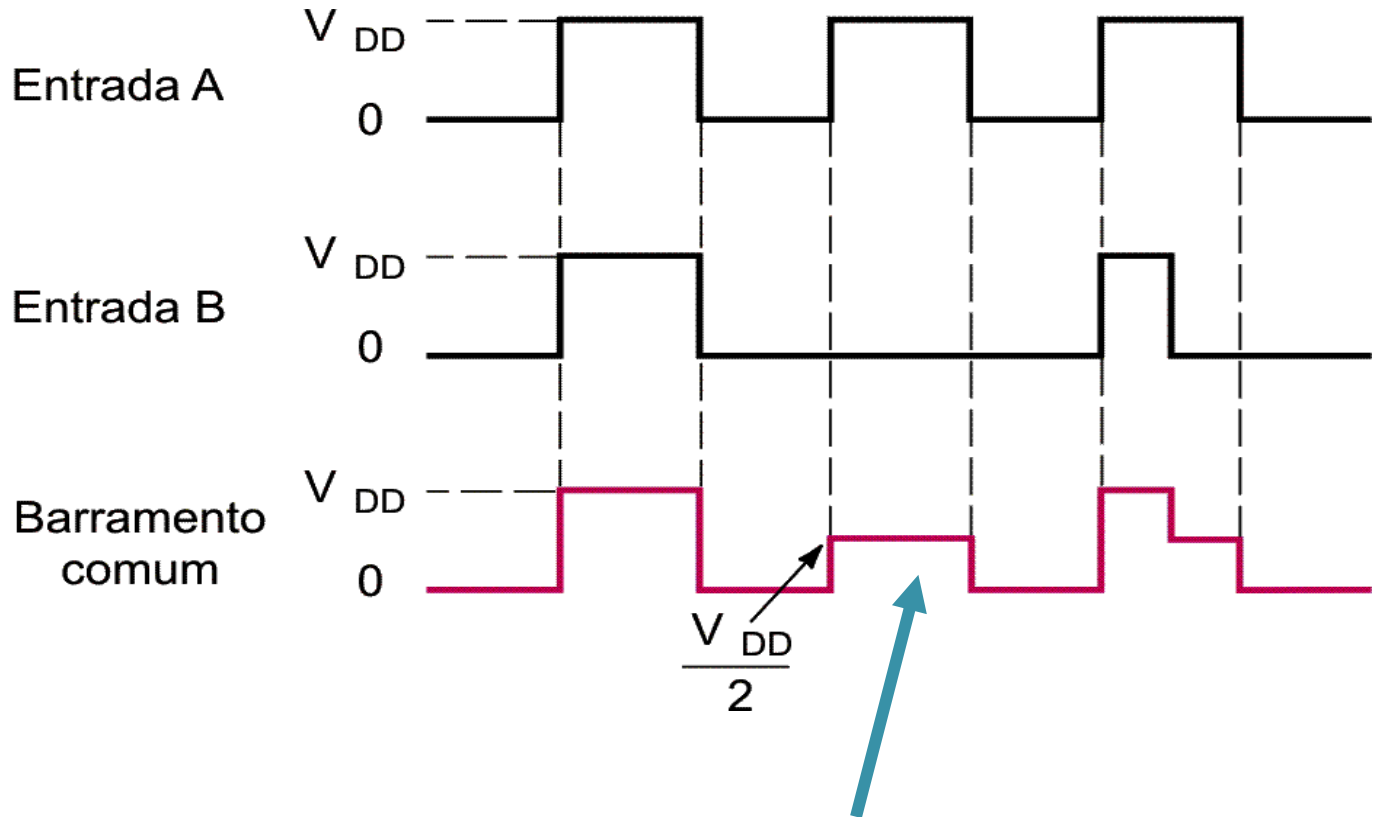


- Causa um curto-circuito na fonte!
- A corrente  $I$  é muito alta e danifica os transistores Q1A e Q2B!

# Conflito no Barramento



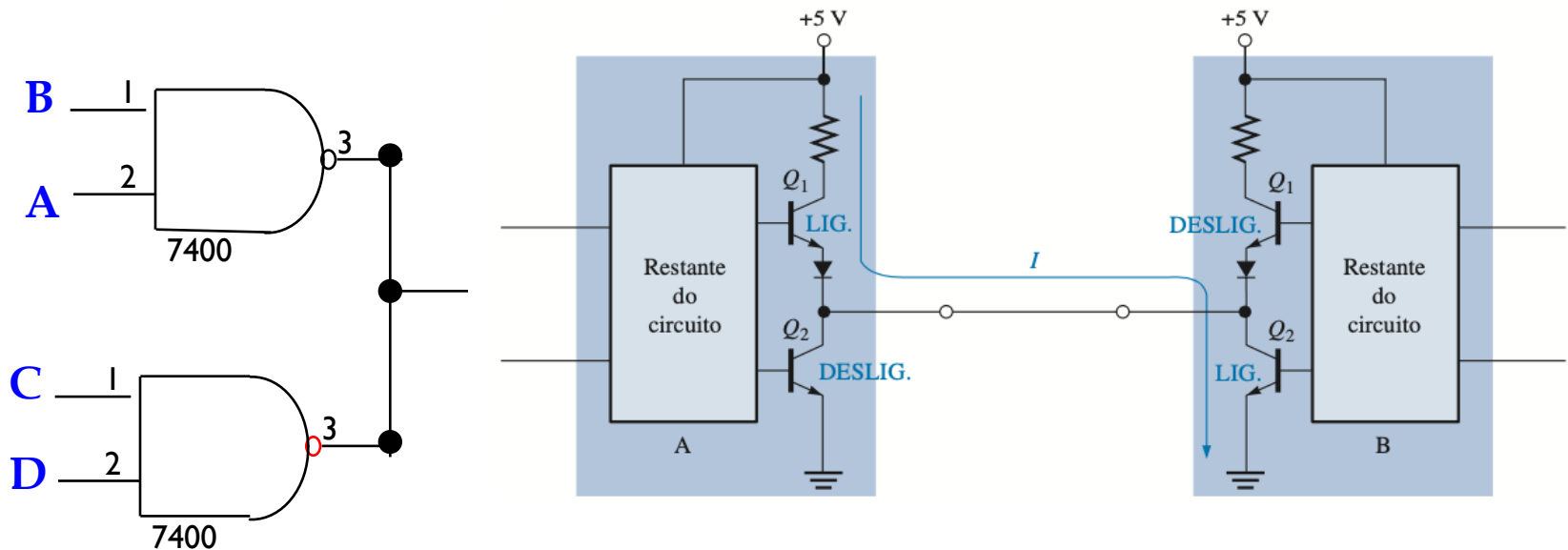
# Conflito no Barramento



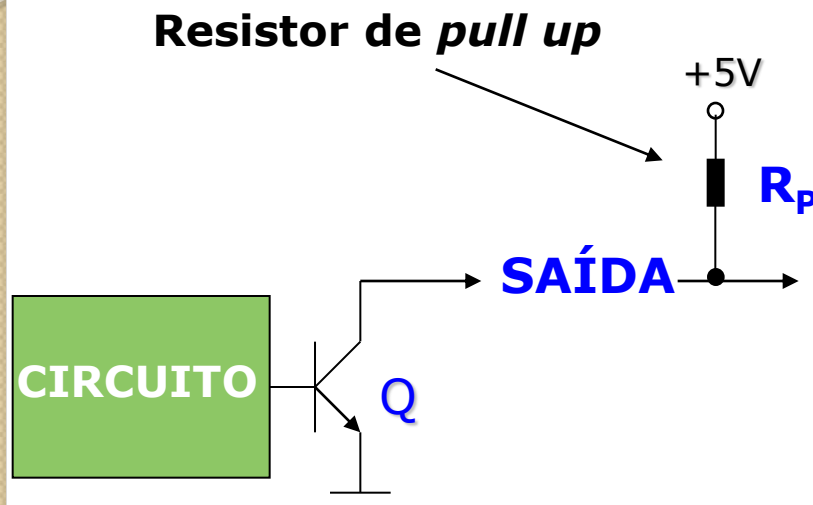
Que nível lógico é esse?

# Ligação de saídas de Portas lógicas

**SOLUÇÃO** ➔ remover o transistor ativo dos circuitos de saída (Q1A e Q1B) ➔ saída em **coletor aberto (TTL)** ou **dreno aberto (CMOS)**



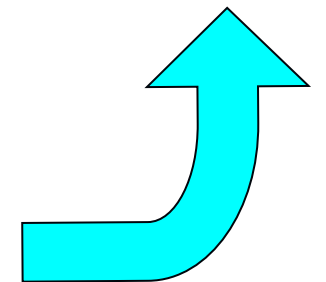
# CIRCUITOS DE SAÍDA EM COLETOR OU DRENO ABERTO



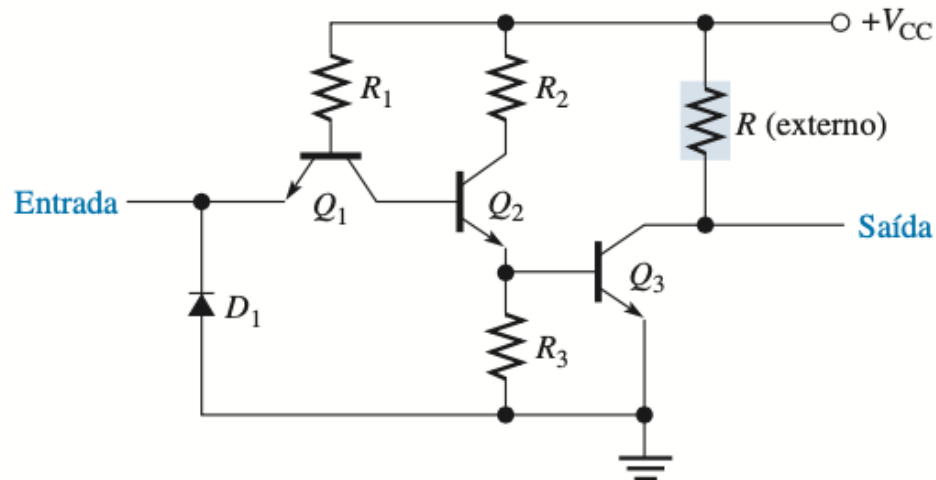
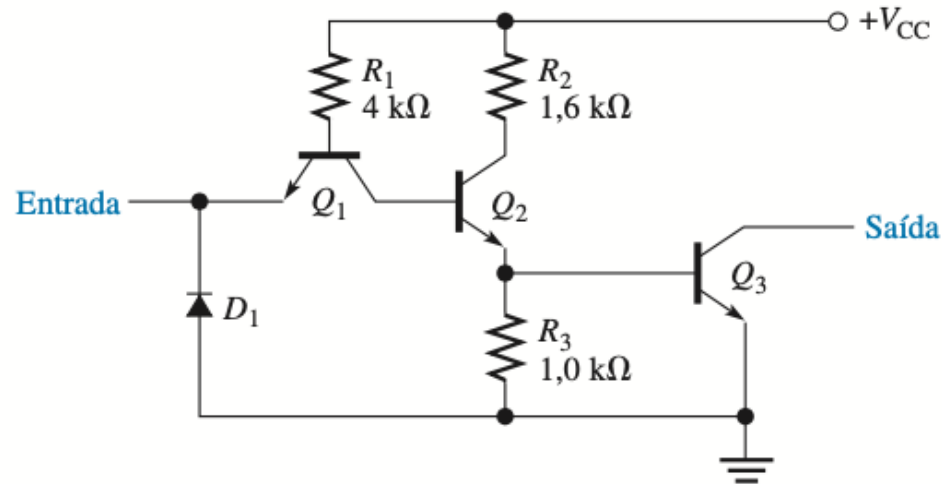
- ⇒ Se Q conduz ("ligado")
  - ➔  $S = 0$
- ⇒ Se Q cortado ("aberto")
  - ➔  $S = 1^*$

\* *sem  $R_p$  ➔  $V_o$  seria indeterminada (flutuante)*

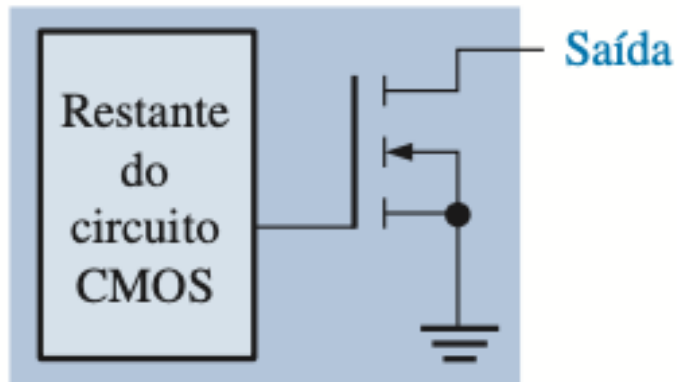
- Com saída em **0 (baixo)** ➔ Q conduzindo
- Com saída em **1 (alto)** ➔ Q cortado ➔ **CIRCUITO ABERTO** ➔ necessidade de  $R_p$



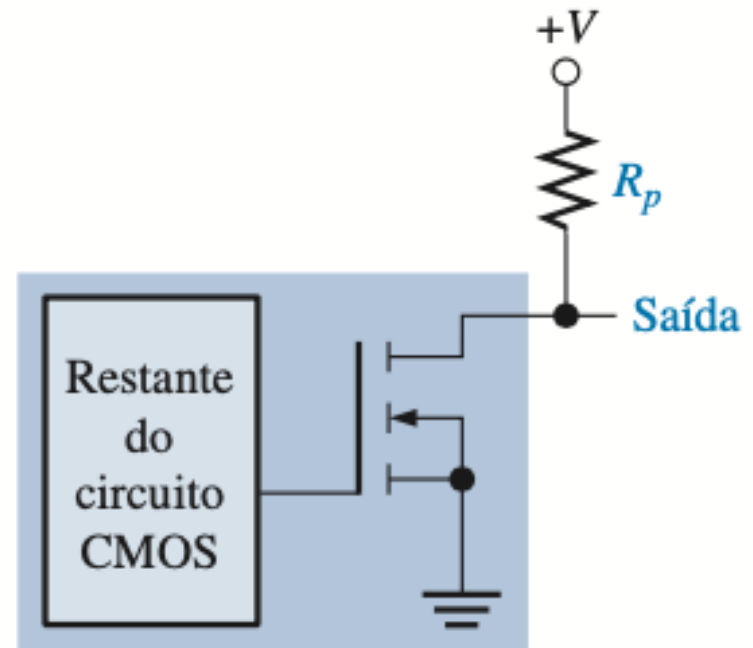
# Porta TTL em Coletor Aberto



# Porta CMOS em Dreno Aberto



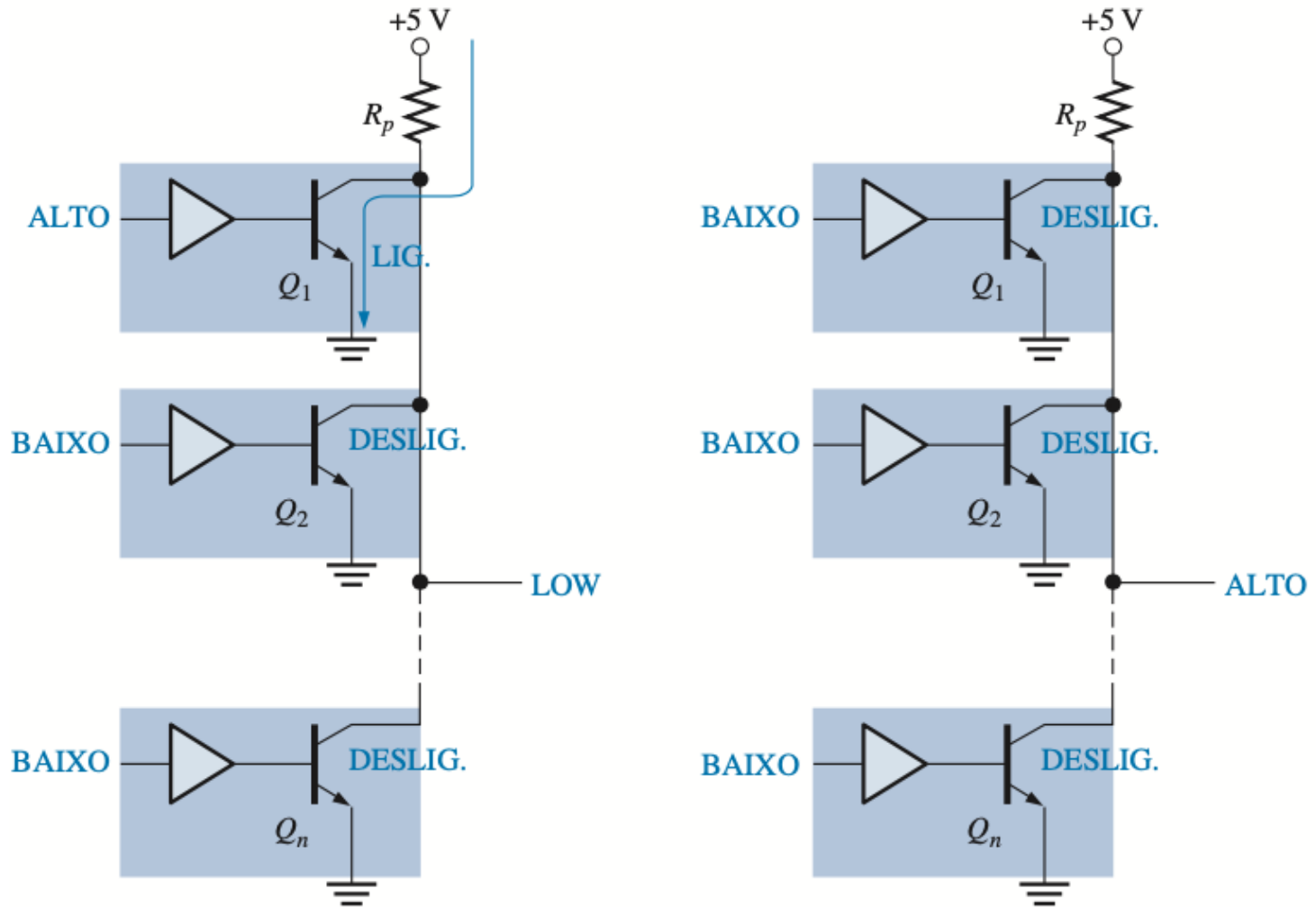
(a) Saída desconectada



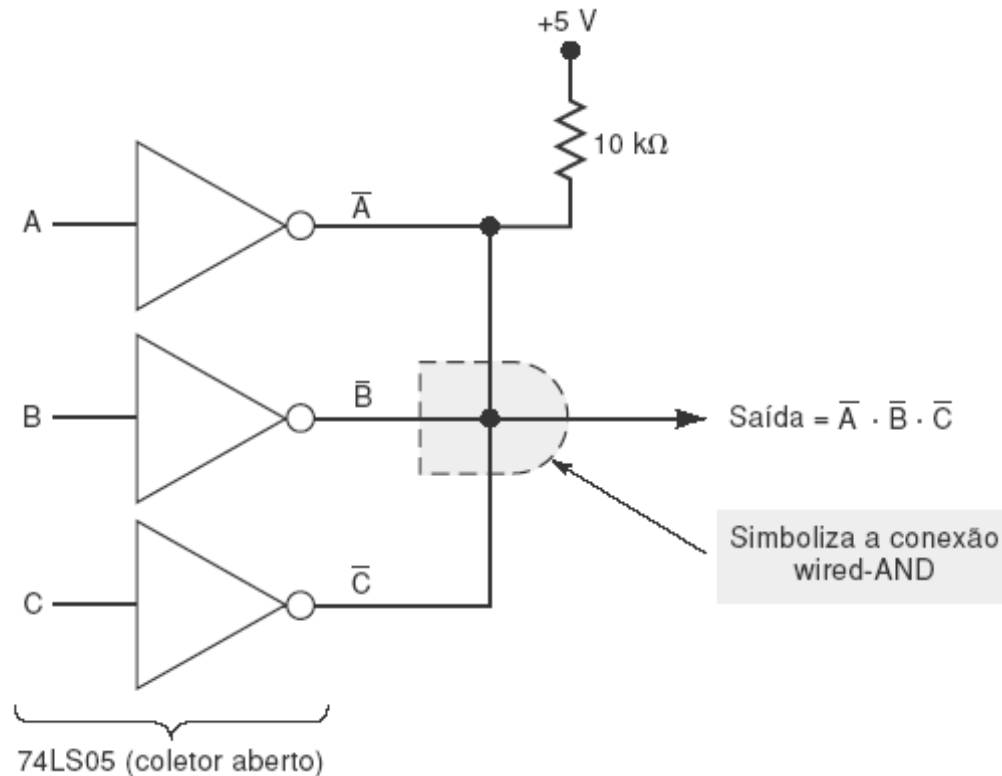
(b) Com resistor de pull-up



# COMPARTILHAMENTO DE DUTO COM PORTAS EM COLETOR (OU DRENO) ABERTO



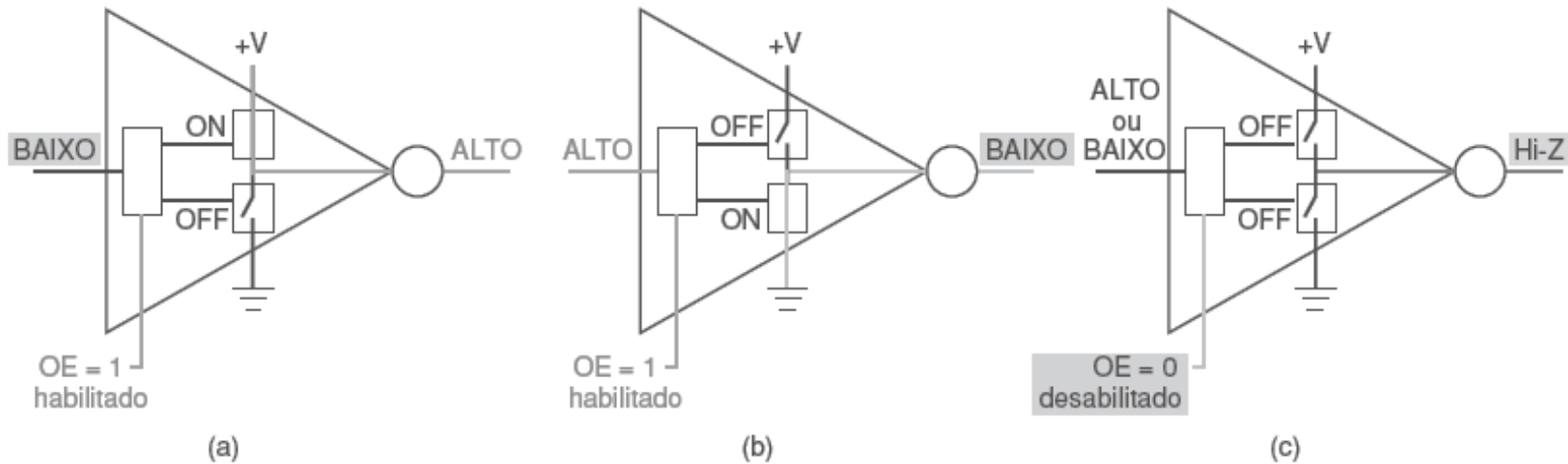
# COMPARTILHAMENTO DE DUTO COM PORTAS EM COLETOR (OU DRENO) ABERTO



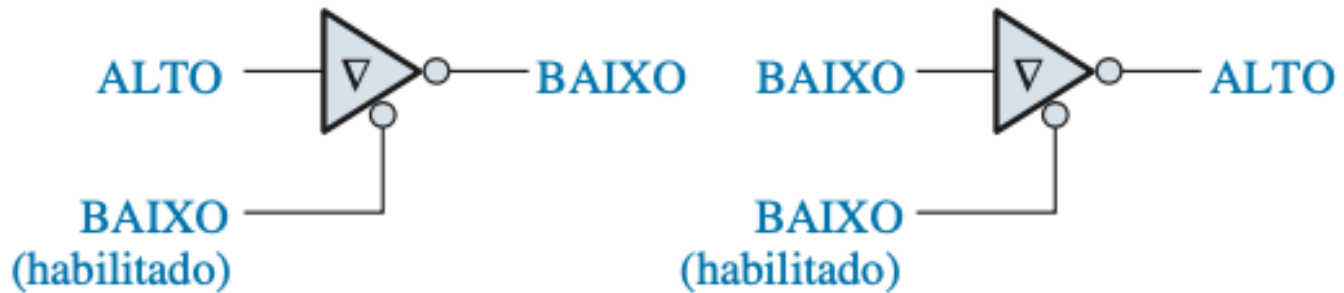
- ⇒ Forma uma lógica AND com fios (*Wired-AND*);
- ⇒ Para "desligar" o componente do duto, basta deixá-lo com saída em nível lógico alto;
- ⇒ Mais lento e maior dissipação de potência do que o TTL/CMOS normal, mas permite compartilhamento das saídas.

# Portas Tri-State

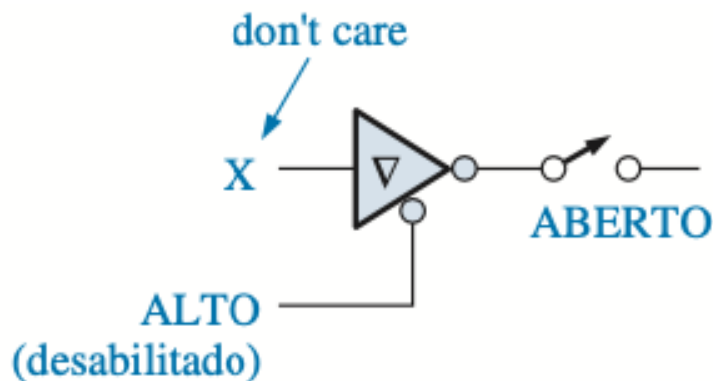
- Usada também para compartilhamento de duto
- Característica ➔ Saída em nível
  - Alto
  - Baixo
  - Alta impedância



# Porta Inversora Tri-state

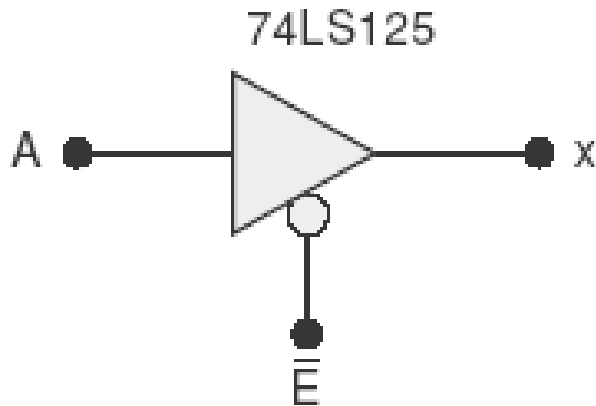


(a) Habilitado para operação lógica normal



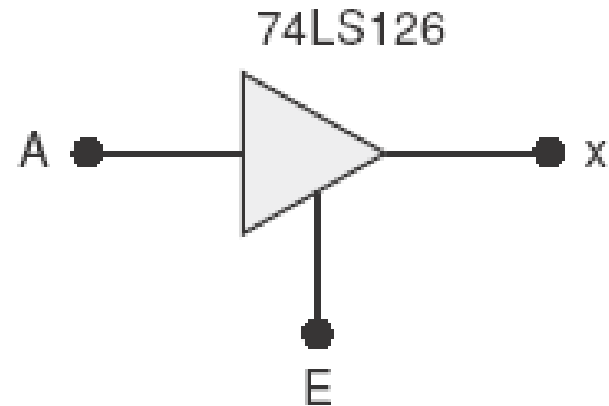
(b) Alta impedância

# Buffers Tri-state (não-inversores)



$\bar{E}$	x
0	A
1	Alta impedância

(a)



E	x
0	Alta impedância
1	A

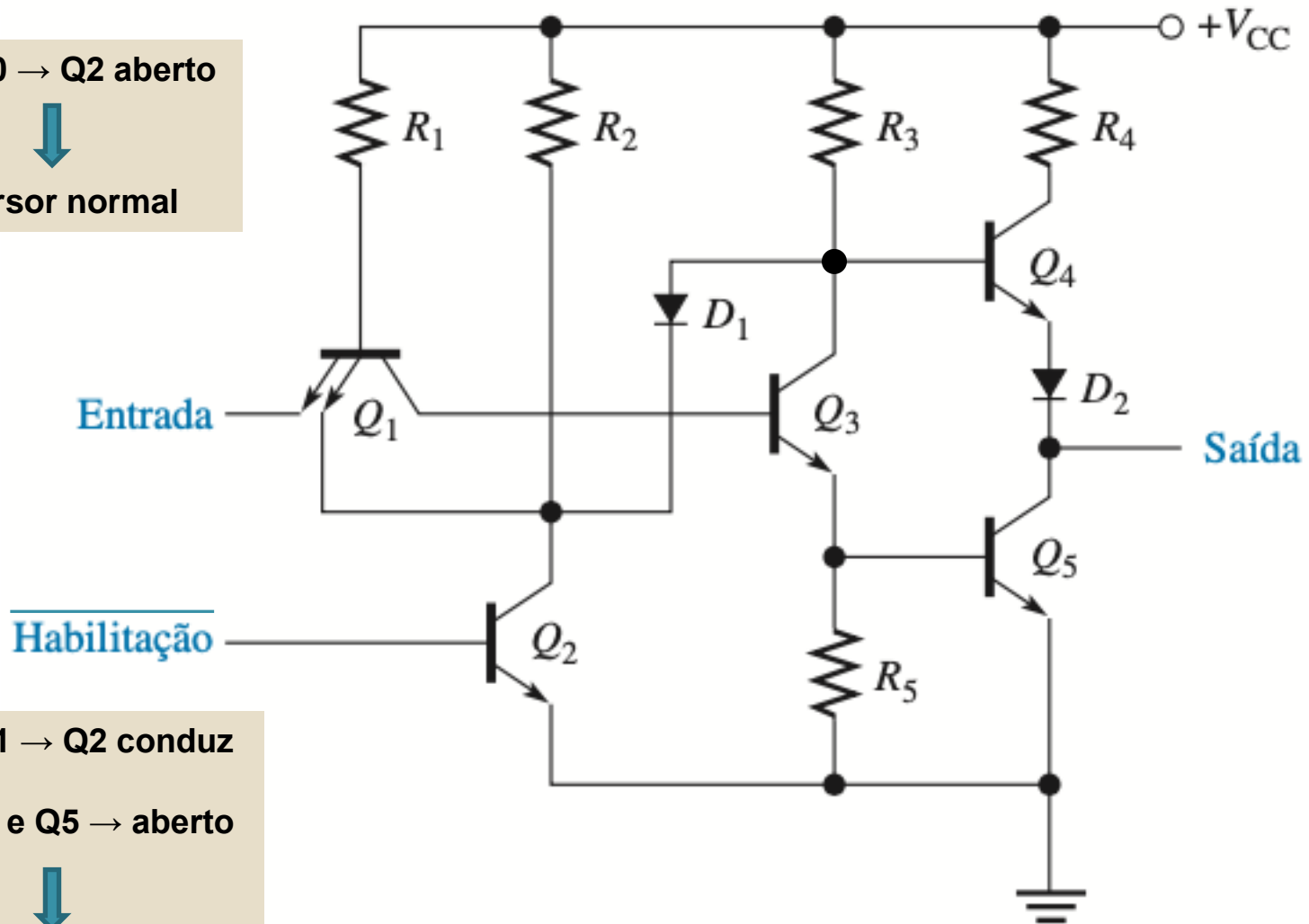
(b)

# Circuito de uma Porta Inversora TTL Tri-State

$\overline{\text{Hab}} = 0 \rightarrow Q2$  aberto



Inversor normal



$\overline{\text{Hab}} = 1 \rightarrow Q2$  conduz

$Q3, Q4$  e  $Q5 \rightarrow$  aberto



Saída: Alta Impedância

# Porta Inversora TTL Tri-State

$\overline{H_{ab}} = 0 \rightarrow Q_2$  aberto



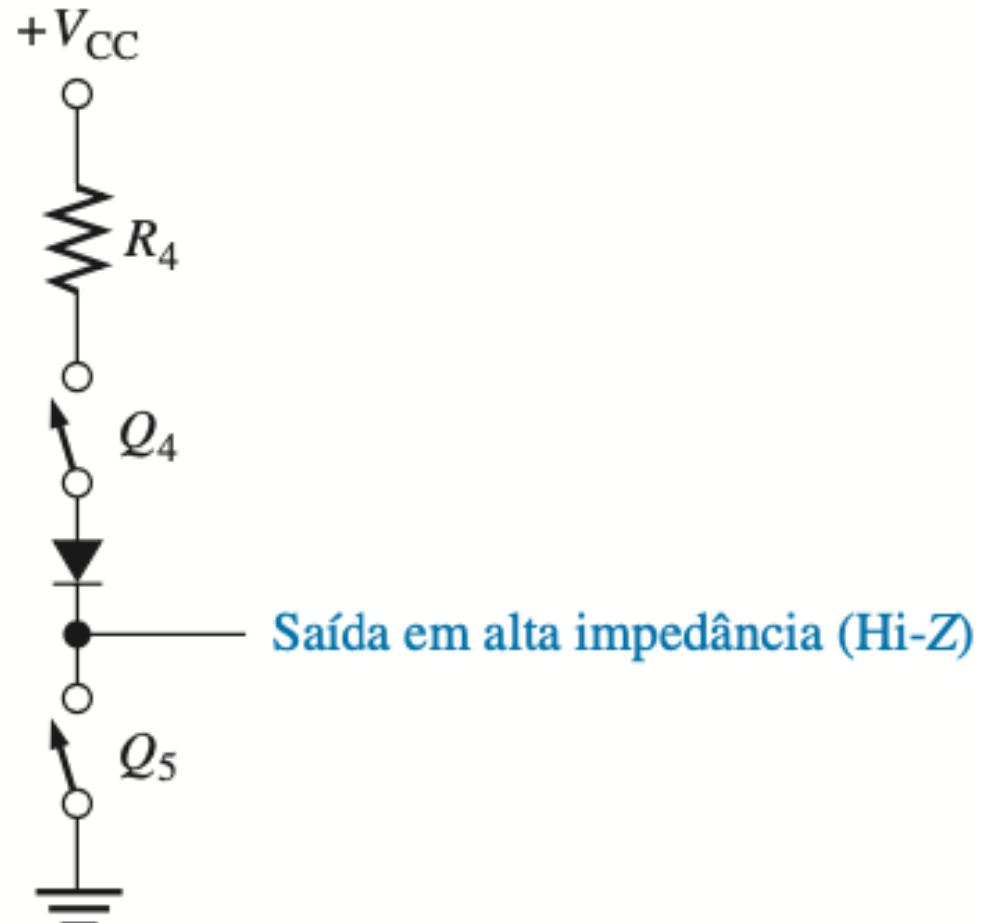
Inversor normal

$\overline{H_{ab}} = 1 \rightarrow Q_2$  conduz

$Q_3, Q_4$  e  $Q_5 \rightarrow$  aberto



Saída: Alta Impedância



# Portas Lógicas Tri-State

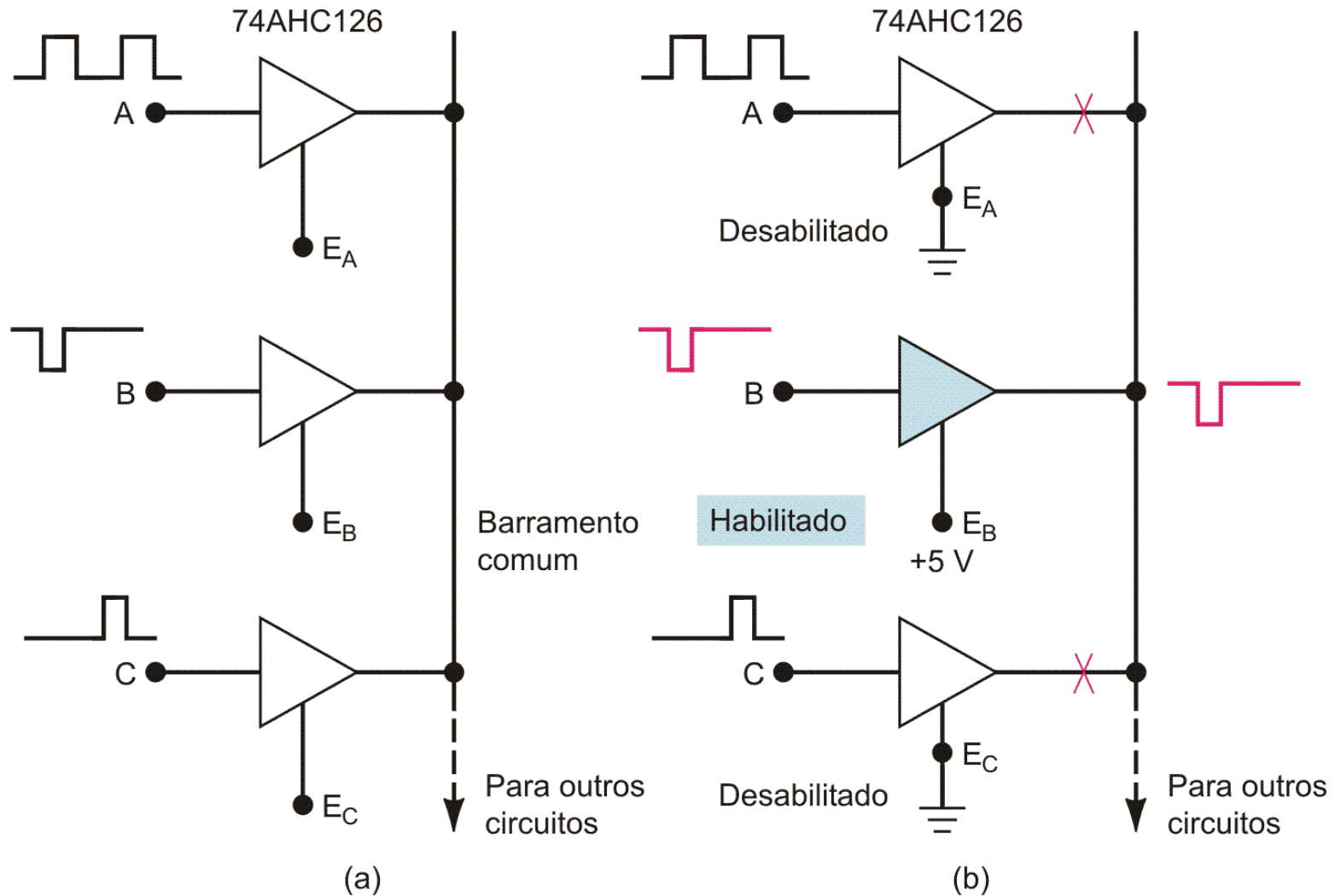
- Saídas de CIs com *Tri-state* podem ser conectadas juntas sem causar problemas à velocidade de chaveamento e dissipação de potência (mesmas características dos CIs comuns)
- Quando várias portas *Tri-state* são ligadas juntas, apenas uma deve ser habilitada por vez.
  - Pode danificar o dispositivo se essa condição não for respeitada!



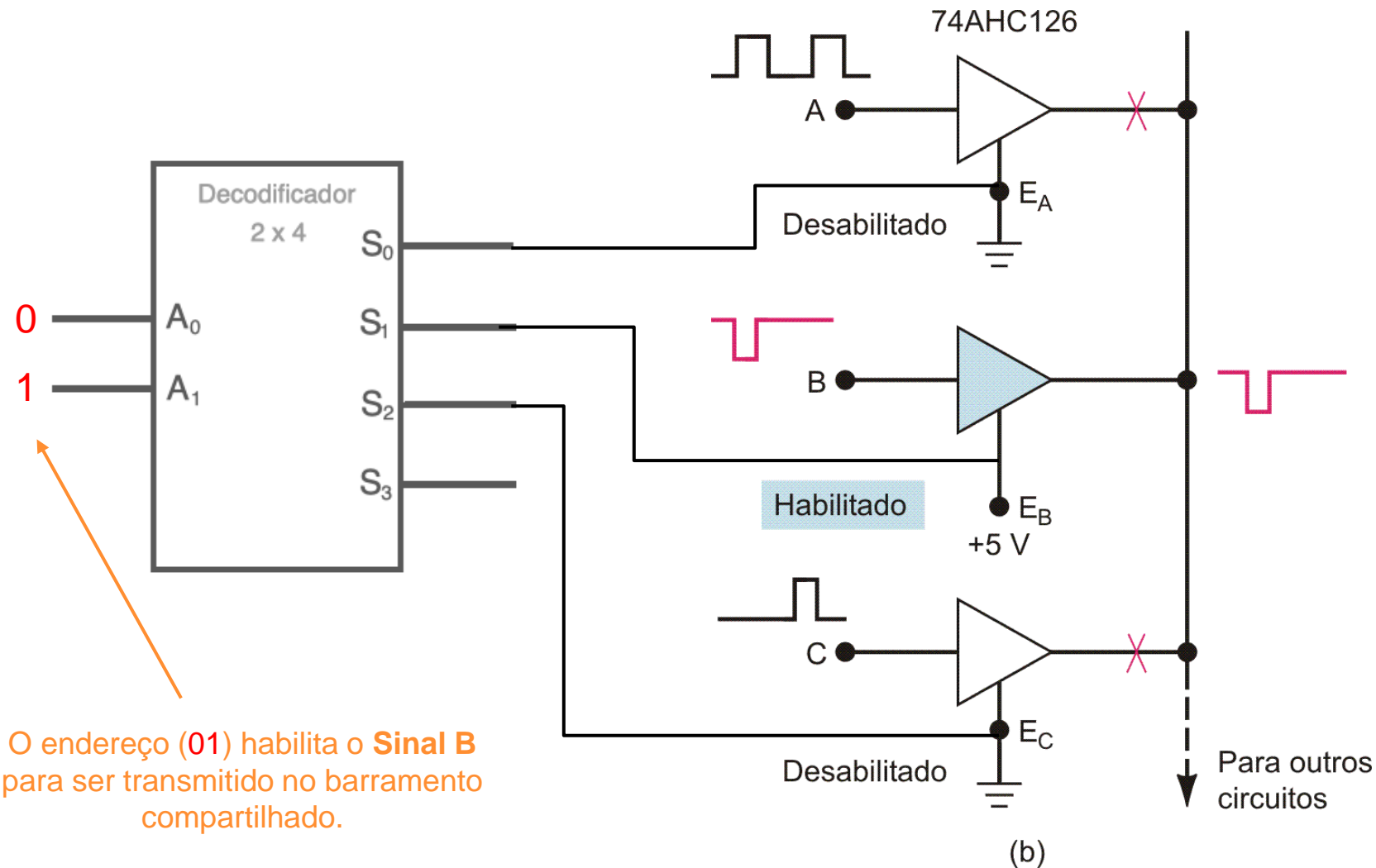
**IMPORTANTE**



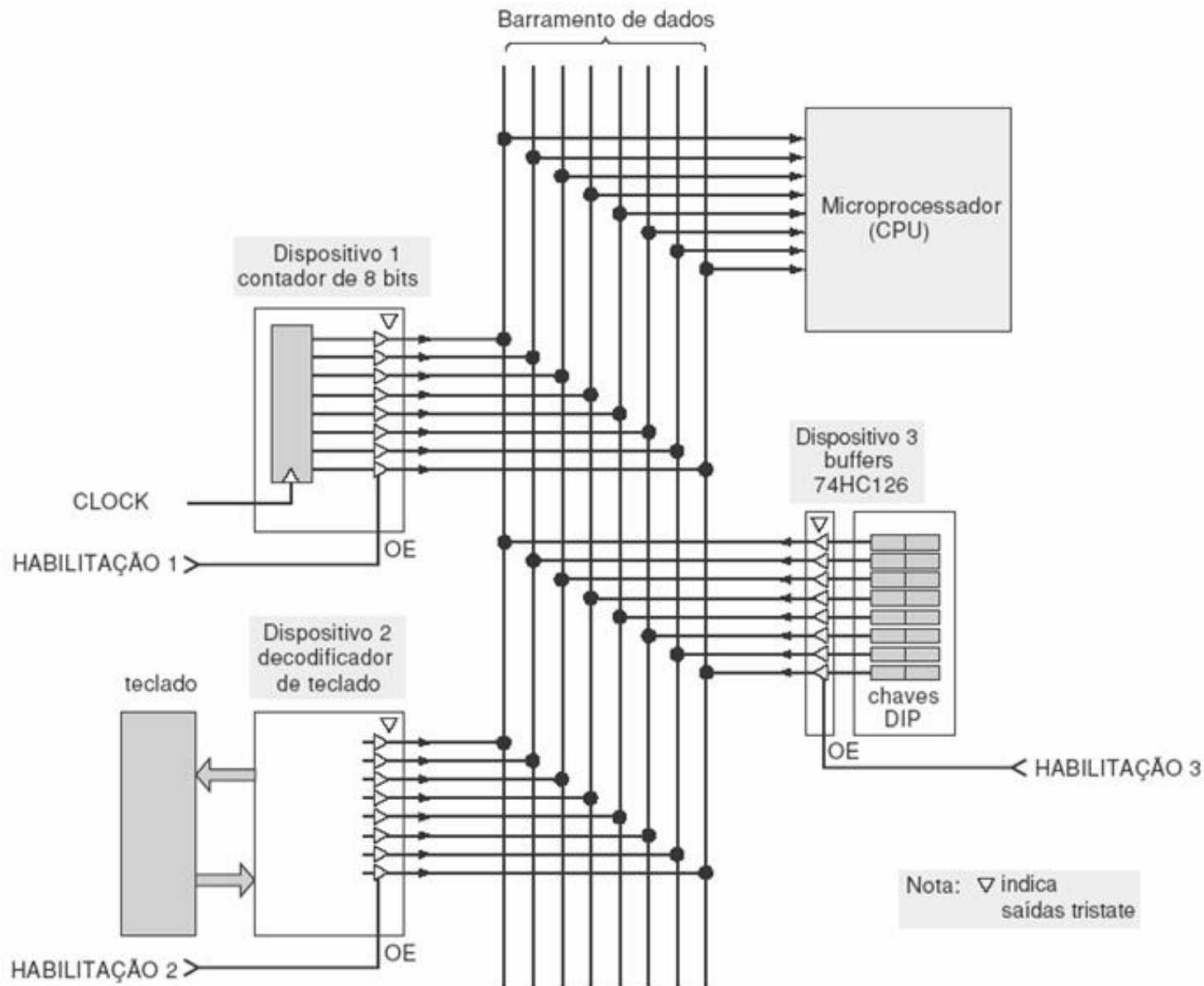
- Buffers Tri-state usados para conectar vários sinais a um barramento comum;
- Condições para transmitir o sinal B para o barramento.



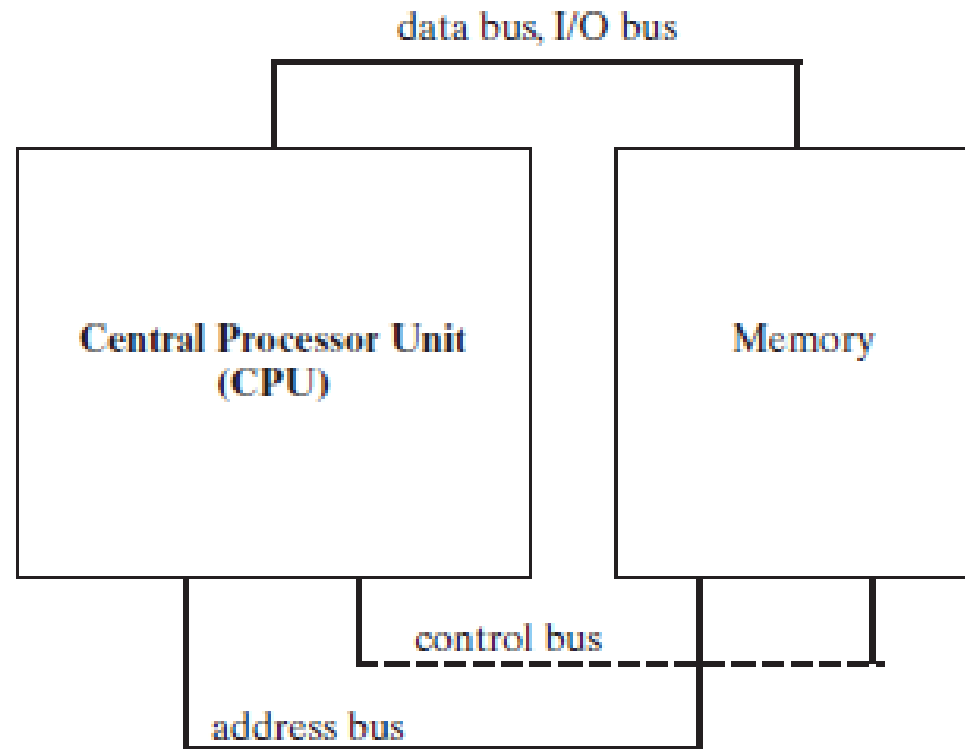
- Usa-se decodificador para seleção dos *buffers*;
- Somente um *buffer* acionado por vez;



# Compartilhamento de barramento de dados

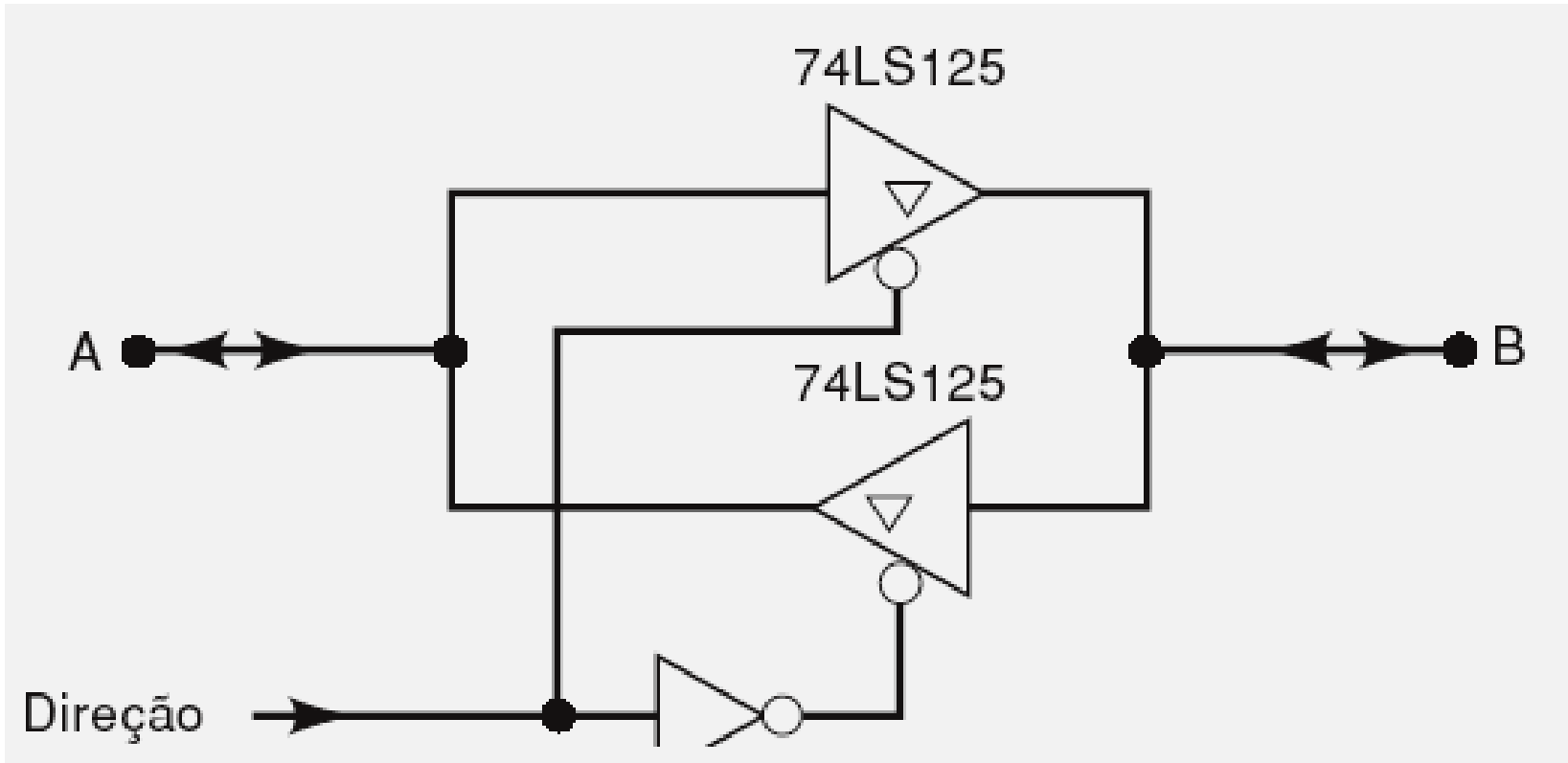


# Porta Bidirecional Utilizando Tri-state



- Control Bus -> Escolhe a direção (Read/Write)
- Ler ou Escrever na Memória

# Porta Bidirecional Utilizando Tri-state

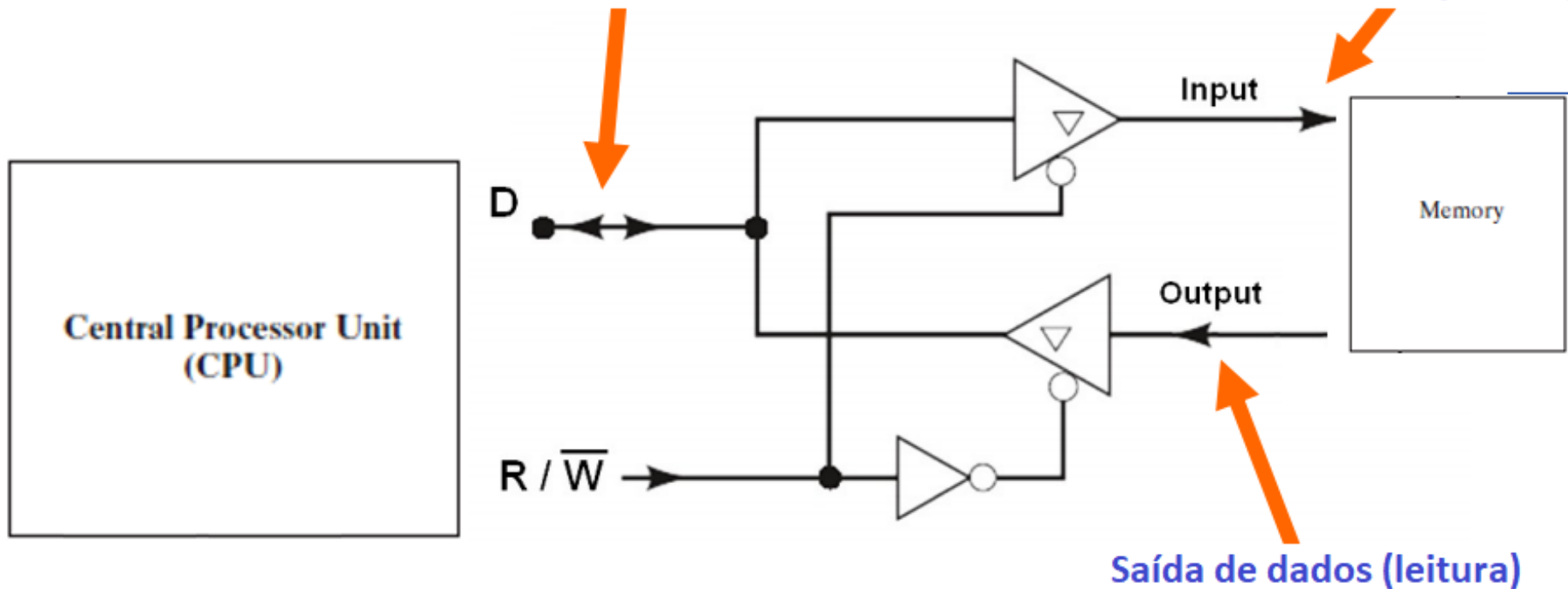


- A lógica com o *Enable* permite escolher a direção de fluxo dos dados;
- Duto Bidirecional.

# Porta Bidirecional Memória – Read/Write

Entrada e saída de dados (bidirecional)

Entrada de dados (Escrita)





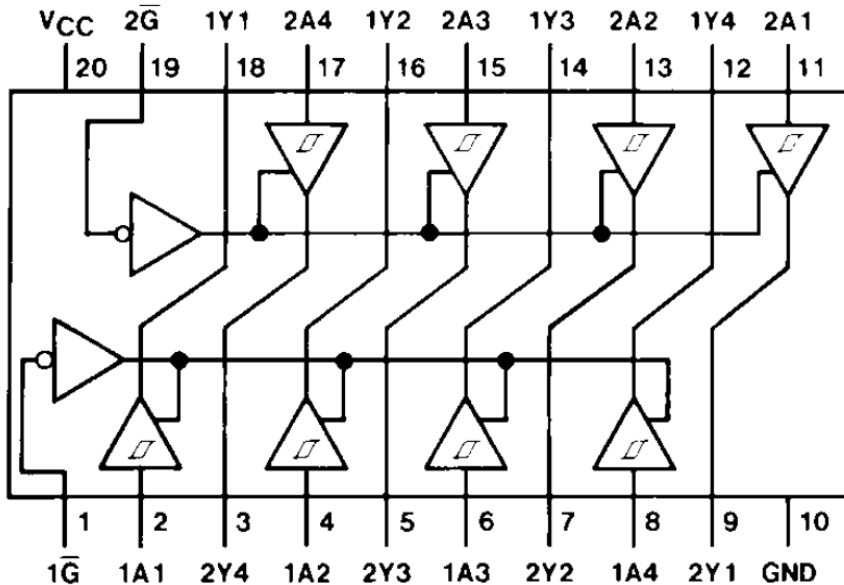
# Alguns circuitos comerciais

## Tri-state

# DM74LS244

## Octal 3-STATE Buffer/Line Driver/Line Receiver

### Connection Diagram



### Function Table

Inputs		Output
$\overline{G}$	A	Y
L	L	L
L	H	H
H	X	Z

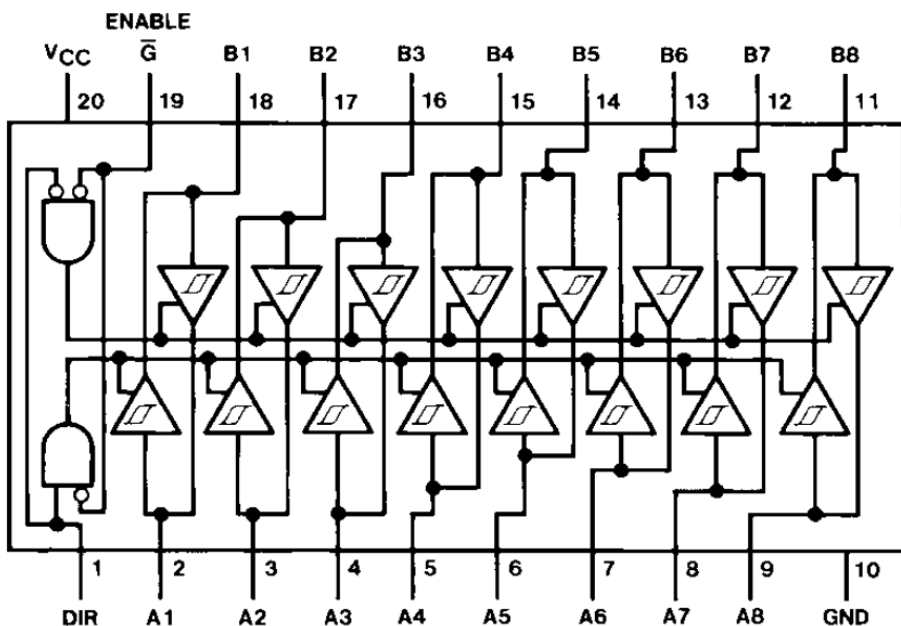
L = LOW Logic Level  
H = HIGH Logic Level  
X = Either LOW or HIGH Logic Level  
Z = High Impedance



# DM74LS245

## 3-STATE Octal Bus Transceiver

### Connection Diagram



### Function Table

Enable $\overline{G}$	Direction Control DIR	Operation
L	L	B Data to A Bus
L	H	A Data to B Bus
H	X	Isolation

H = HIGH Level  
L = LOW Level  
X = Irrelevant

# FIM