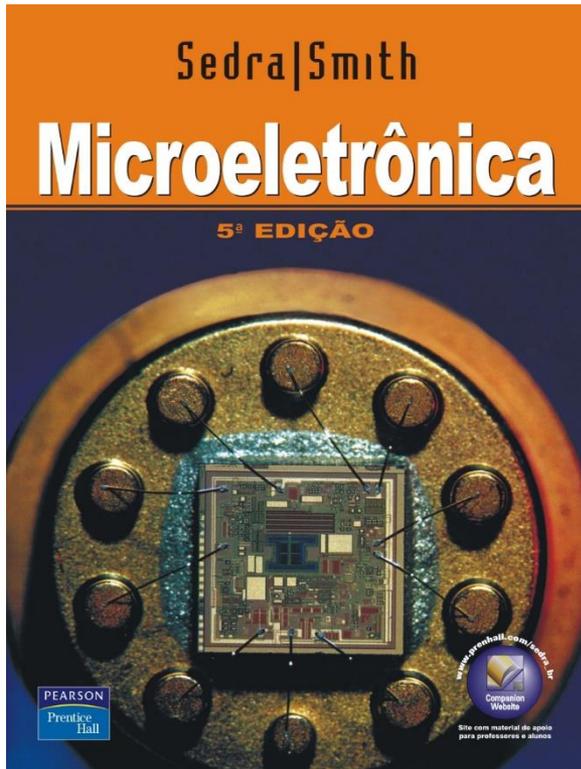
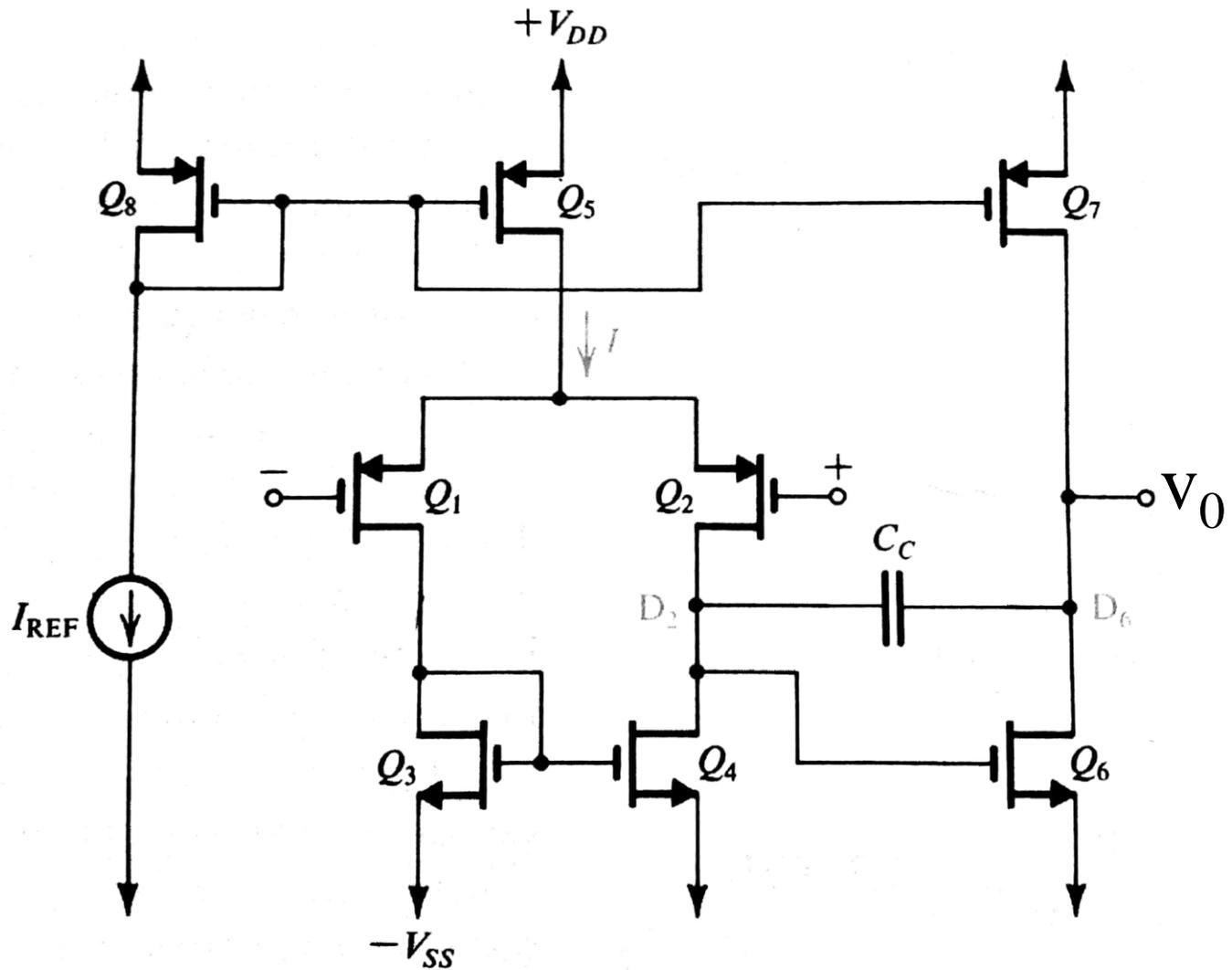


AULA 20



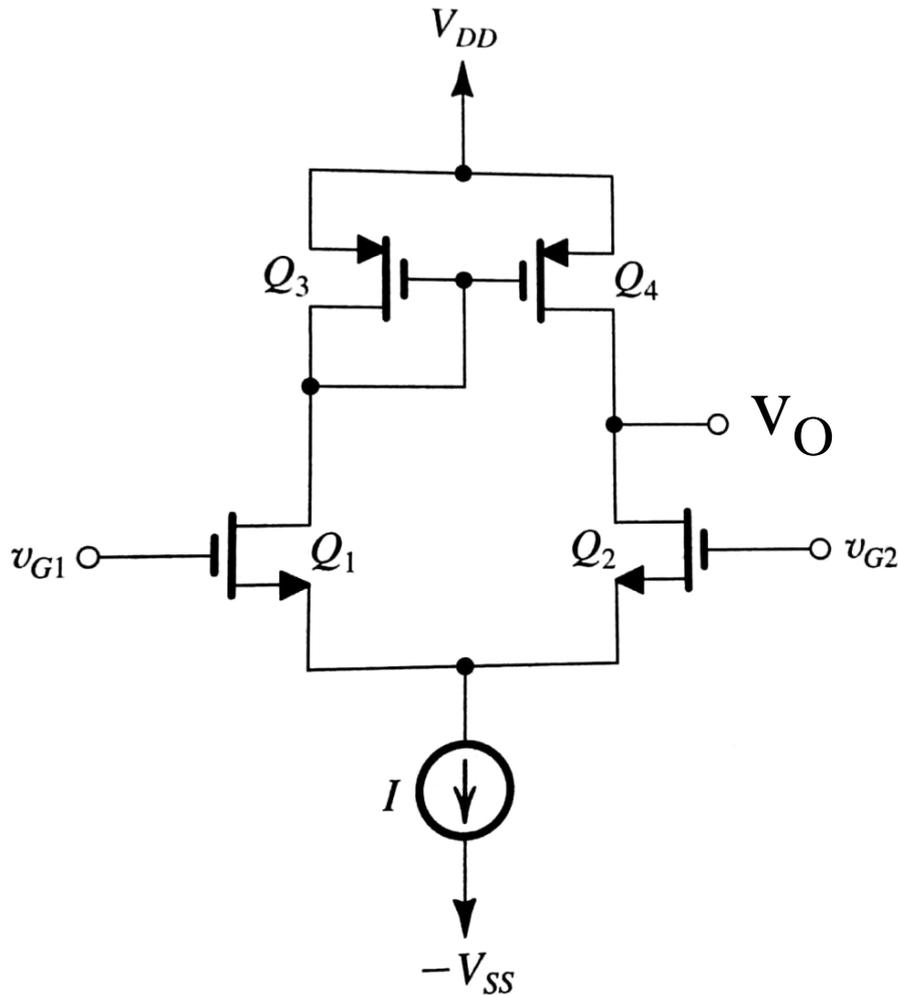
**Cap. 7- Amplificadores de
Múltiplos Estágios.
Um Amp. Op. CMOS de 2 estágios
(p. 465-467)**

Um Amp Op CMOS de 2 estágios



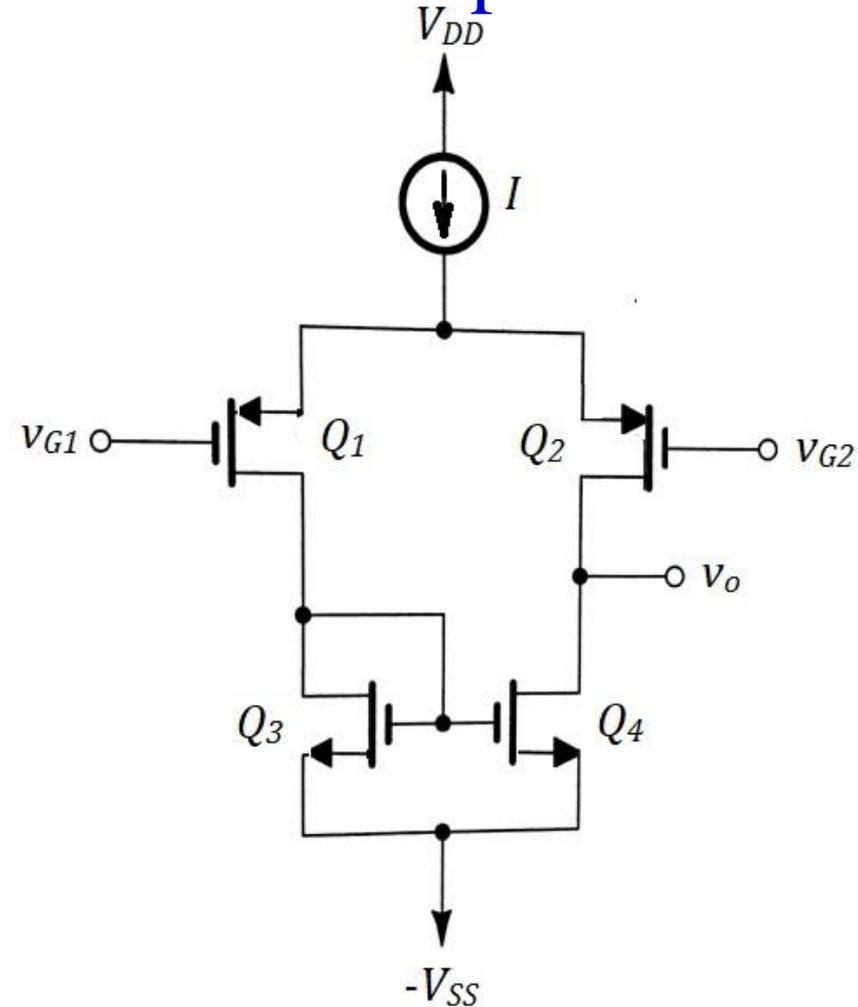
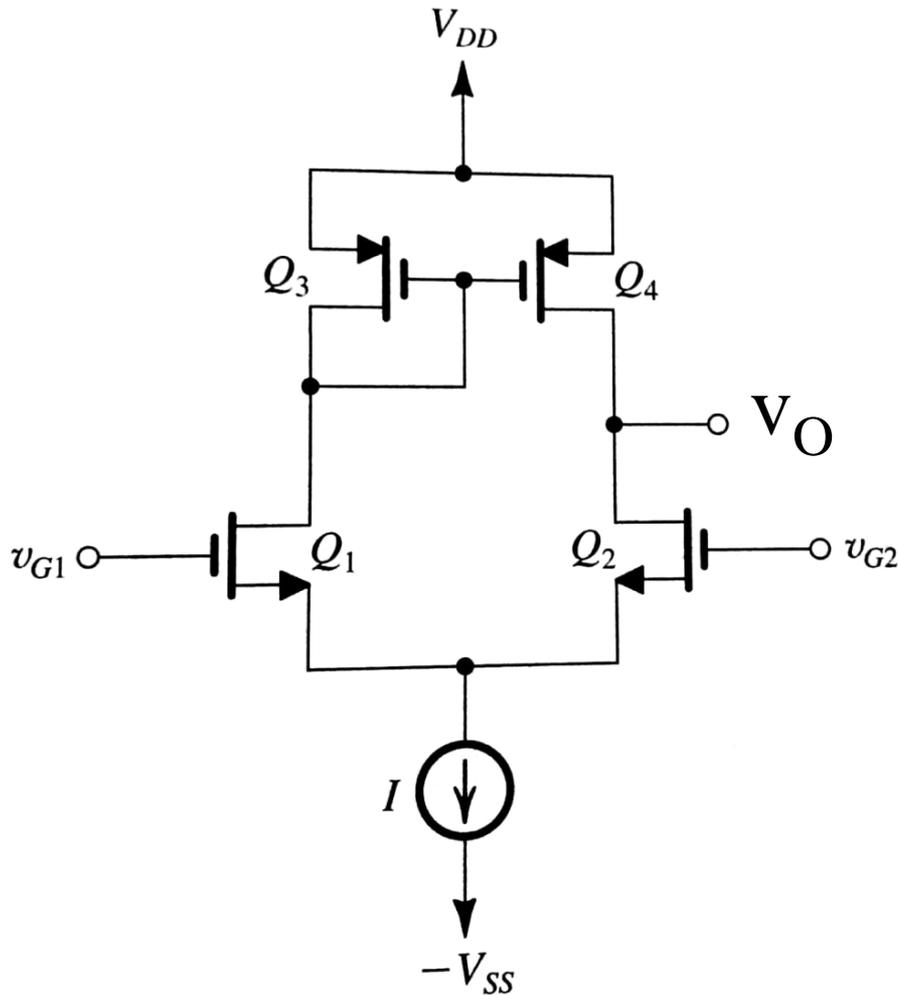
Amplificador Diferencial com Carga Ativa

Entrada diferencial e Saída simples

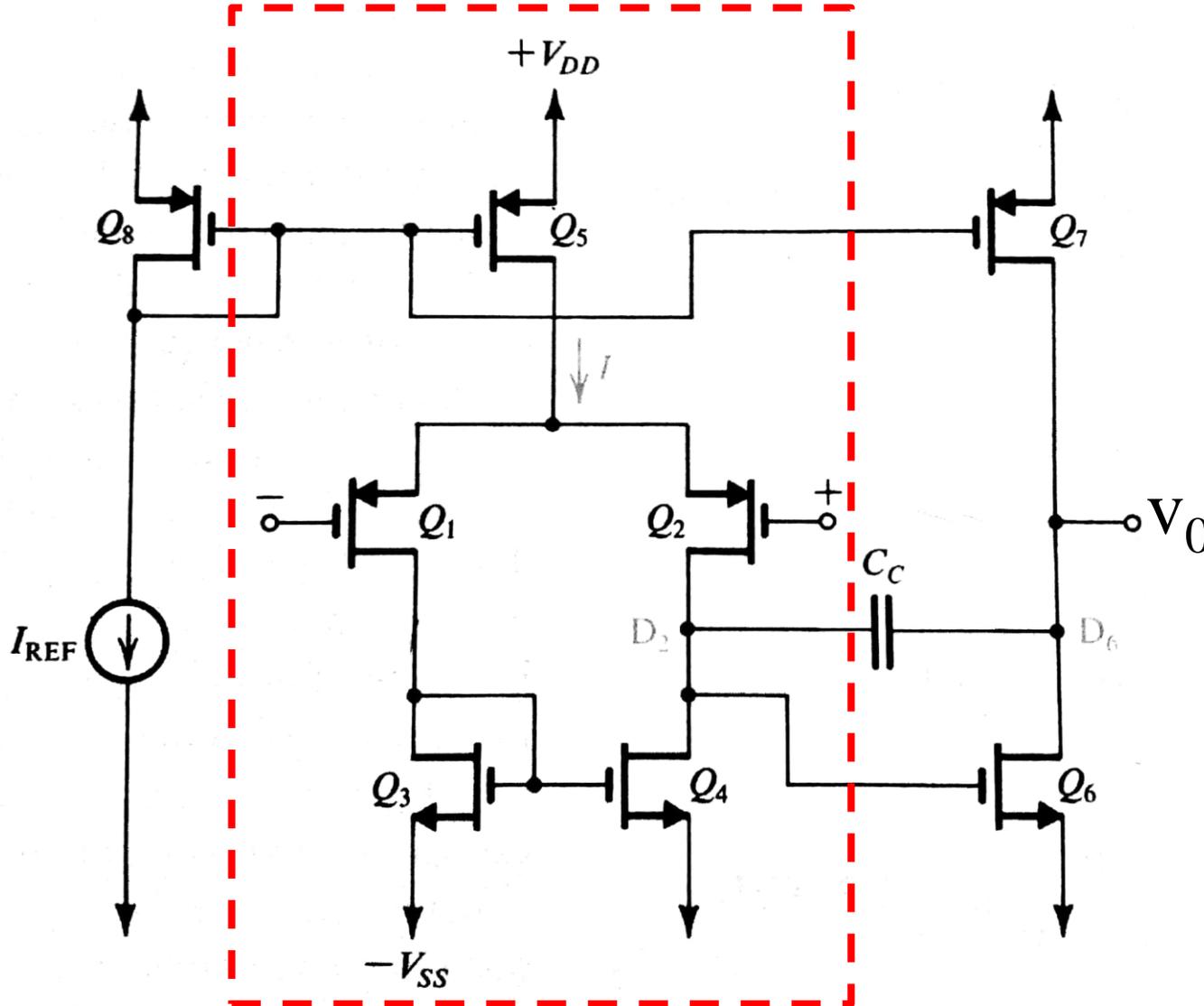


Amplificador Diferencial com Carga Ativa

Entrada diferencial e Saída simples

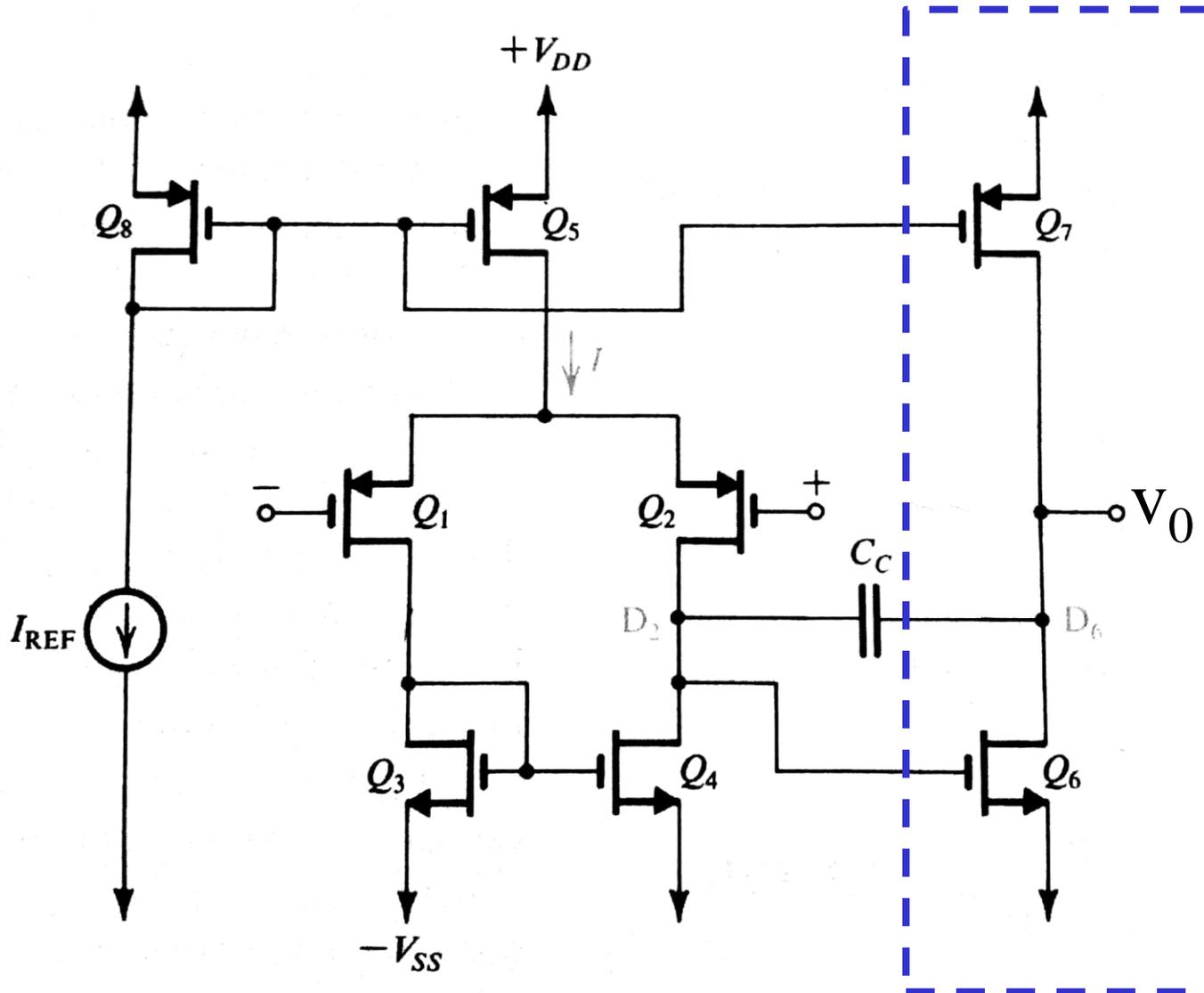


Um Amp Op CMOS de 2 estágios



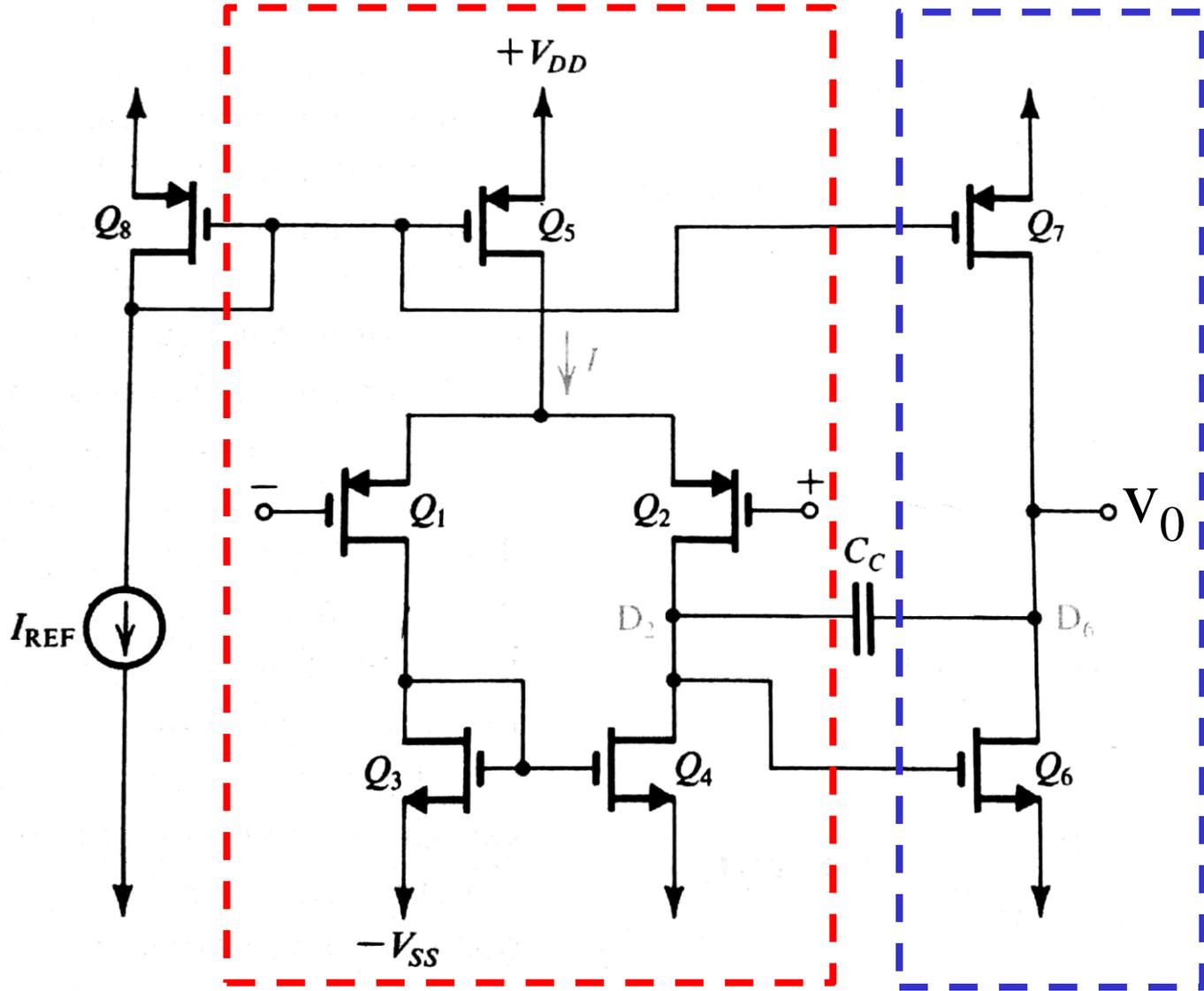
1º Estágio:
 Amp. Diferencial
 Entrada: Diferencial
 Saída: Simples

Um Amp Op CMOS de 2 estágios



2º Estágio:
 Amp. Fonte comum
 Entrada: Simples
 Saída: Simples

Um Amp Op CMOS de 2 estágios



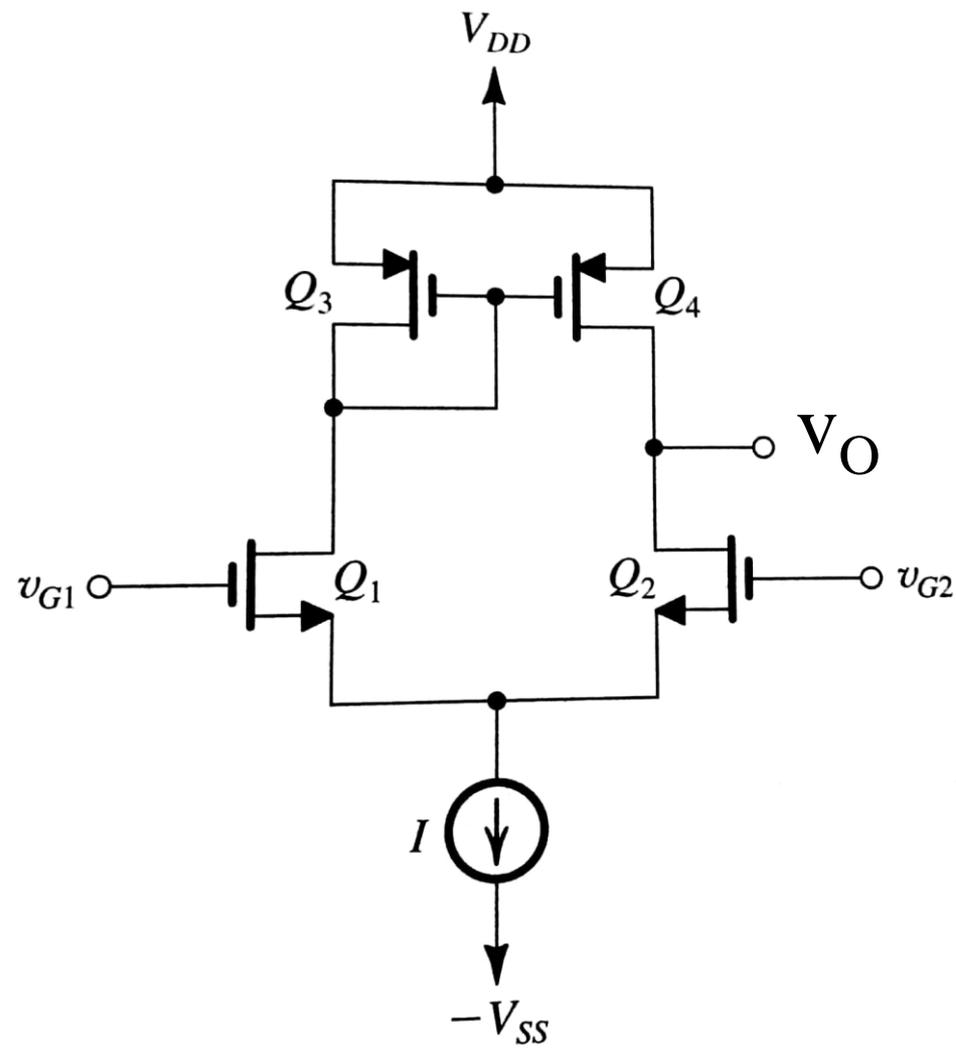
1º Estágio:
 Amp. Diferencial
 Entrada: Diferencial
 Saída: Simples

2º Estágio:
 Amp. Fonte comum
 Entrada: Simples
 Saída: Simples

Amplificador Diferencial

com Carga Ativa

Entrada diferencial e Saída simples



$$V_{id} = V_{G1} - V_{G2}$$

$$A_v = v_O / v_{id} = g_{m1} \cdot (r_{O2} // r_{O4})$$

Para $r_{O2} = r_{O4} = r_O$:

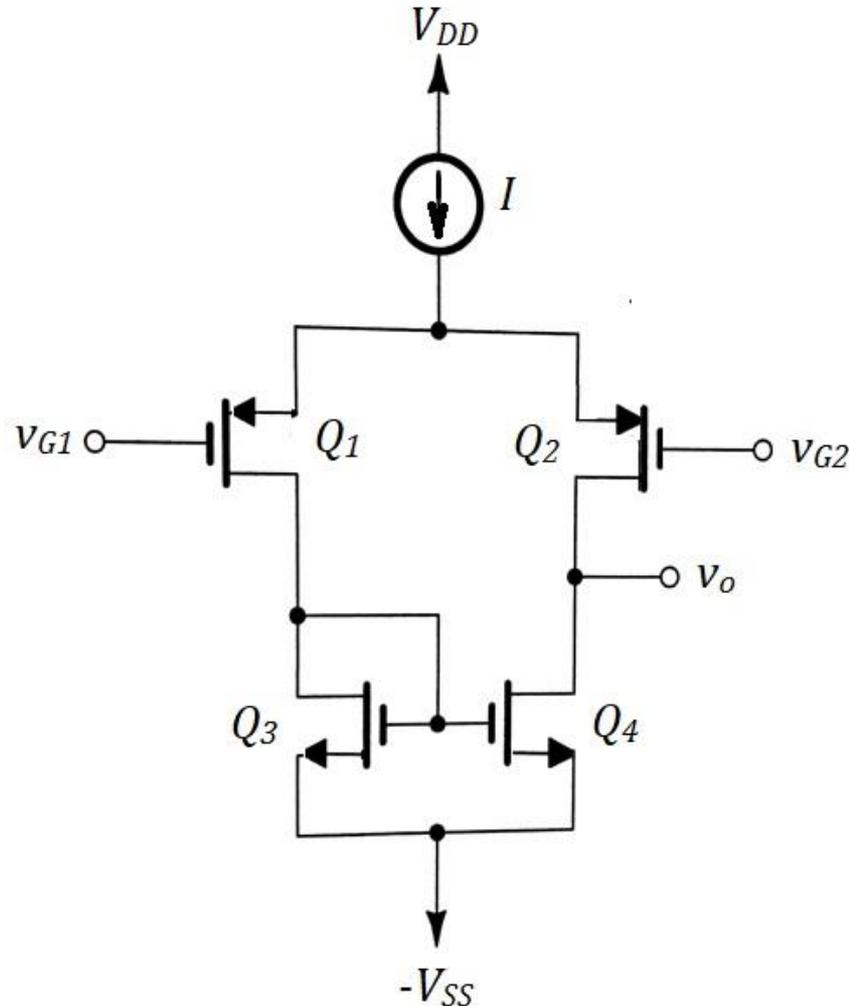
$$A_v = v_O / v_{id} = g_m \cdot (1/2) \cdot r_O$$

Amplificador Diferencial com Carga Ativa

Entrada diferencial e Saída simples

$$V_{id} = V_{G1} - V_{G2}$$

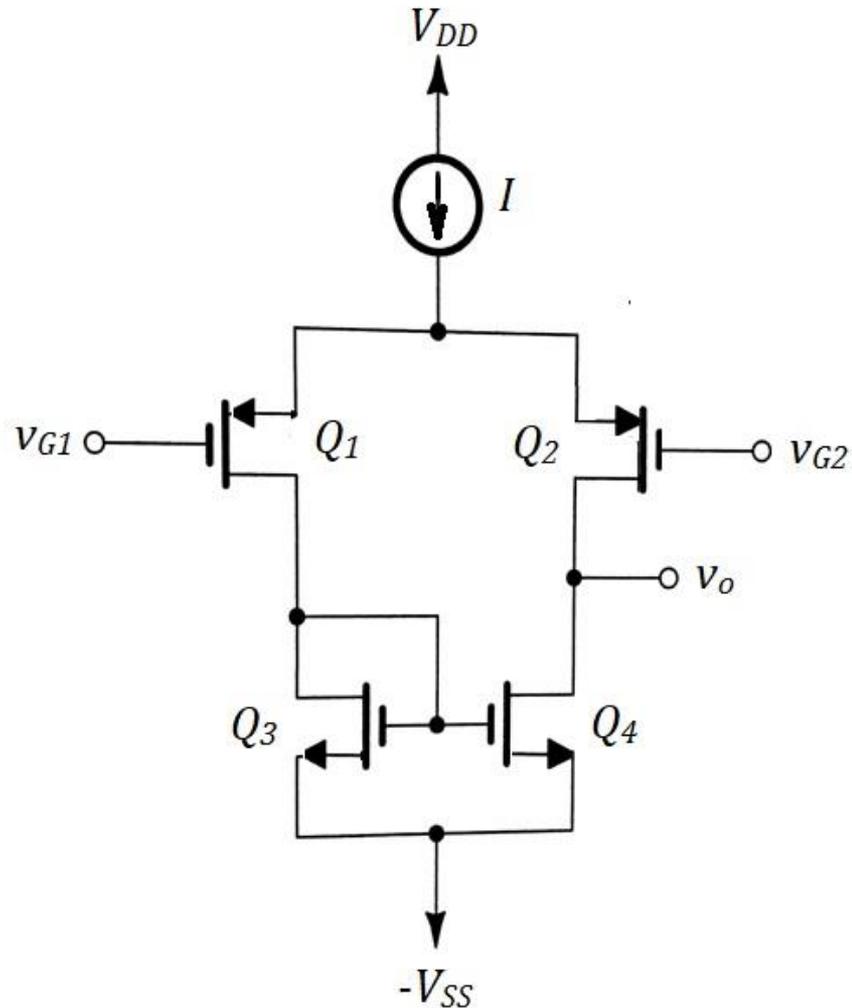
$$A_v = v_o / v_{id} = |g_{m1}| \cdot (r_{O2} // r_{O4})$$



Amplificador Diferencial

com Carga Ativa

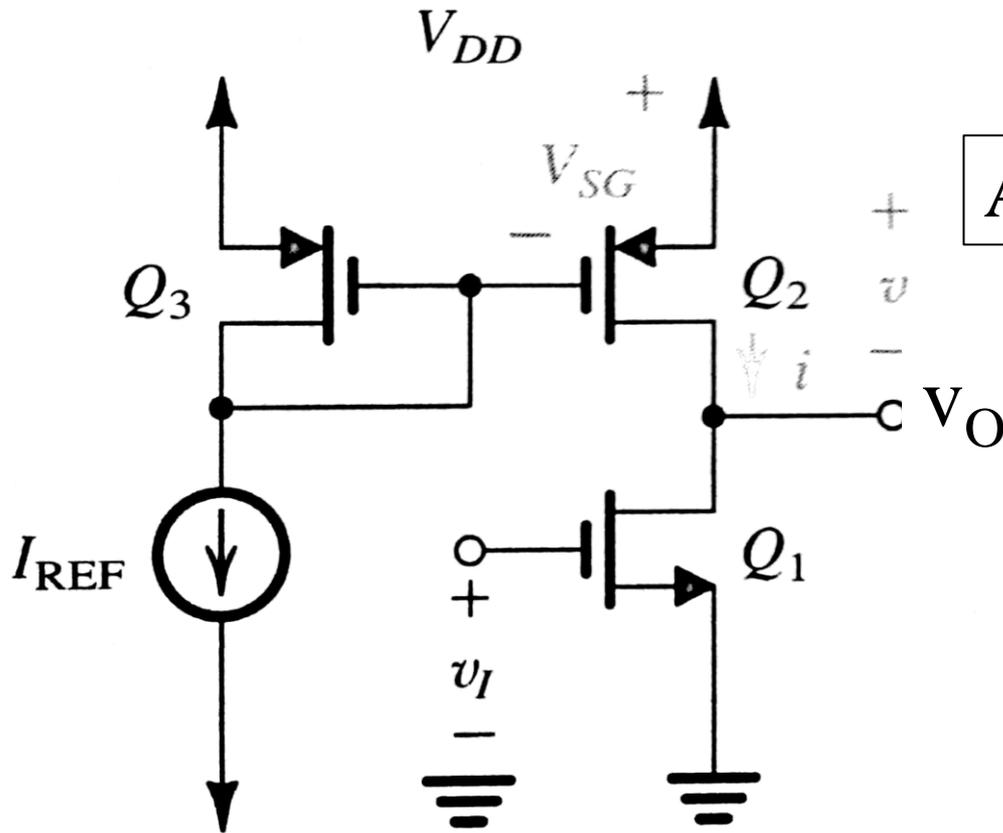
Entrada diferencial e Saída simples



$$v_{id} = v_{G2} - v_{G1}$$

$$A_v = v_o / v_{id} = -|g_{m1}| \cdot (r_{o2} // r_{o4})$$

Amplificador Fonte Comum com Carga Ativa

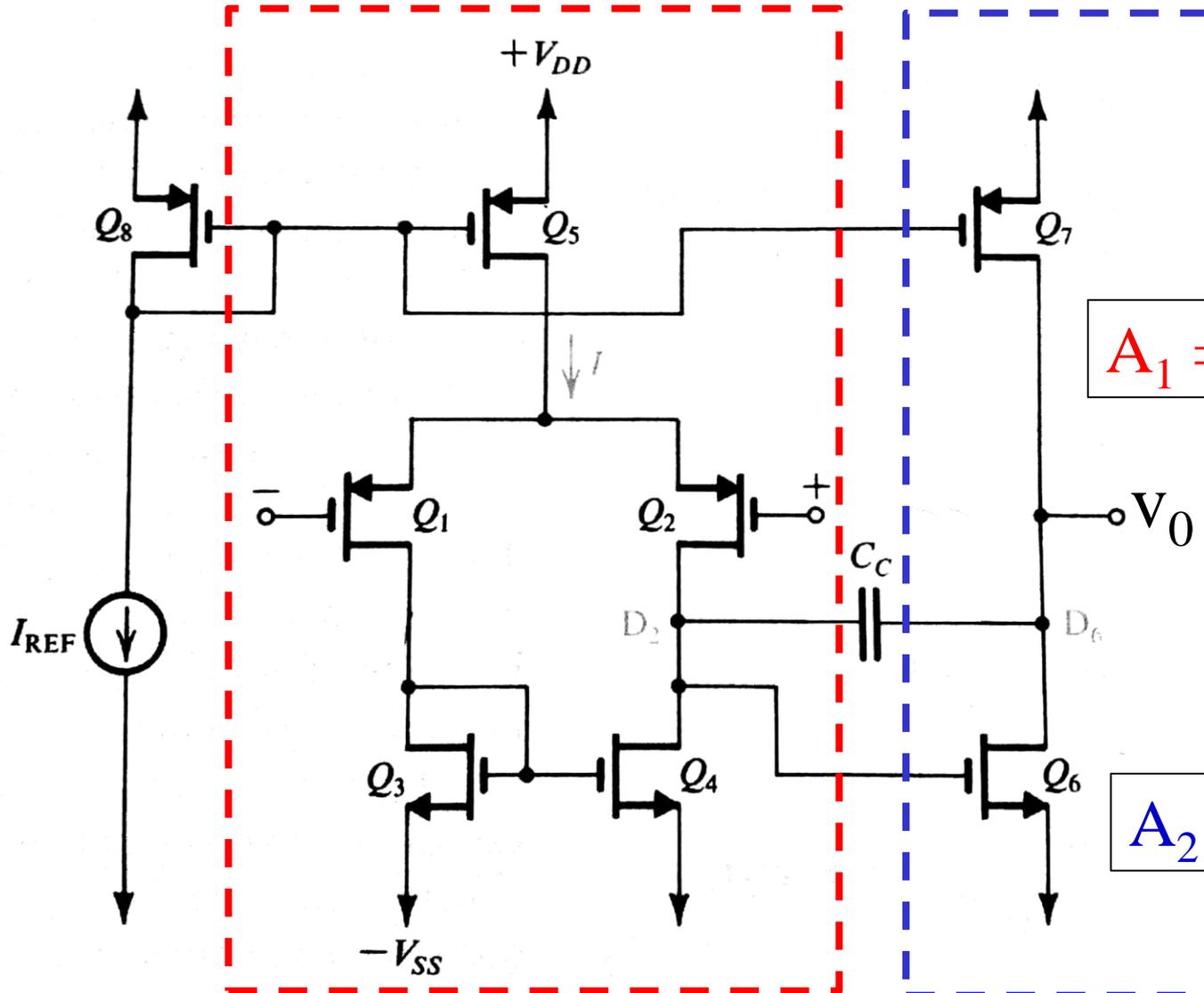


$$A_V = v_o/v_i = - gm_1(r_{O1} // r_{O2})$$

Espelho de Corrente

$$I_2 / I_{REF} = (W/L)_2 / (W/L)_3$$

Um Amp Op CMOS de 2 estágios



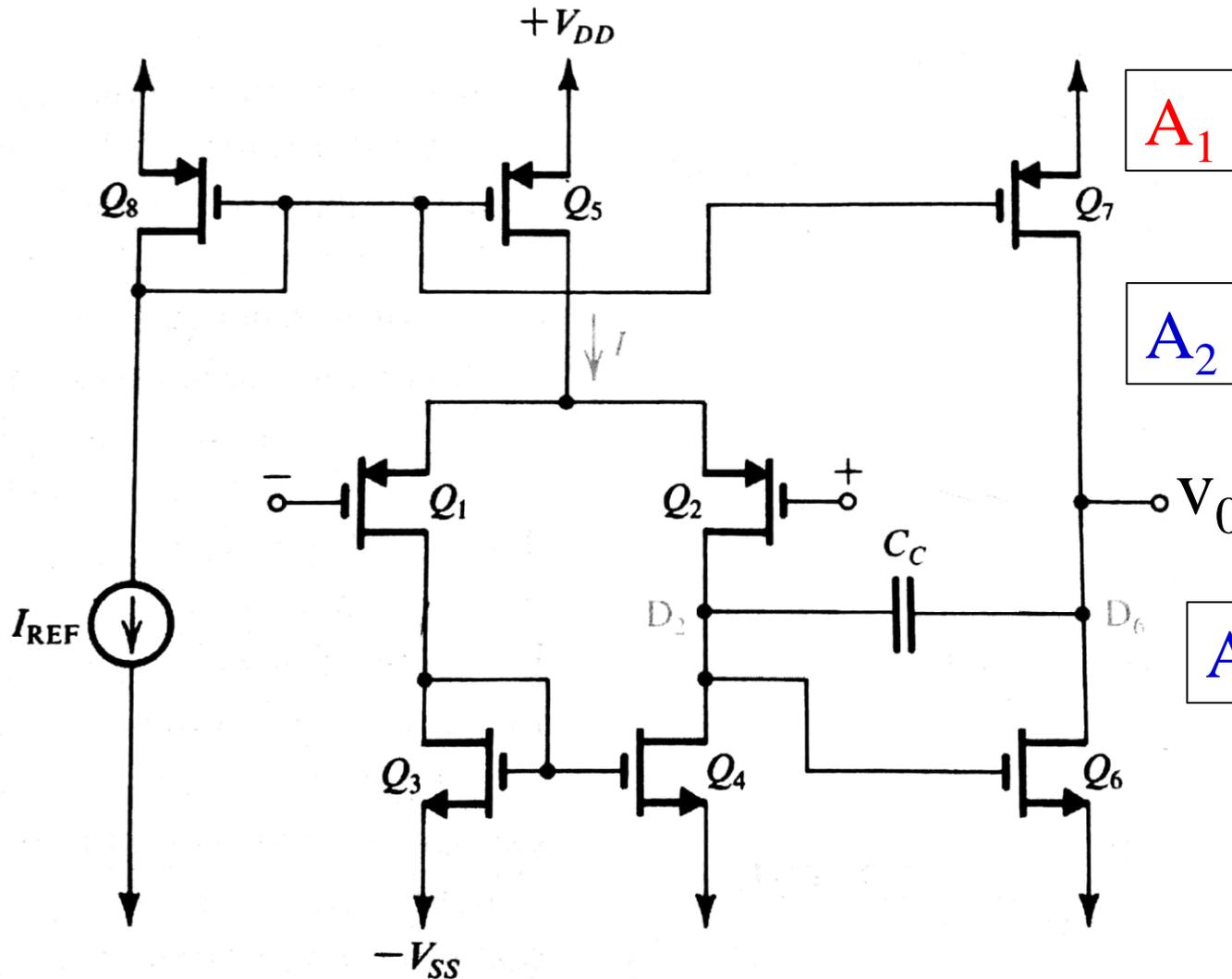
1º Estágio:
 Amp. Diferencial
 Entrada: Diferencial
 Saída: Simples

$$A_1 = -|gm_1| \cdot (r_{O2} // r_{O4})$$

2º Estágio:
 Amp. Fonte comum
 Entrada: Simples
 Saída: Simples

$$A_2 = -gm_6 \cdot (r_{O6} // r_{O7})$$

Um Amp Op CMOS de 2 estágios



$$A_1 = - |gm_1| \cdot (r_{O2} // r_{O4})$$

$$A_2 = - gm_6 \cdot (r_{O6} // r_{O7})$$

$$A_O = v_0 / v_{id} = A_1 \cdot A_2$$

$$v_{id} = (v_+) - (v_-)$$

Exemplo 7.3 (pag. 467)

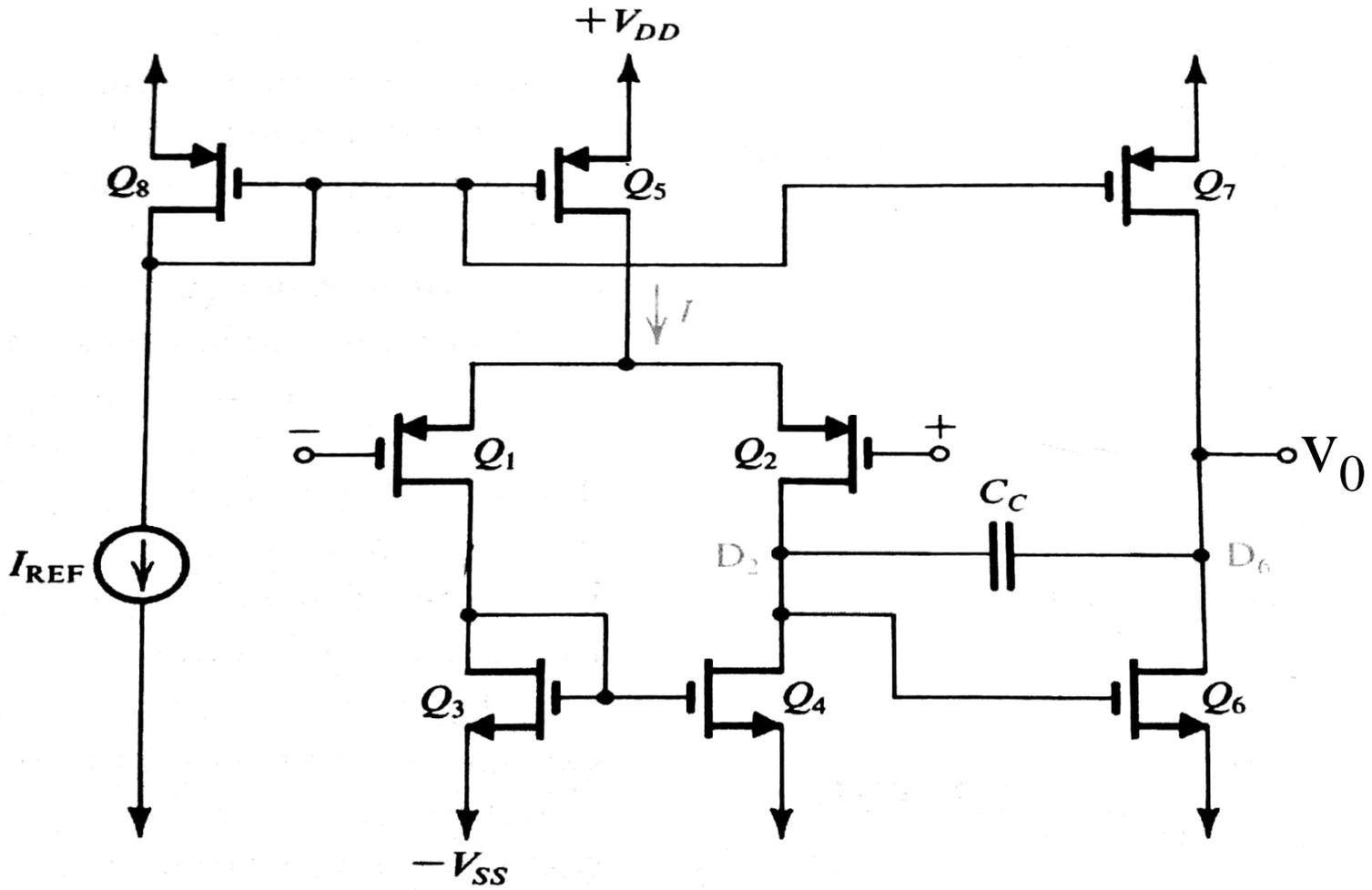
EXEMPLO 7.3

Considere o circuito da Figura 7.40 com as seguintes dimensões geométricas (em μm).

Transistor	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	Q ₈
W/L	20/0,8	20/0,8	5/0,8	5/0,8	40/0,8	10/0,8	40/0,8	40/0,8

Admita $I_{\text{REF}} = 90 \mu\text{A}$, $V_{tn} = 0,7 \text{ V}$, $V_{tp} = -0,8 \text{ V}$, $\mu_n C_{ox} = 160 \mu\text{A/V}^2$, $\mu_p C_{ox} = 40 \mu\text{A/V}^2$, $|V_A|$ (para todos os dispositivos) = 10 V , $V_{DD} = V_{SS} = 2,5 \text{ V}$. Para todos os dispositivos, obtenha I_D , $|V_{OV}|$, $|V_{GS}|$, g_m e r_o . Também, encontre A_1 , A_2 , o ganho de tensão *cc* de malha aberta, a faixa da entrada em modo comum e a faixa da tensão de saída. Desprezar o efeito de V_A na polarização da corrente.

Exemplo 7.3 (pag. 467)



Transistor	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8
------------	-------	-------	-------	-------	-------	-------	-------	-------

W/L	20/0,8	20/0,8	5/0,8	5/0,8	40/0,8	10/0,8	40/0,8	40/0,8
-------	--------	--------	-------	-------	--------	--------	--------	--------

Exemplo 7.3 (pag. 467)

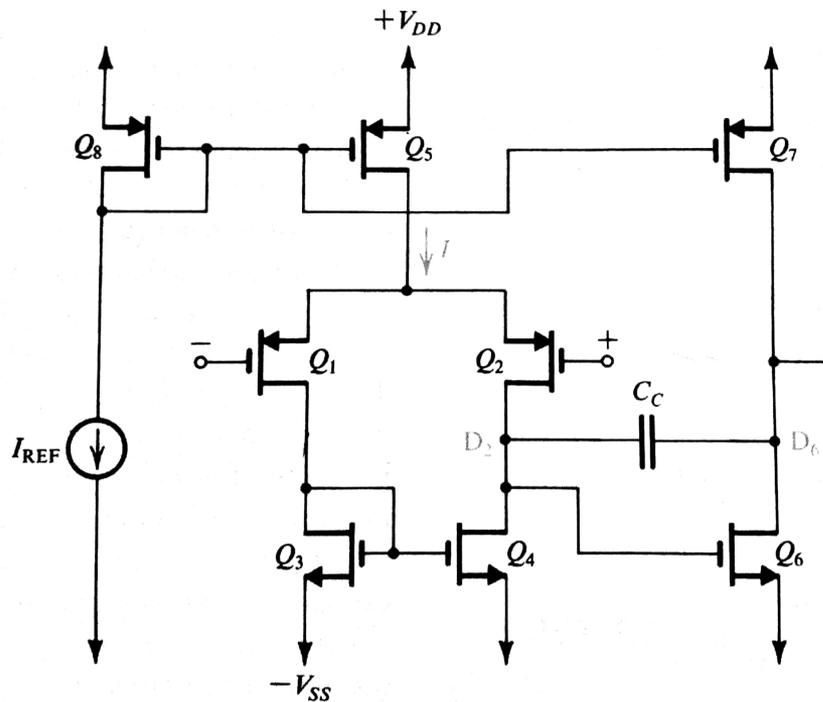


Tabela 7.1

	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8
I_D (μA)	45	45	45	45	90	90	90	90
$ V_{OV} $ (V)	0,3	0,3	0,3	0,3	0,3	0,3	0,3	0,3
$ V_{GS} $ (V)	1,1	1,1	1	1	1,1	1	1,1	1,1
g_m (mA/V)	0,3	0,3	0,3	0,3	0,6	0,6	0,6	0,6
r_o (k Ω)	222	222	222	222	111	111	111	111

Exemplo 7.3 (pag. 467)

Tabela 7.1

	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8
I_D (μA)	45	45	45	45	90	90	90	90
$ V_{OV} $ (V)	0,3	0,3	0,3	0,3	0,3	0,3	0,3	0,3
$ V_{GS} $ (V)	1,1	1,1	1	1	1,1	1	1,1	1,1
g_m (mA/V)	0,3	0,3	0,3	0,3	0,6	0,6	0,6	0,6
r_o (k Ω)	222	222	222	222	111	111	111	111

$$A_1 = - |g_{m1}| \cdot (r_{O2} // r_{O4})$$

$$A_2 = - g_{m6} \cdot (r_{O6} // r_{O7})$$

$$A_O = v_O / v_{id} = A_1 \cdot A_2$$

Exemplo 7.3 (pag. 467)

Limites da faixa de entrada no modo comum v_{icm}

Exemplo 7.3 (pag. 467)

Faixa de tensão na saída

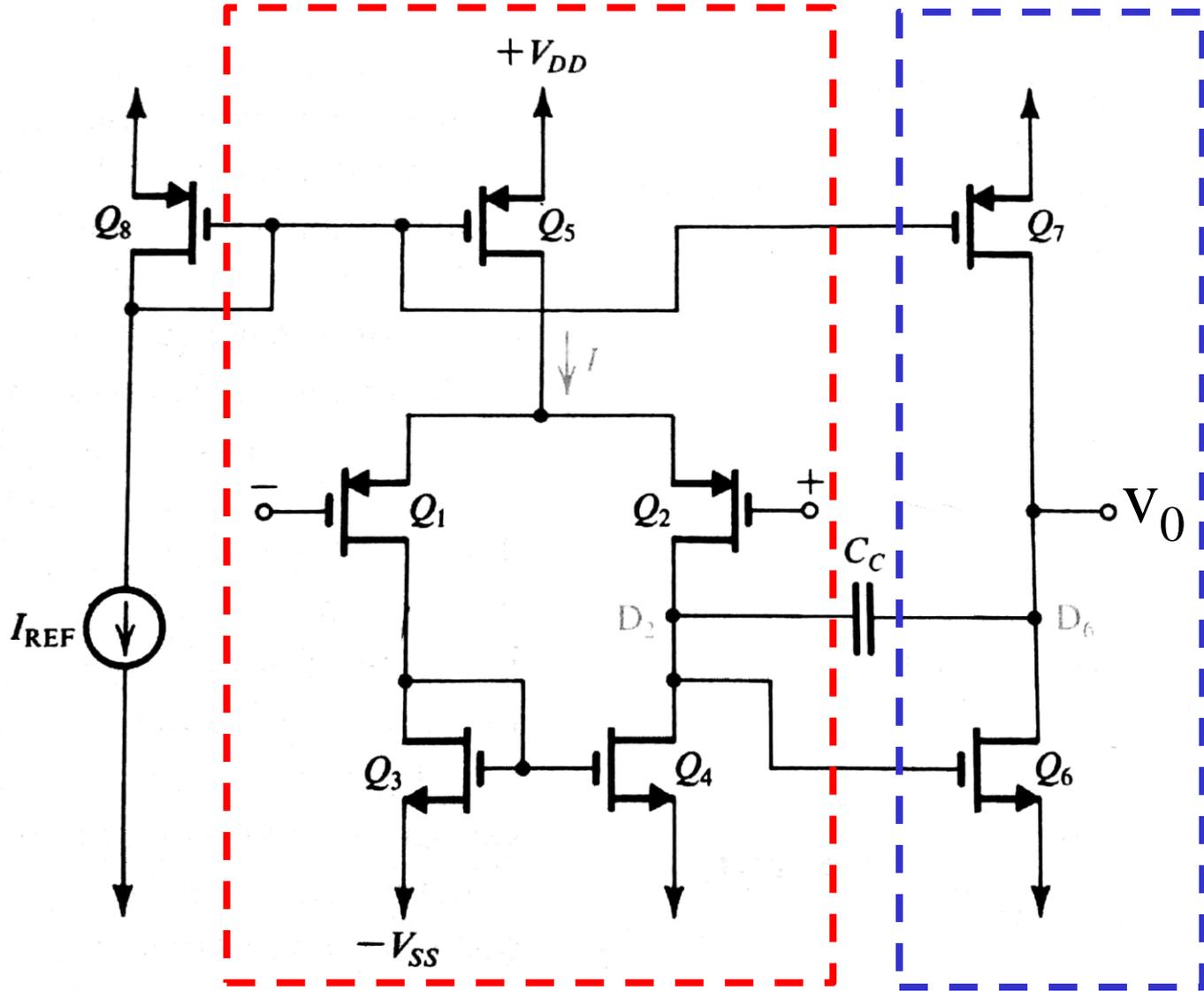
AULA 21



**Cap. 7- Amplificadores de
Múltiplos Estágios.
Um Amp. Op. CMOS de 2 estágios
(p. 467-468)**

Tensão de Offset

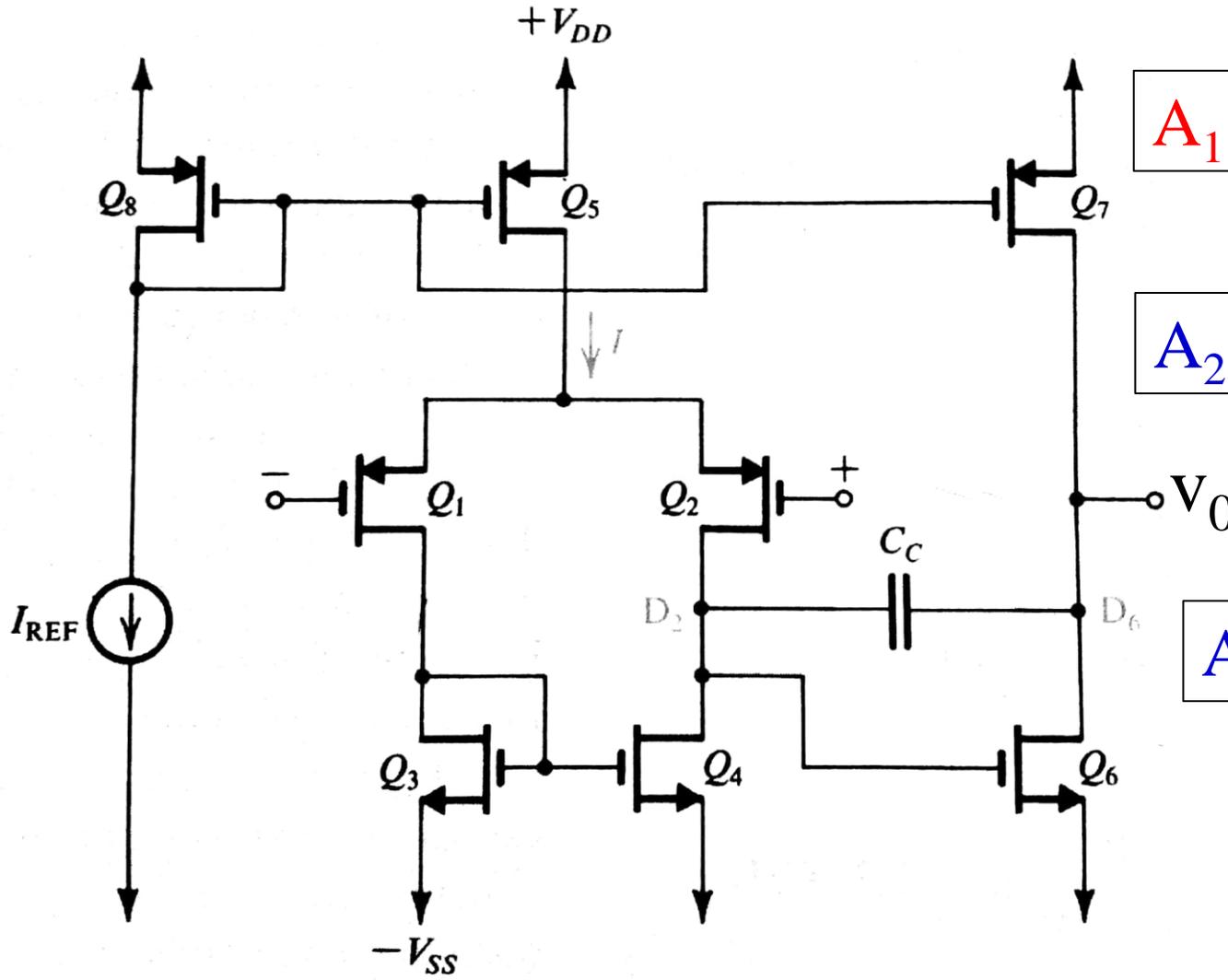
Um Amp Op CMOS de 2 estágios



1º Estágio:
 Amp. Diferencial
 Entrada: Diferencial
 Saída: Simples

2º Estágio:
 Amp. Fonte comum
 Entrada: Simples
 Saída: Simples

Um Amp Op CMOS de 2 estágios



$$A_1 = - |gm_1| \cdot (r_{O2} // r_{O4})$$

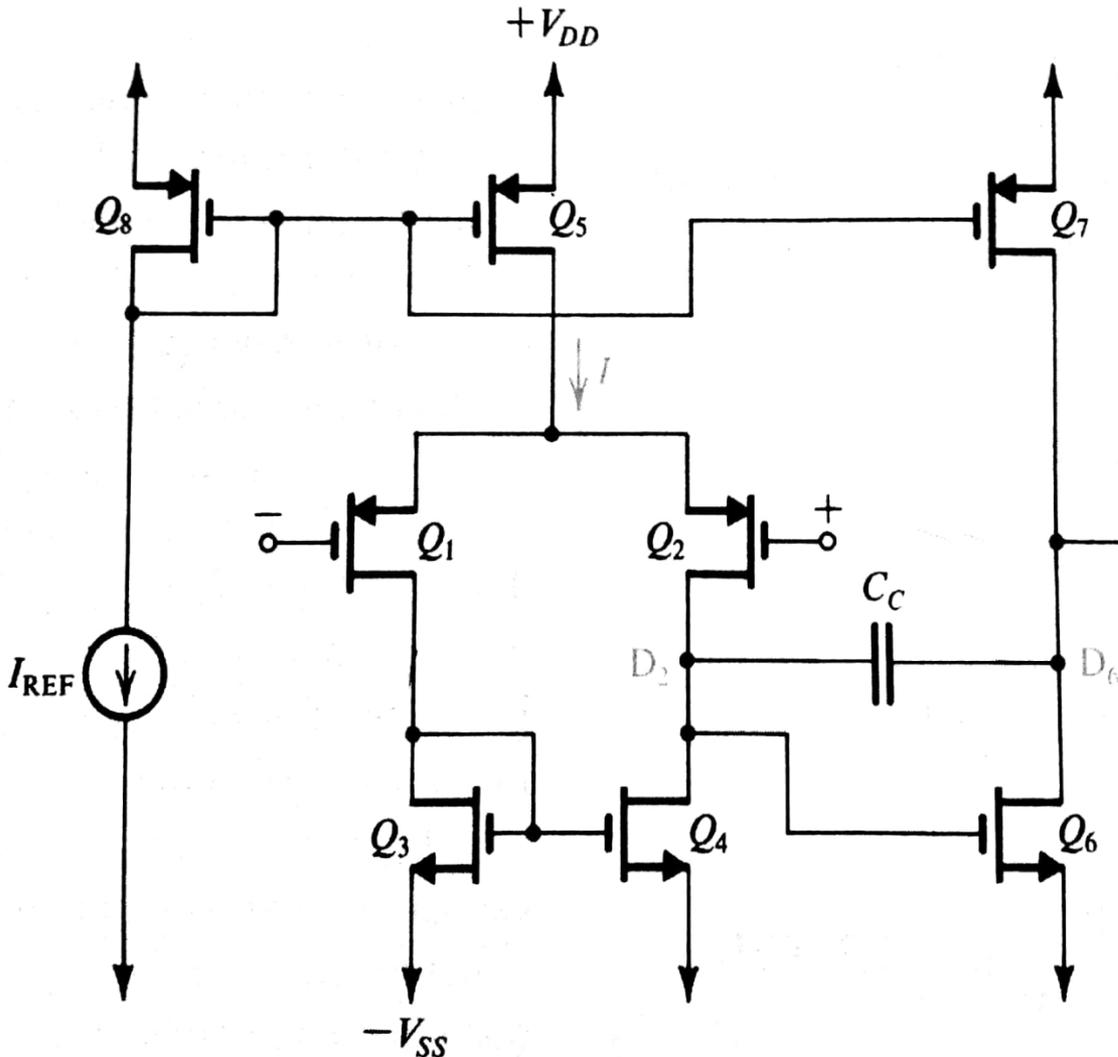
$$A_2 = - gm_6 \cdot (r_{O6} // r_{O7})$$

$$A_O = v_O / v_{id} = A_1 \cdot A_2$$

$$v_{id} = (v_+) - (v_-)$$

Um Amp Op CMOS de 2 estágios

Tensão de Offset de Entrada



$$v_{id} = (v_+) - (v_-)$$

Para $v_{id} = 0 \rightarrow V_O = 0$
(ideal)

Se $V_O \neq 0 \rightarrow V_{OS} = \frac{V_O}{A_d}$

V_{OS} = Tensão de Offset de Entrada

Tensão de Offset de Entrada

$$V_{OS} = \frac{V_O}{A_d} \text{ para } v_{id} = 0$$

onde V_{OS} é a tensão de offset de entrada

- a) **Tensão de offset randômico** (aleatório) – ITEM 7.4.2
(p.448 -450 do Sedra)

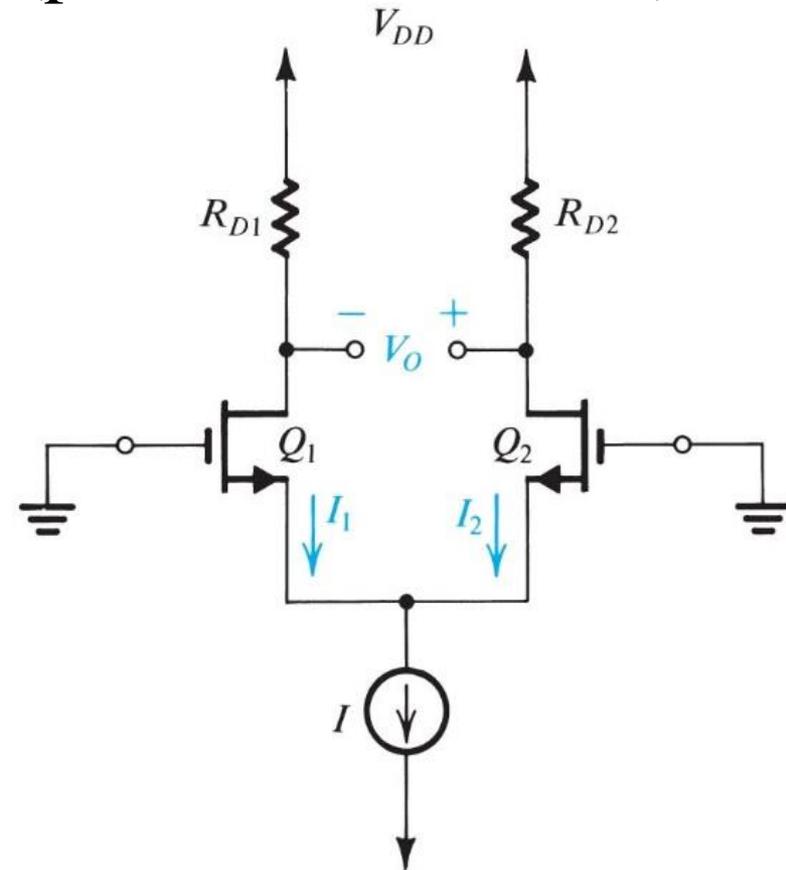
- b) **Tensão de offset sistemático ou previsível**
Pode ser otimizado (eliminado) por meio de um projeto cuidadoso.

Tensão de Offset de Entrada (Par Diferencial com MOS)

a) **Tensão de offset randômico** (aleatório) – ITEM 7.4.2

(p.448 -450 do Sedra) → Influência de R_D , g_m , V_t

$$V_{OS}(R_D) = ?$$

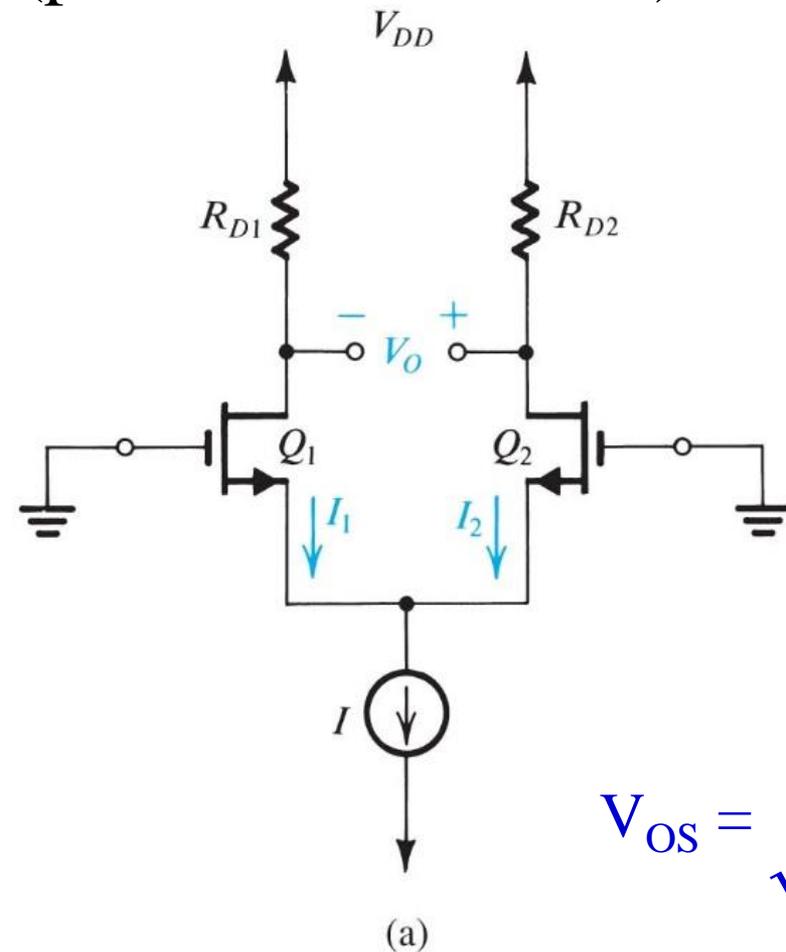


(a)

Tensão de Offset de Entrada (Par Diferencial com MOS)

a) **Tensão de offset randômico** (aleatório) – ITEM 7.4.2

(p.448 -450 do Sedra) → Influência de R_D , g_m , V_t



$$V_{OS}(R_D) = \frac{V_{OV}}{2} \cdot \frac{\Delta R_D}{R_D}$$

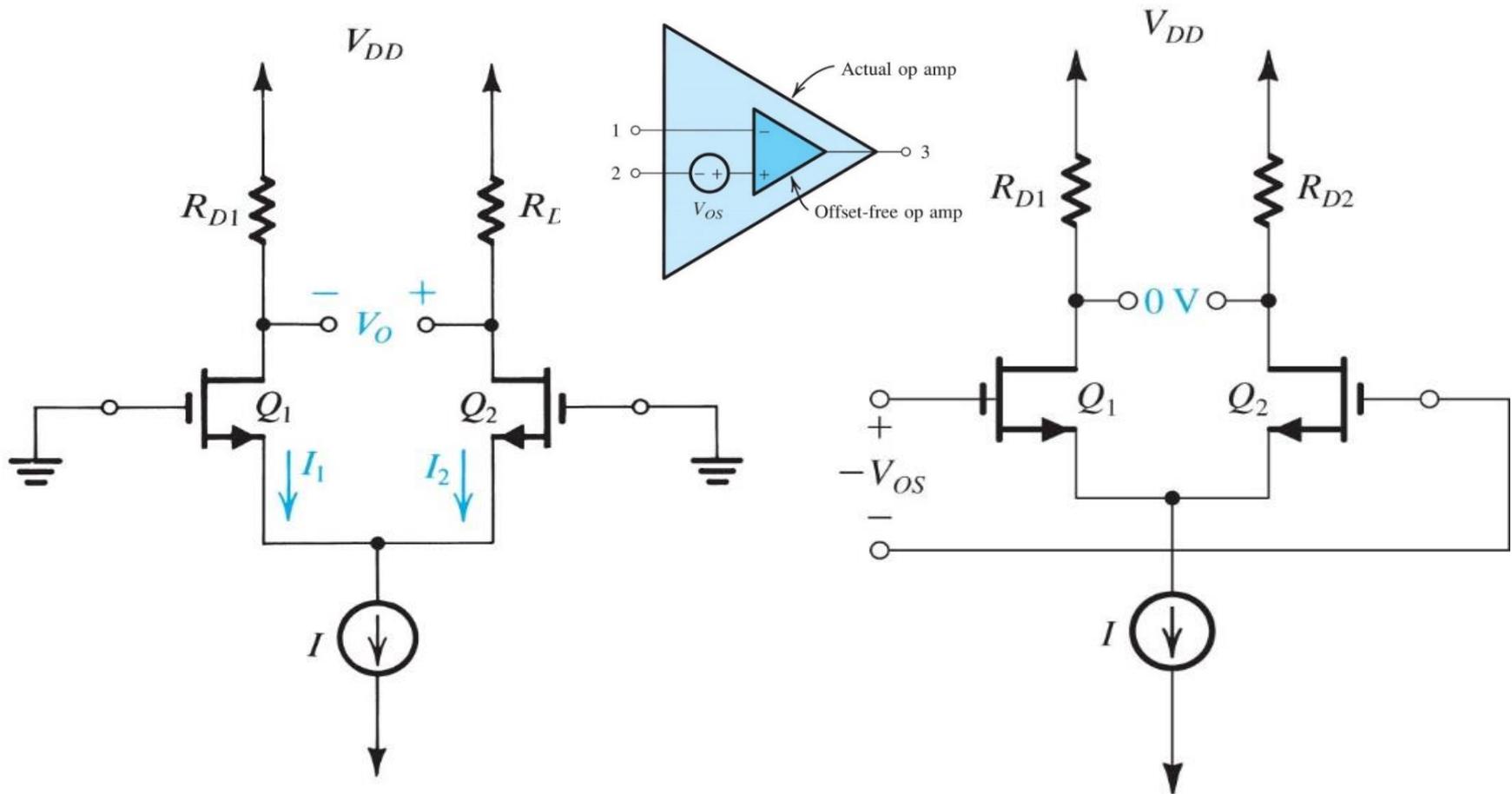
$$V_{OS}(W/L) = \frac{V_{OV}}{2} \cdot \frac{\Delta W/L}{W/L}$$

$$V_{OS}(V_t) = \Delta V_t$$

$$V_{OS} = \sqrt{\left(\frac{V_{OV}}{2} \cdot \frac{\Delta R_D}{R_D}\right)^2 + \left(\frac{V_{OV}}{2} \cdot \frac{\Delta W/L}{W/L}\right)^2 + (\Delta V_t)^2}$$

Tensão de Offset de Entrada (Par Diferencial com MOS)

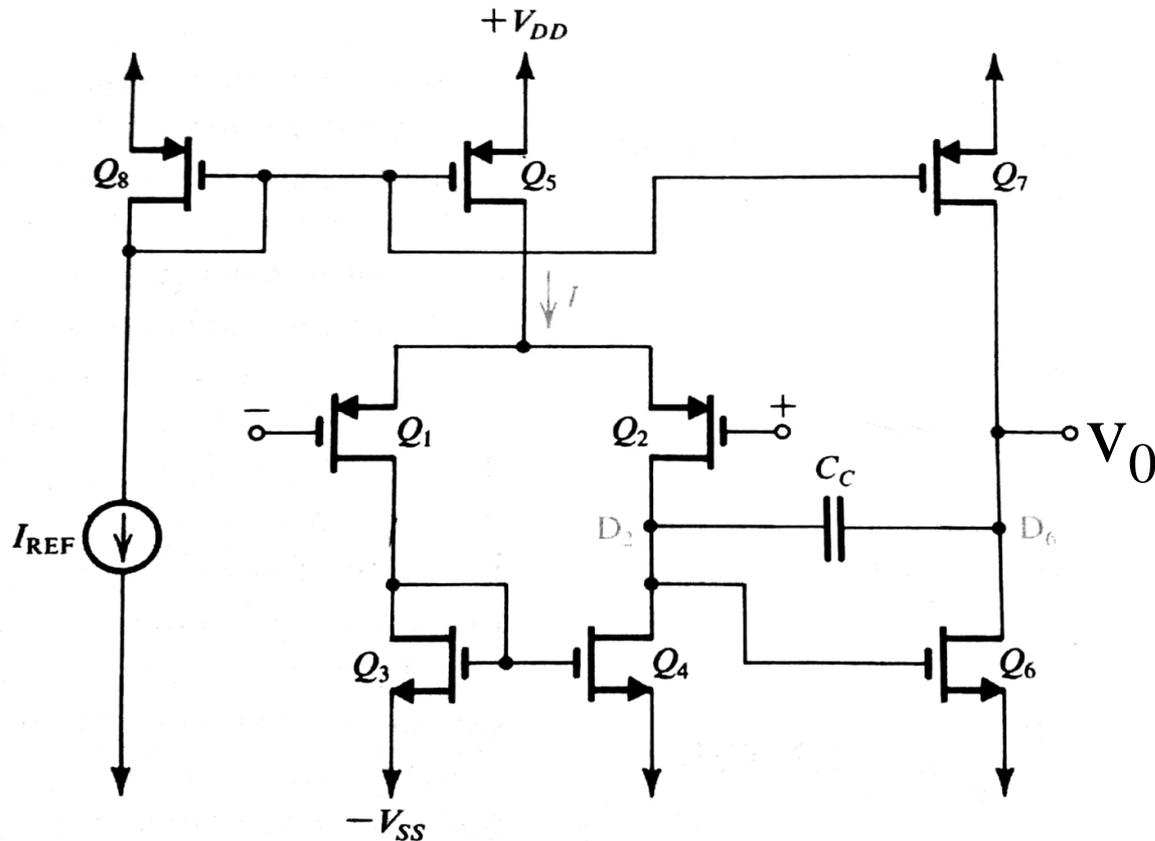
a) Tensão de offset randômico (aleatório)



Tensão de Offset de Entrada

b) Tensão de offset sistemático ou previsível

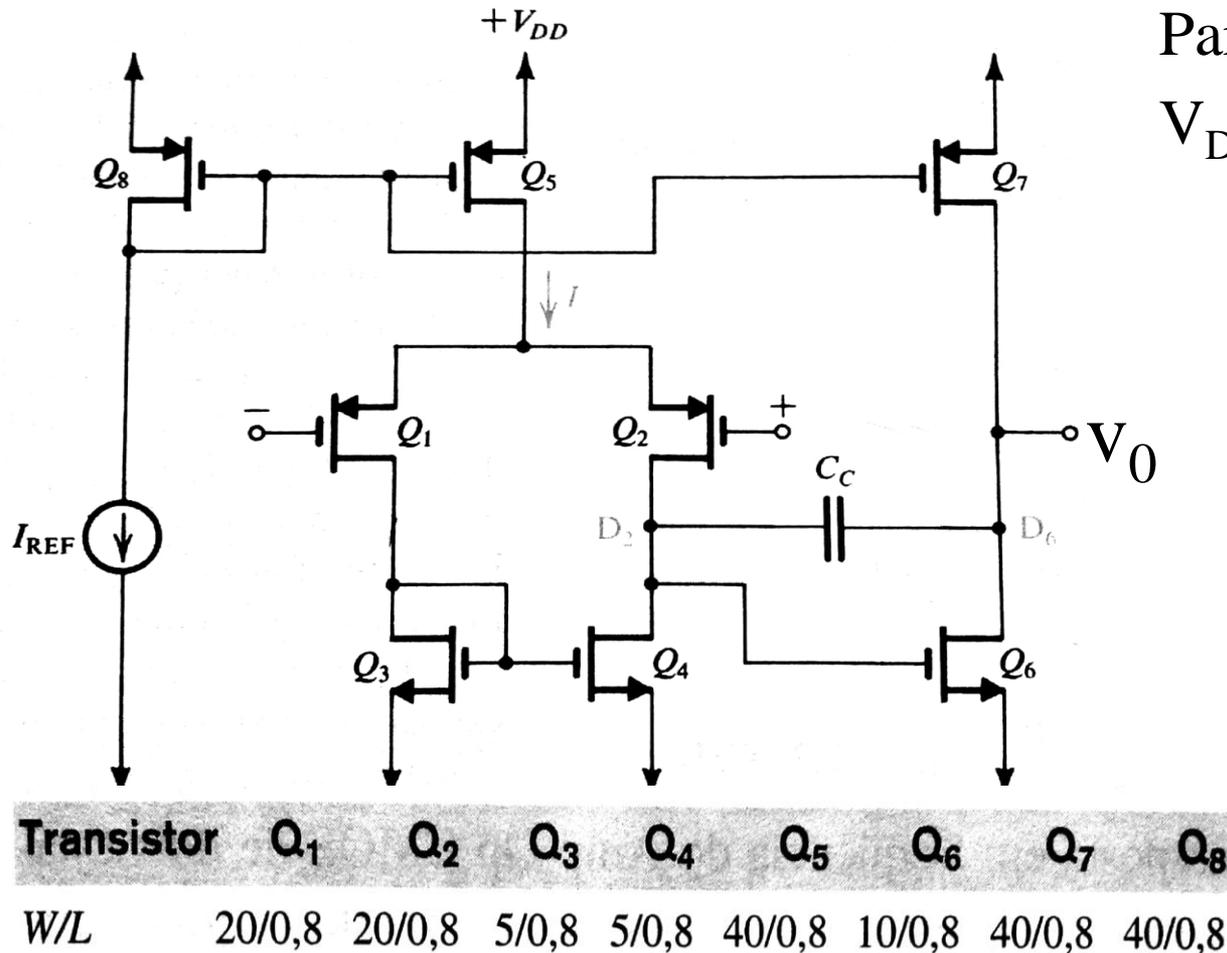
Pode ser otimizado (eliminado) por meio de um projeto cuidadoso.



Tensão de Offset de Entrada

b) Tensão de offset sistemático ou previsível

Pode ser otimizado (eliminado) por meio de um projeto cuidadoso.



Para Entradas Aterradas:

$$V_{D3} = V_{D4} = -V_{SS} + V_{GS4} = V_{G6}$$

$$I_6 = I_4 \cdot (W/L)_6 / (W/L)_4$$

$$I_7 = I_5 \cdot (W/L)_7 / (W/L)_5$$

Como $I_6 = I_7$ e $I_5 = 2 \cdot I_4$

$$\frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_4} = 2 \cdot \frac{\left(\frac{W}{L}\right)_7}{\left(\frac{W}{L}\right)_5}$$

Exercício 7.18 (pag. 468)

7.18 Considere o Amp Op CMOS da Figura 7.40 quando fabricado na tecnologia CMOS de $0,8 \mu\text{m}$ para o qual $\mu_n C_{ox} = 3\mu_p C_{ox} = 90 \mu\text{A}/\text{V}^2$, $|V_t| = 0,8 \text{ V}$ e $V_{DD} = V_{SS} = 2,5 \text{ V}$.

Para um projeto particular, $I = 100 \mu\text{A}$, $(W/L)_1 = (W/L)_2 = (W/L)_5 = 200$ e $(W/L)_3 = (W/L)_4 = 100$.

- Determine as relações (W/L) de Q_6 e Q_7 para $I_6 = 100 \mu\text{A}$.
- Determine a sobretensão, $|V_{OV}|$, na qual cada um dos transistores Q_1 , Q_2 e Q_6 estão operando.
- Determine g_m para Q_1 , Q_2 e Q_6 .
- Caso $|V_A| = 10 \text{ V}$, determine r_{o2} , r_{o4} , r_{o6} e r_{o7} .
- Determine os ganhos de tensão A_1 e A_2 e o ganho total A .

Resposta (a) $(W/L)_6 = (W/L)_7 = 200$; (b) $0,129 \text{ V}$; $0,129 \text{ V}$; $0,105 \text{ V}$; (c) $0,775 \text{ mA}/\text{V}$; $0,775 \text{ mA}/\text{V}$; $1,90 \text{ mA}/\text{V}$; (d) $200 \text{ k}\Omega$; $200 \text{ k}\Omega$; $100 \text{ k}\Omega$; $100 \text{ k}\Omega$; (e) $-77,5 \text{ V}/\text{V}$; $7.363 \text{ V}/\text{V}$.

