

**Departamento de Engenharia Elétrica e de Computação**

# SEL 384 – Laboratório de Sistemas Digitais I

# PRÁTICA Nº05

**“Dispositivos de Lógica Programável de Complexo** **(CPLD- “Complex Programable Logic Devices”)- Acionamento de Matriz de LEDs”**

**1. Objetivos:**

* Projeto e síntese de circuitos sequenciais em dispositivo FPGA utilizando o esquemático do Quartus II;
* Aplicação de contadores e decodificadores.

**2. Material utilizado:**

* Configuração de Dispositivo Programável de Alta Complexidade HCPLD do tipo FPGA Cyclone IV da Altera
* Módulo de desenvolvimento Mercúrio IV – Macnica DWH
* Multímetro

**3. Procedimento Experimental:**

Utilizando o software QUARTUSII , escolha o dispositivo HCPLD família Cyclone IV-E dispositivo EP4CE30F23C7 e faça um projeto para acionamento da matriz de LEDs ( item 17 da Figura 1) de 8 linhas x 5 colunas do módulo de desenvolvimento Mercúrio IV, que realize o seguinte procedimento: acenda todos os 5 LEDs da mesma linha simultaneamente, e sequencialmente a cada 5Hz, de maneira a fazer a varredura nas 8 linhas de cima para baixo e, de baixo para cima.

As 5 colunas são nomeadas como LEDM\_C[0] até LEDM\_C[4], as 8 linhas como LEDM\_R[0] a LEDM\_R[7]. Ambas, linhas e colunas, são selecionadas com o nível ‘0’. O clock interno de 50MHz é nomeado como CLOCK\_50MHz.

**Para criar um arquivo de projeto esquemático no software QuartusII siga os passos do arquivo “Guia esquemático Quartus” que se encontra no Moodle disciplinas Stoa USP.**

3.1 Inicialmente, implementar o divisor de frequência para gerar 5Hz a partir de 50MHz interno à placa (CLOCK\_50MHz.). Calcule qual o módulo que o contador deve possuir. Para construir o divisor de frequência utilize o projeto lpm\_counter da biblioteca Megafunction, mostrado na Figura 2. Altere as configurações dos PORTS , deixando USED apenas a entrada CLOCK e as saídas Q (Figura 3). Nas configurações dos parâmetros, indique o módulo na opção LPM\_MODULUS e a quantidade de FFs na opção LPM\_WIDTH. Compile, inclua a pinagem e verifique a frequência de 5Hz, na saída mais significativa, ligando-a ao LED RGB ( item 16 da Figura 1), criando uma saída LED\_G

 Obs: veja informações sobre o projeto lpm\_counter no final desse arquivo.

****

**Figura 1** Imagem do módulo de desenvolvimento com as indicações dos principais componentes



Figura 2 Componente lpm\_counter



Figura 3 Configuração dos PORTS do componente lpm\_counter



Figura 4 Configuração dos parâmteros do componente lpm\_counter

3.2 Utilize outro componente contador lpm\_counter para implementar um contador crescente/decrescente de 0 até 7. Criar entrada UP/DOWN e saída Cout.

3.3 Ligar as saídas binárias do contador do item 3.2 a um decodificador 3X8 (CI 74138)

3.4 Utilizando a entrada UP/DOWN e saída Cout do contador do item 3.2 implemente o controle para contagem crescente e decrescente. **(não usar o 7493!!)** como mostra a Figura 5. Utilize o componente TFF (flip flop tipo T). Para que funcione no modo Toggle coloque na entrada T o componente Vcc. A saída do componente TFF deve ser ligada à entrada UP/Down do contador do\item 3.2.



Figura 5 controle up/down

3.5 Ligar as saídas do decodificador às linhas da matriz de LEDs.

3.6 Para ativar as colunas da matriz, criar pinos de saída (output) para cada coluna da matriz LEDM\_C[0] até LEDM\_C[4].

3.7 Compile o projeto, e configure o dispositivo na placa Mercurio IV. Verifique seu funcionamento e mostre a professora.

 Como relatório entregue um arquivo PDF com: o printscreen do circuito esquemático documentado (explicação do circuito) incluindo nome e nº USP.

 Envie pelo MOODLE (não se esqueça de clicar em ENVIAR)

**Obs:** Para iniciar a configuração da placa Mercurio IV, conecte uma extremidade do cabo USB no conector USB-Blaster™ da placa (ver item 4 – Figura 1), e a outra extremidade num computador equipado com o software Altera Quartus® II. Com o cabo conectado, e o computador ligado, a placa automaticamente será alimentada. Então colocar a chave 1 na posição PROG FPGA (Figura 1), e a chave 2 na posição ON (figura 1).

**Informações sobre o dispositivo FPGA** EP4CE30F23C7**:**

Categoria: Circuito Integrado(CI)

Família: *Embedded - FPGAs (Field Programmable Gate Array*)

Série: Cyclone IV E

Número de Blocos Lógicos Configuráveis( CLBs ou LABs**):** 1803

Número de bits da RAM: 608256

Número de portas de Entrada/Saída(I/O): 328

**Significado dos Campos do nome do dispositivo**:

* EP4CE: família Cyclone IV-E : FPGA de baixo custo
* 30 : quantidade de elementos lógicos: 28848 (aproximadamente 30 mil)
* F23: Encapsulamento: Fineline BGA de 23 x 23 mm e 484 pinos
* C: temperatura de operação, 0°C a 85°C
* 7: tempo de atraso da porta: 7ns

Tensão de Alimentação: 1,15 V ~ 1,25 V

Tipo de Montagem: Montagem de superfície

 INFORMAÇÕES SOBRE O PROJETO LPM\_COUNTER:









**4. Bibliografia:**

* Site da ALTERA
* Fregni, E. & Saraiva, A.M., “ Engenharia do Projeto Lógico Digital”, Ed. Edgard Blücher Ltda.
* **Tocci, J. R. , “Sistemas Digitais- Princípios e Aplicações**