



Departamento de Engenharia Elétrica e de Computação - EESC-USP

SEL-0415 Introdução à Organização de Computadores

Aula 2 : Decodificadores

Profa. Luiza Maria Romeiro Codá

INTRODUÇÃO (Resumo):

Estudo ou análise de um Computador:

- **ORGANIZAÇÃO:** (implementação) : hardware, relacionada aos componentes físicos

Exs: tecnologia utilizada na memória, frequência do relógio, monitor, teclado, mouse.

- **ARQUITETURA:** características de interesse do programador, software (programa do computador)

Exs: Conjunto de instruções, tamanho da palavra, modo de endereçamento das instruções

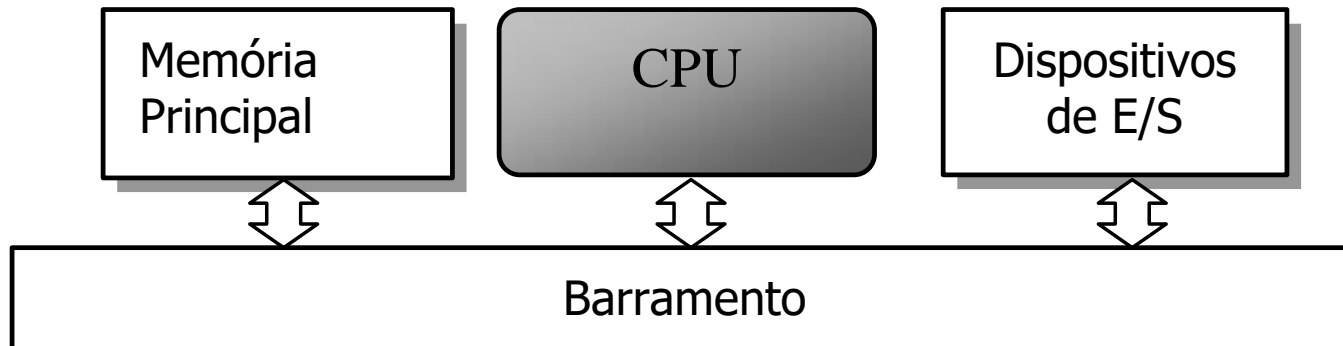
1ª Parte curso: Organização do Computador

- Estudo de como os componentes, memórias e dispositivos de entrada e saída, são ligados ao microprocessador;
- Implementação do hardware externo ao microprocessador;
- Tecnologia utilizadas nos diversos dispositivos e memórias utilizados.

MODELO DE VON NEUMANN

A arquitetura básica de um computador consiste de 4 partes principais:

- *CPU (ULA + Controle + Registradores)*
- *Memória principal*
- *dispositivo de entrada/saída*
- *dispositivo de conexão (barramento de dados)*



Os Princípios de Von Neumann (Revisão aula 1)

O Conceito Von Neumann:

- computador visto como uma Máquina de programa armazenado;
- seqüencialmente executado;
- CPU comunica-se com **apenas** um dispositivo de cada vez.

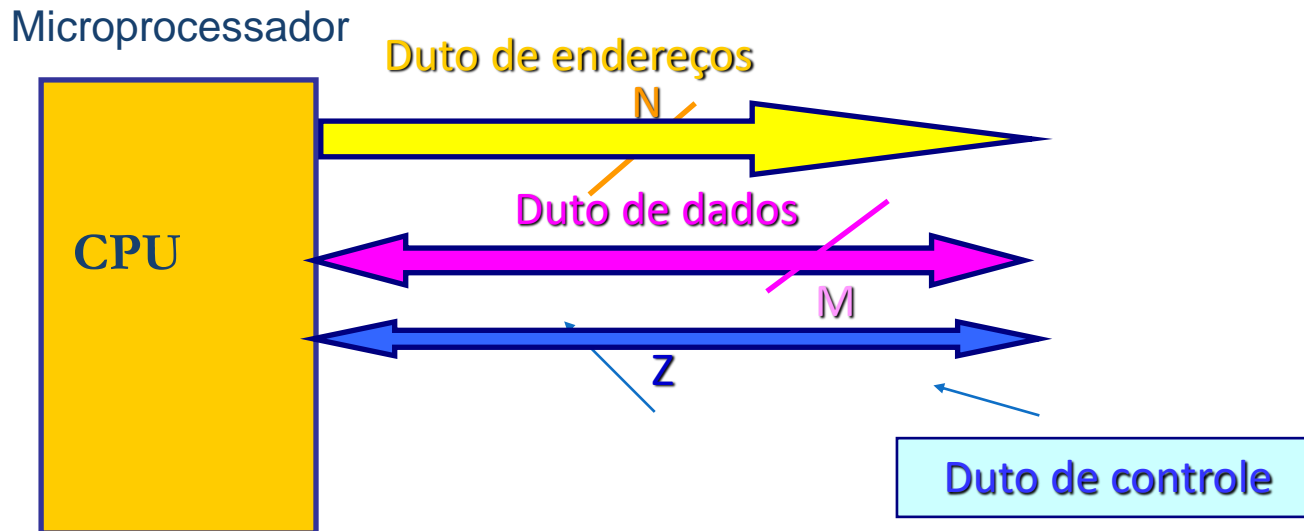
Implementação do Modelo de Von Neumann

- ✓ **Apenas 1 duto (barramento) faz a comunicação entre CPU e memórias ou dispositivos de I/O**
- ✓ **Esse duto consiste em :**
 - um conjunto de linhas de endereços (geradas pela CPU)
 - um conjunto Linhas de dados (enviadas ou recebidas pela CPU)
 - um conjunto de linhas de controle (geralmente gerados pela CPU)
- ✓ **A CPU (ou microprocessador) deve selecionar apenas 1 dispositivo (memórias ou I/O) de cada vez para se comunicar**

Portanto, necessário que o circuito de hardware implementado para o Sistema microprocessado possibilite que a CPU selecione apenas 1 dispositivo por vez.

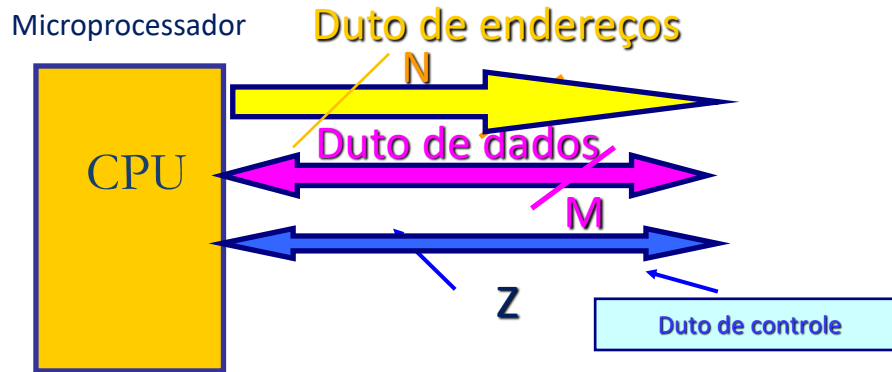
Para tal utiliza-se  **DECODIFICADORES**

Representação da CPU e barramentos



Onde N, M e Z são o número de linhas de endereços, dados e sinais de controle, respectivamente, que podem variar de acordo com a escolha do microprocessador

Microprocessador (CPU) de 64K x 8



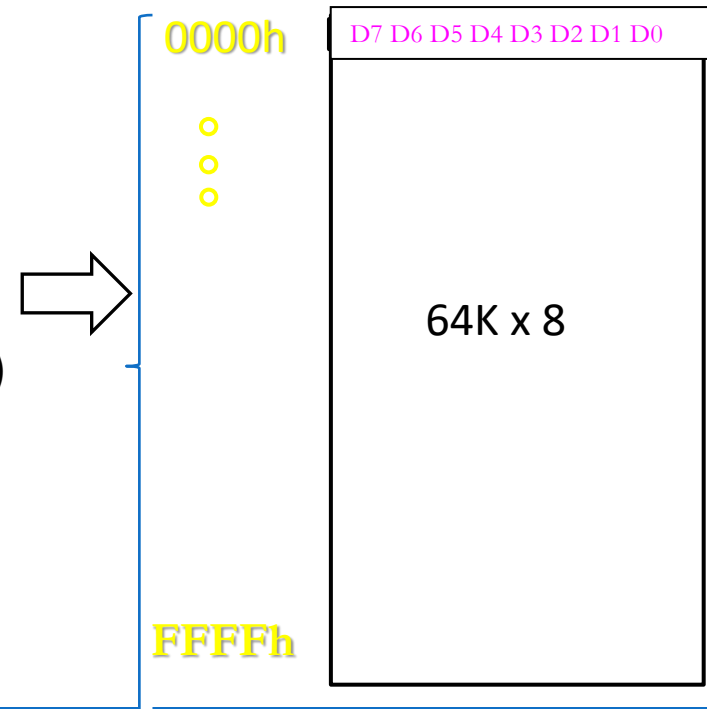
N = 16 nomeados: A15 a A0

M = 8 nomeados: D7 a D0

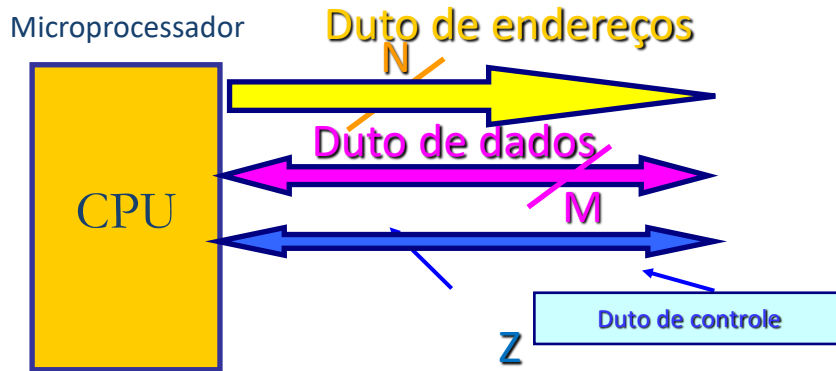
Z no mínimo = 2 → \overline{RD} e \overline{WR}

Um microprocessador de 16 linhas de endereços (A15 a A0) consegue gerar 2^{16} endereços diferentes = 65536 endereços
Que pode ser representado por 64K (onde K = 1024)

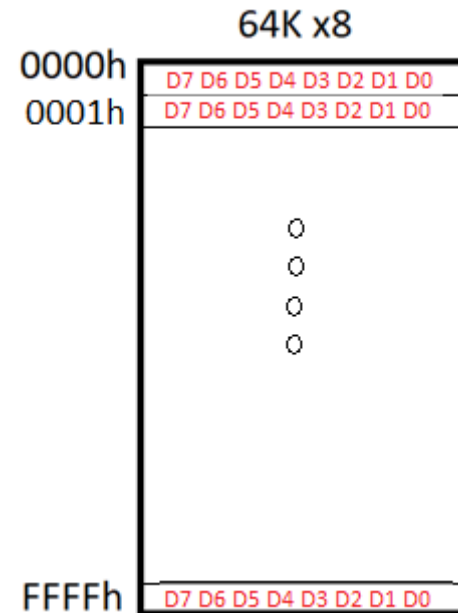
Cada endereço endereça o conjunto de 8 bits de dados (D7 a D0)



Capacidade de endereçamento do Microprocessador (CPU)



Representação do espaço de endereçamento do microprocessador

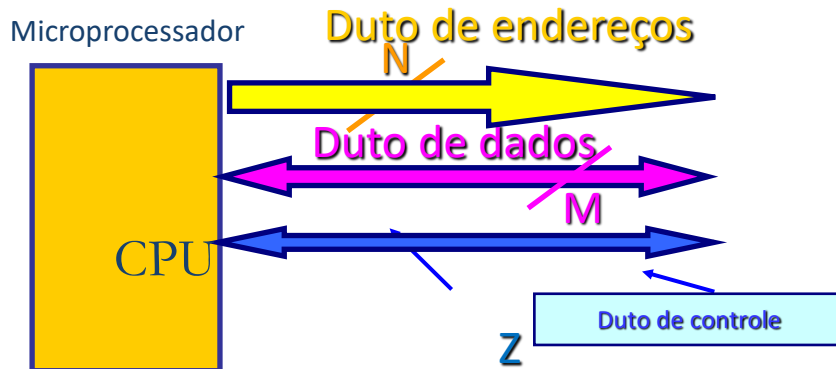


Microprocessado de 64Kx8:

$$64K = 2^6 \times 2^{10} \rightarrow 6 + 10 = 16 \text{ linhas de endereços}$$

Cada linha de endereço acessam 8 bits

Capacidade de endereçamento do Microprocessador (CPU)

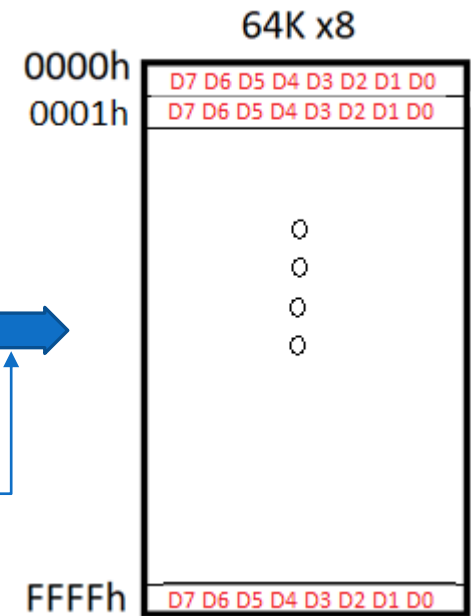


Espaço de endereçamento do microprocessador

ENDEREÇO EM HEXADECIMAL

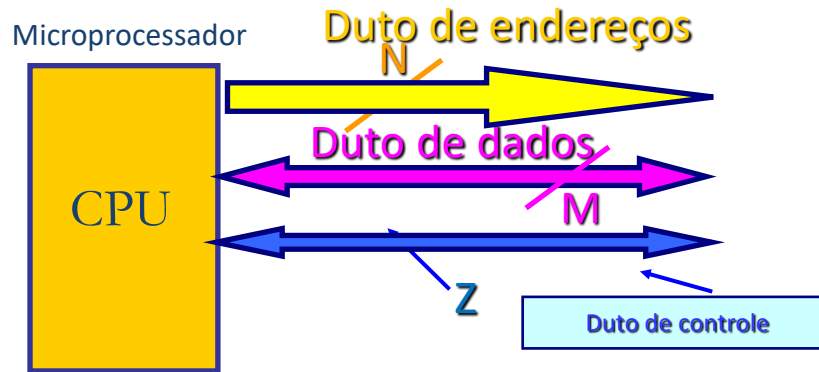
ENDEREÇO EM BINÁRIO

	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0000h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0001h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
⋮	⋮							⋮								⋮
FFFFh	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1



$2^{16} = 65536$ endereços = 64K

Comunicação do Microprocessador (CPU) de 64K x 8 com os dispositivos



N = 16 nomeados: A15 a A0

M = 8 nomeados: D7 a D0

Z no mínimo = 2 \rightarrow $\overline{\text{RD}}$ e $\overline{\text{WR}}$

O microprocessador para enviar dados para memórias ou dispositivos saída

ESCRITA



coloca o signal de controle $\overline{\text{WR}} = '0'$

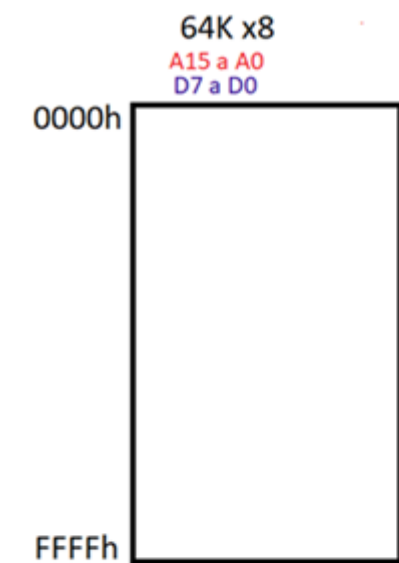
O microprocessador para receber dados de memórias ou dispositivos entrada

LEITURA

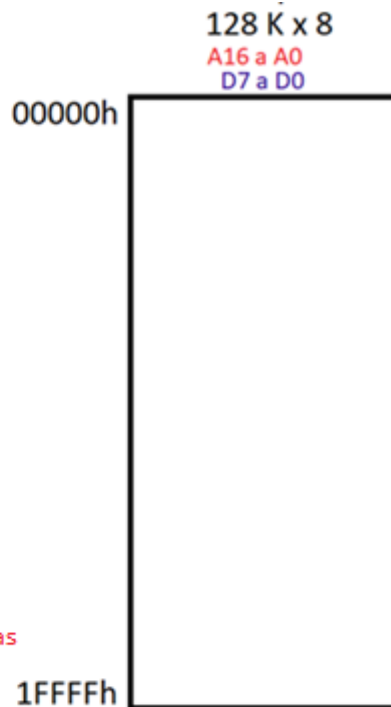


coloca o signal de controle $\overline{\text{RD}} = '0'$

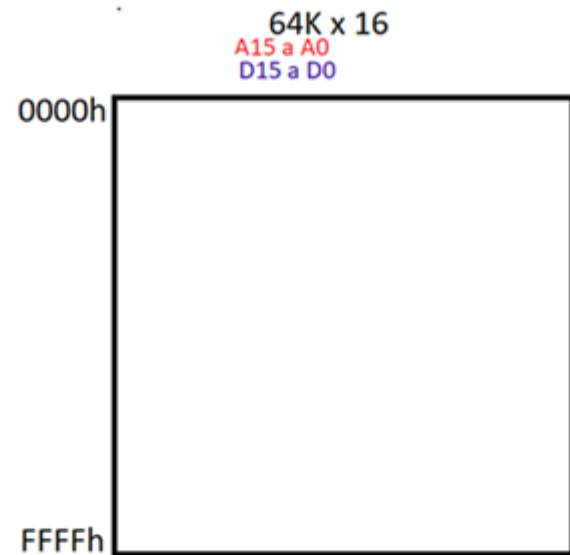
Microprocessador (CPU) com capacidade de endereçamento diferentes



Linhas de endereços:
 $64K = 2^6 \times 2^{10} \Rightarrow 6 + 10 = 16$ linhas
8 linhas de dados

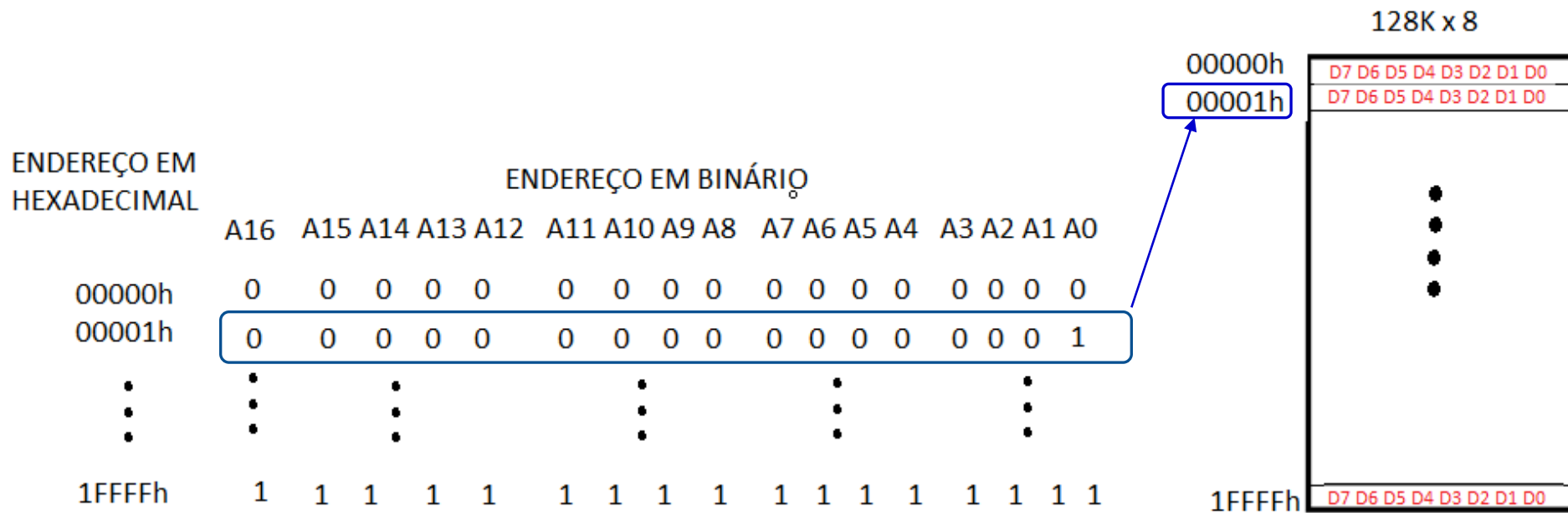


Linhas de endereços:
 $128K = 2^7 \times 2^{10} \Rightarrow 7 + 10 = 17$ linhas
8 linhas de dados



Linhas de endereços:
 $64K = 2^6 \times 2^{10} \Rightarrow 6 + 10 = 16$ linhas
16 linhas de dados

Microprocessador (CPU) de 128K x 8



Microprocessador (CPU) de 128K x 8

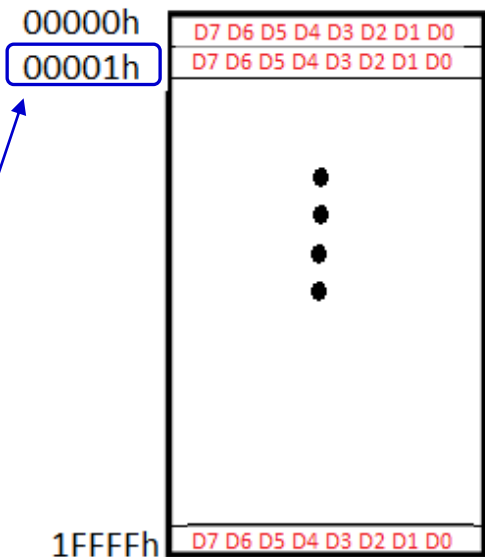
Representação gráfica do espaço de endereçamento do microprocessador

128K x 8

ENDEREÇO EM
HEXADECIMAL

ENDEREÇO EM BINÁRIO

	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
00000h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
00001h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
⋮	⋮		⋮			⋮				⋮						⋮	
1FFFFh	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

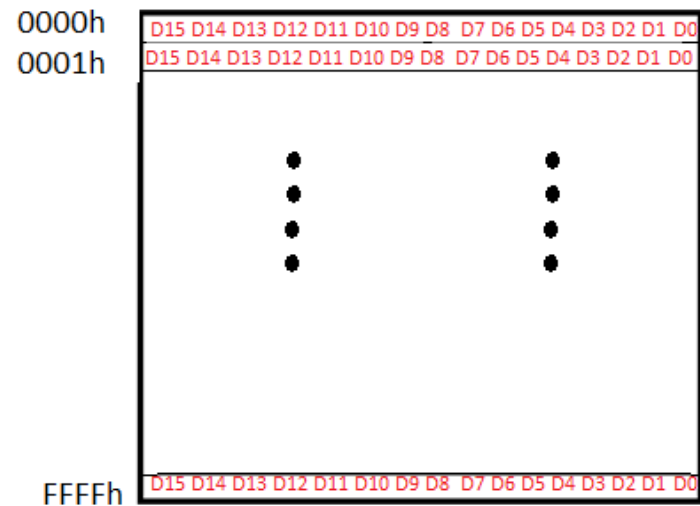


Microprocessador (CPU) de 64K x 16

Representação gráfica do espaço de endereçamento do microprocessador

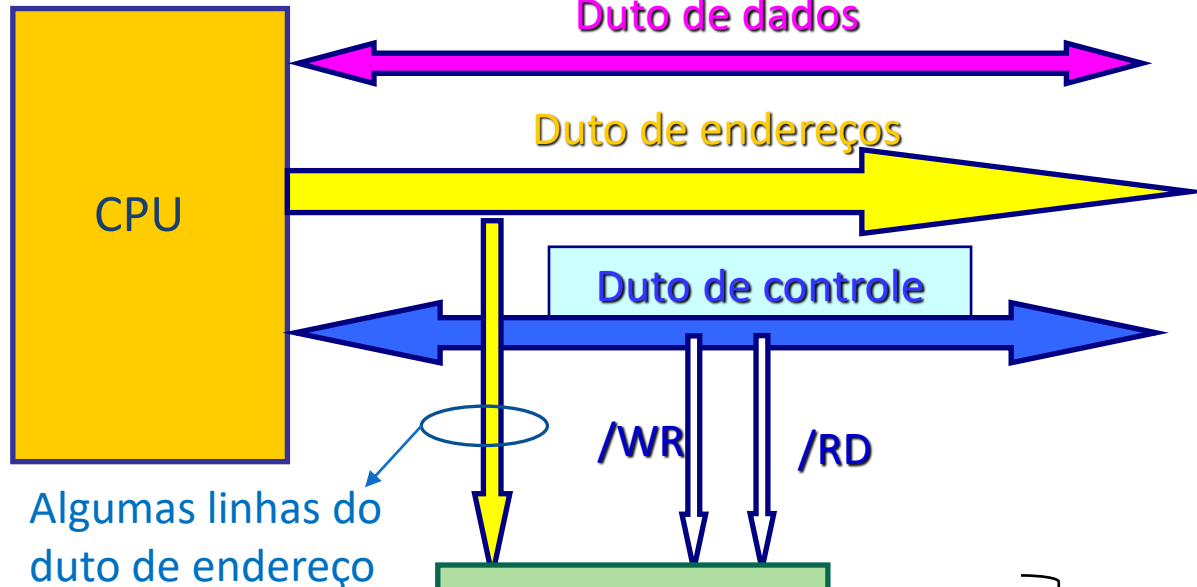
64K x 16

ENDEREÇO EM HEXADECIMAL	ENDEREÇO EM BINÁRIO															
	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0000h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0001h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
⋮																
⋮																
⋮																
FFFFh	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1



Implementação do Modelo de Von Neumann

Microprocessador



Algumas linhas do duto de endereço

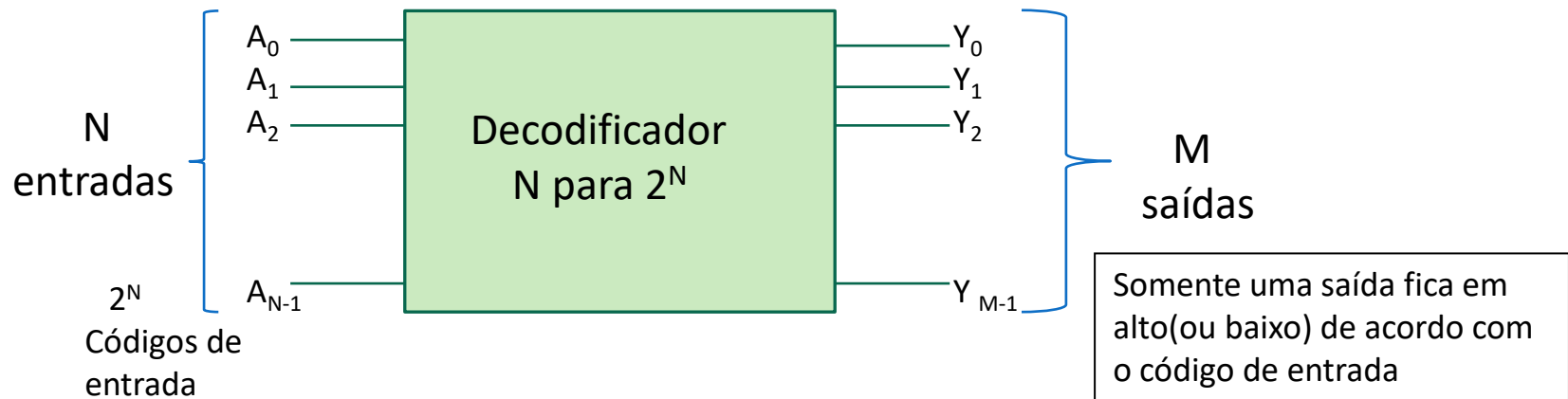
Obs: Os sinais /RD e /WR são sinais que a CPU envia para fazer leitura ou escrita, respectivamente

Sinais que selecionam apenas 1 dispositivo (memória ou I/O)

DECODIFICADORES (Revisão)

Decodificador N X M:

converte um código binário de N bits que lhe é apresentado como entrada, em M linhas de saída, sendo que cada linha de saída será ativada por uma, e somente uma, das possíveis combinações dos bits de entrada ($M = 2^N$)

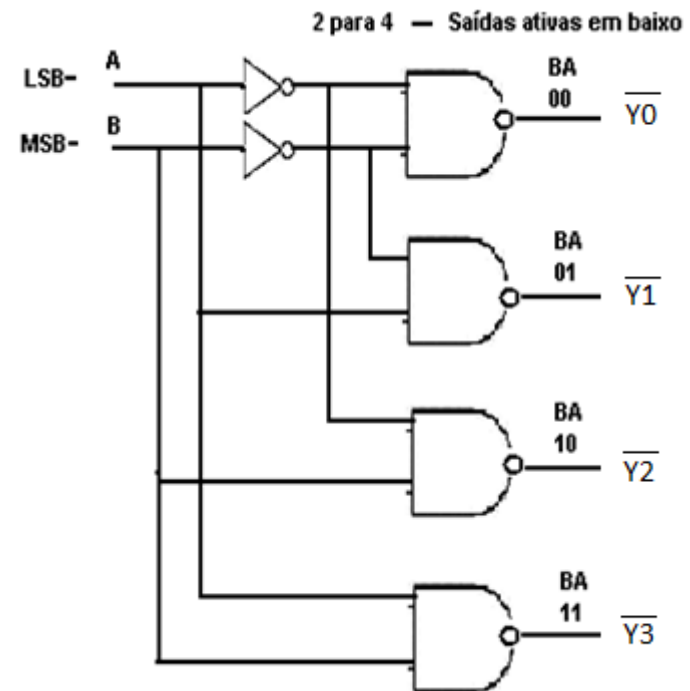


Existem decodificadores que quando a saída está ativa o valor dela é “1” e outros que apresentam a saída ativa em “0”. Nos circuitos de seleção de projetos de microcomputadores utiliza-se decodificadores com saídas ativas em “0” porque nas memórias e grande parte das interfaces, o sinal de seleção é ativo em “0”.

DECODIFICADORES

- Cada saída é ativada por um único código binário aplicado nas entradas;
- o índice da saída indica o valor do código binário que ativa essa saída.

Entradas		Saídas			
B	A	Q0	Q1	Q2	Q3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0



Decodificador 2 para 4

7442 : DECODIFICADOR 4 para 10

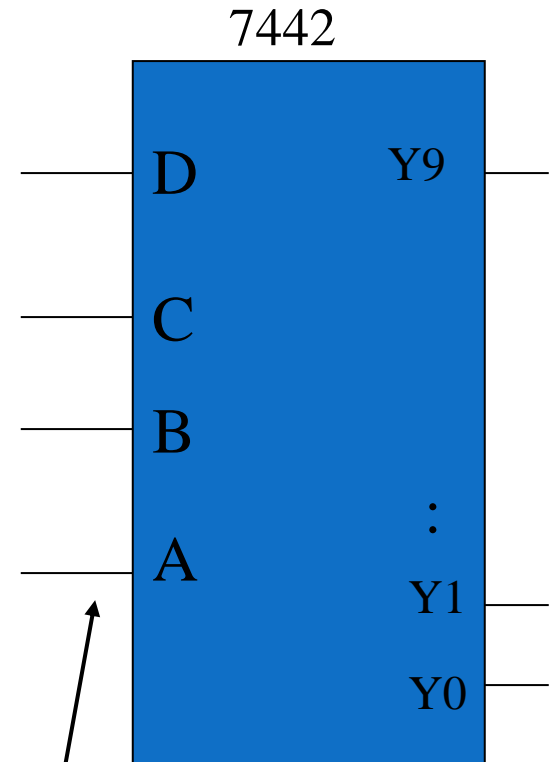
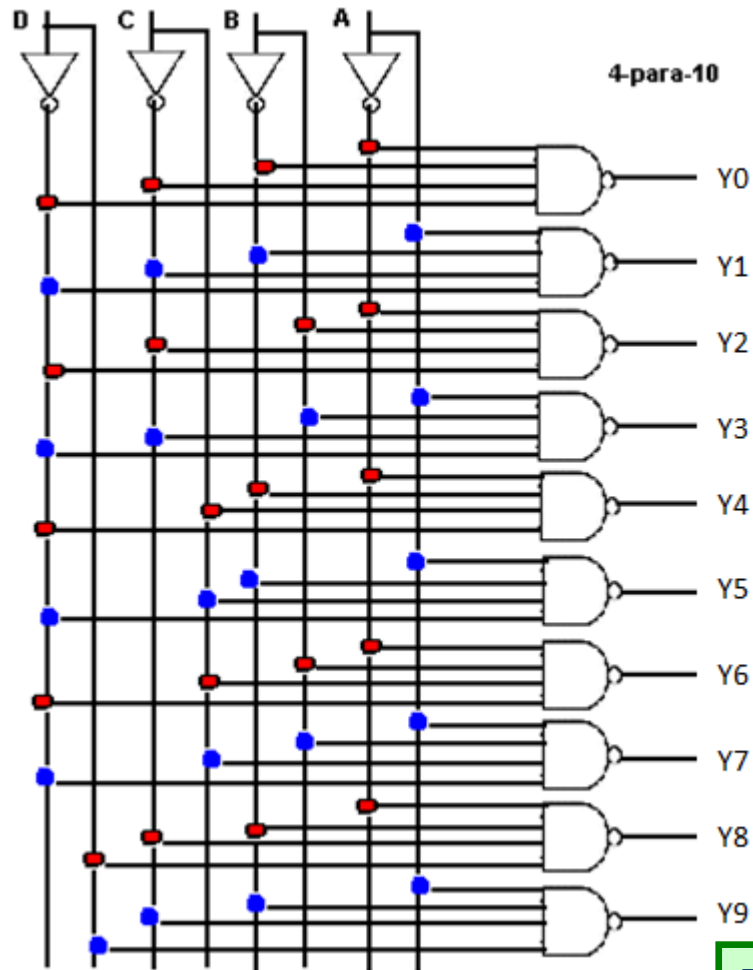
com saídas ativas em nível baixo

Tabela para o 7442

TABELA 4-para-10														
	Entradas				Saídas									
Num	D	C	B	A	M0	M1	M2	M3	M4	M5	M6	M7	M8	M9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
I	H	L	H	L	H	H	H	H	H	H	H	H	H	H
N	H	L	H	H	H	H	H	H	H	H	H	H	H	H
V	H	H	L	L	H	H	H	H	H	H	H	H	H	H
A	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	H	H	H	L	H	H	H	H	H	H	H	H	H	H
I.	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H = nível alto = 1														
L = nível baixo = 0														

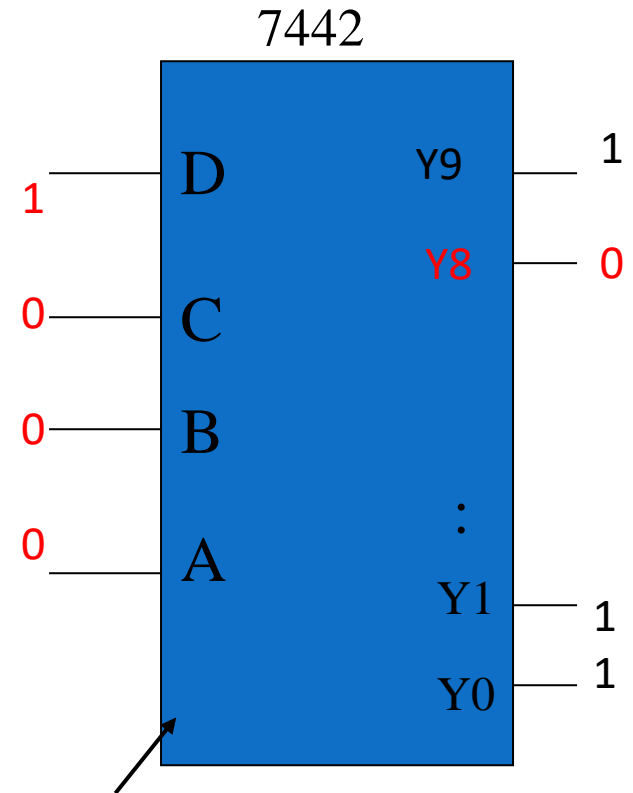
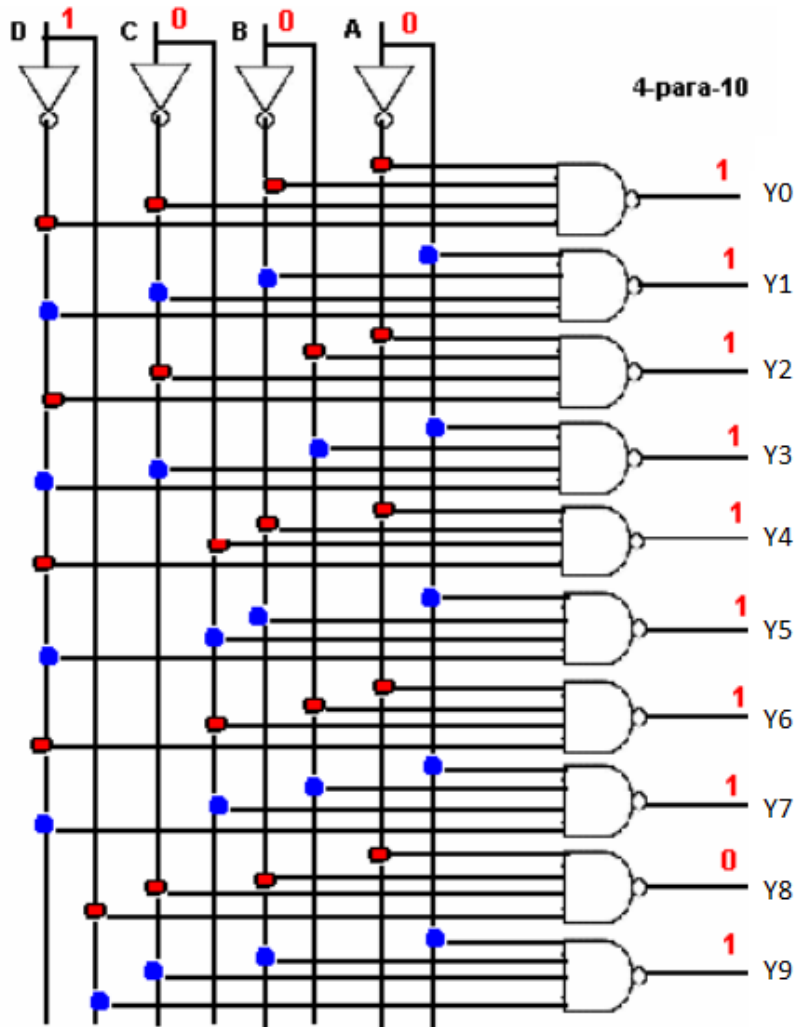
Obs: A entrada D do decodificador representa o bit mais significativo.

7442 : DECODIFICADOR 4 para 10



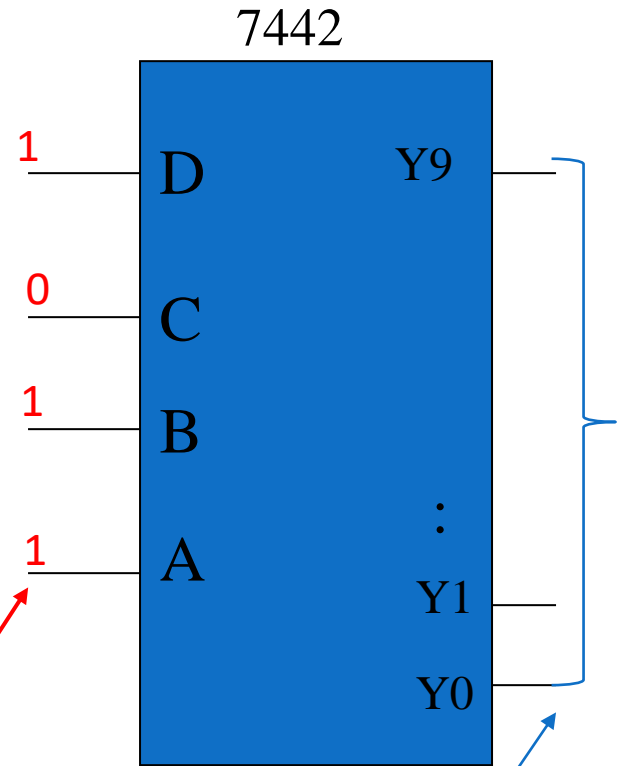
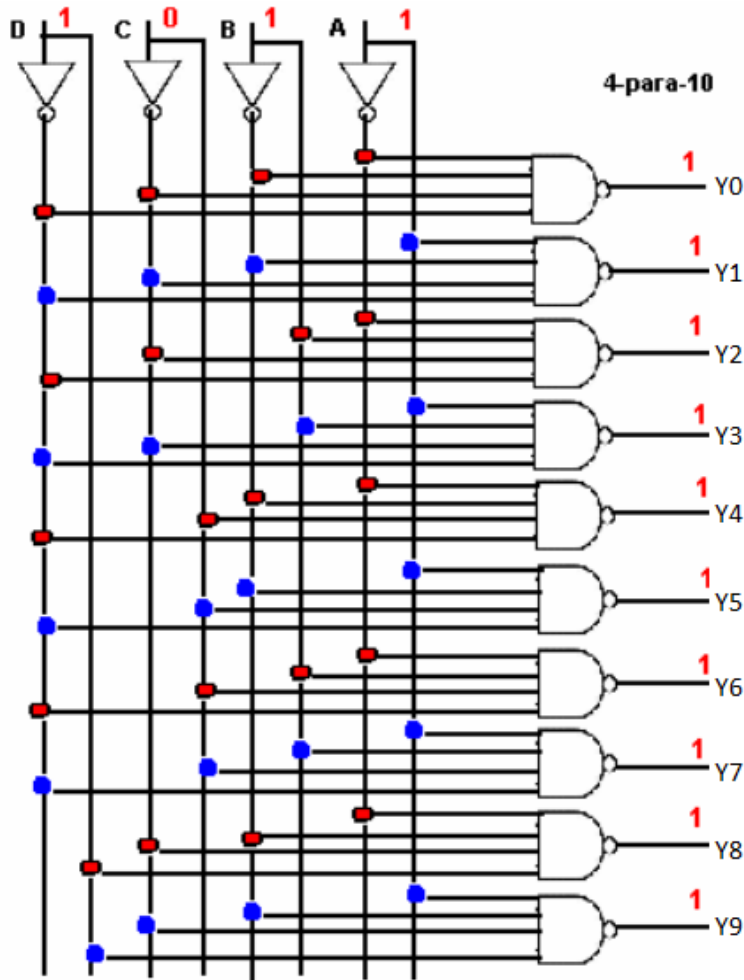
Entradas: D C B A (D é o bit + significativo)
Saídas: Y0 a Y9 (dez saídas)

7442 : DECODIFICADOR 4 para 10



Entradas: D='1' C='0' B='0' A='0' (D é o bit + significativo) → Entrada =(1000)_b = 8
 Saídas: Y0 a Y9 (dez saídas) → Y8='0' é selecionada e as demais são ='1'

7442 : DECODIFICADOR 4 para 10



Entradas: D C B A = (1011)_b = 11 em decimal

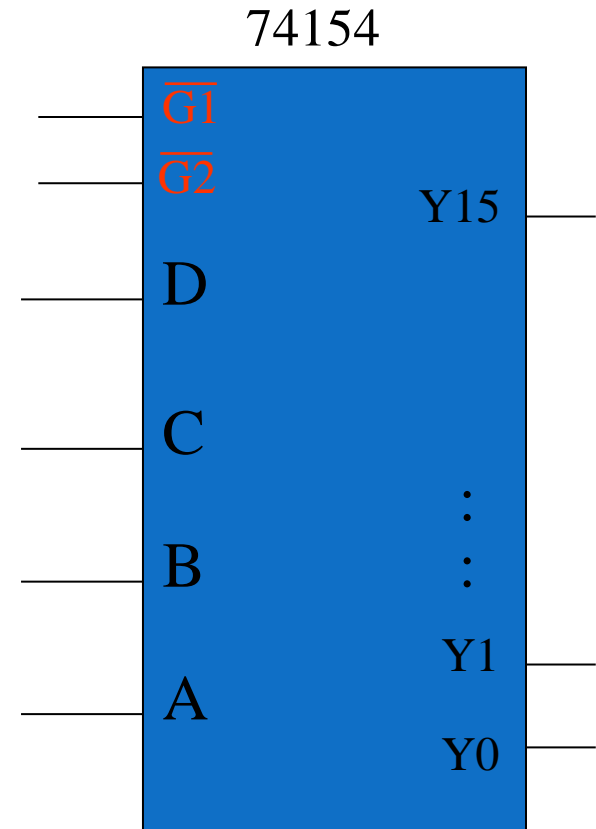
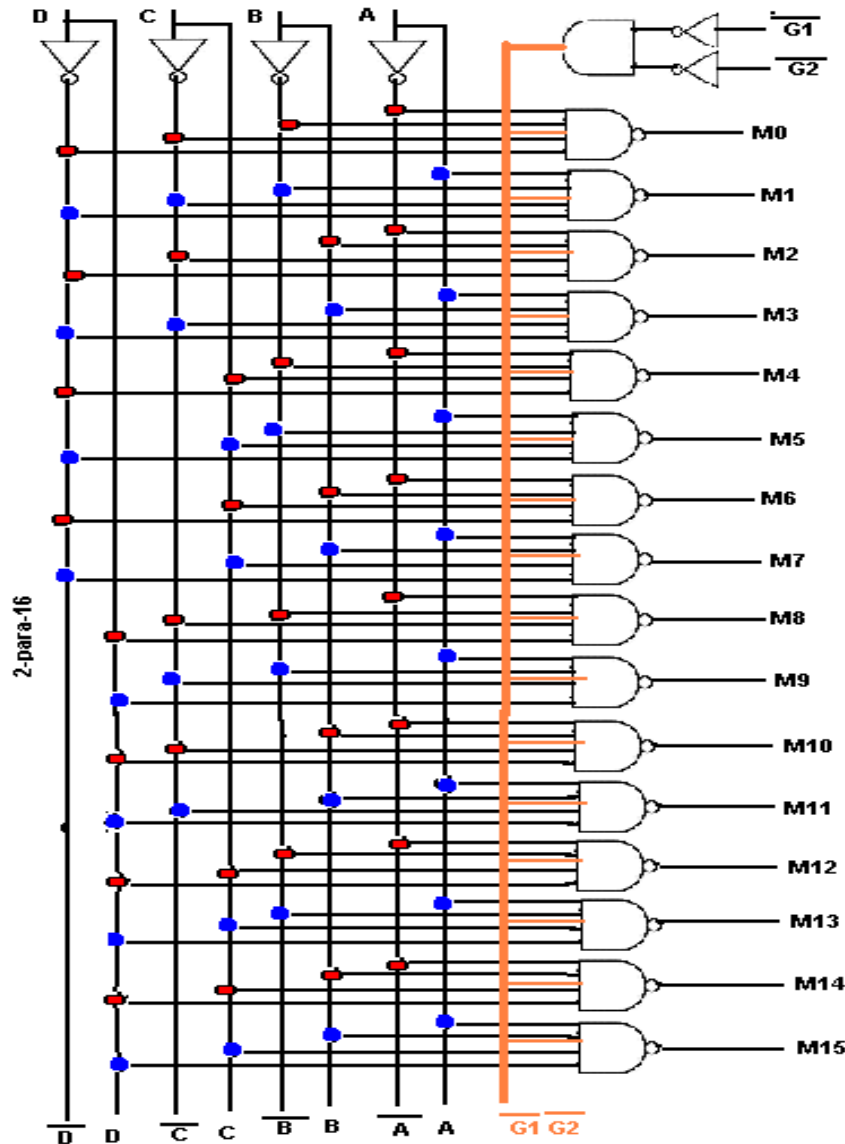
Saídas: Y0 a Y9 (dez saídas) nenhuma saída é selecionada, todas serão = '1'

74154 : DECODIFICADOR DE 4 para 16

TABELA DE 4-para-16		Entradas				Saídas																
G1	G2	D	C	B	A	M0	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13	M14	M15	
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H = nível alto = 1																						
L = nível baixo = 0																						
X = irrelevante																						

G1 e G2: entradas para habilitar ou desabilitar o chip

74154 : DECODIFICADOR 4 para 16



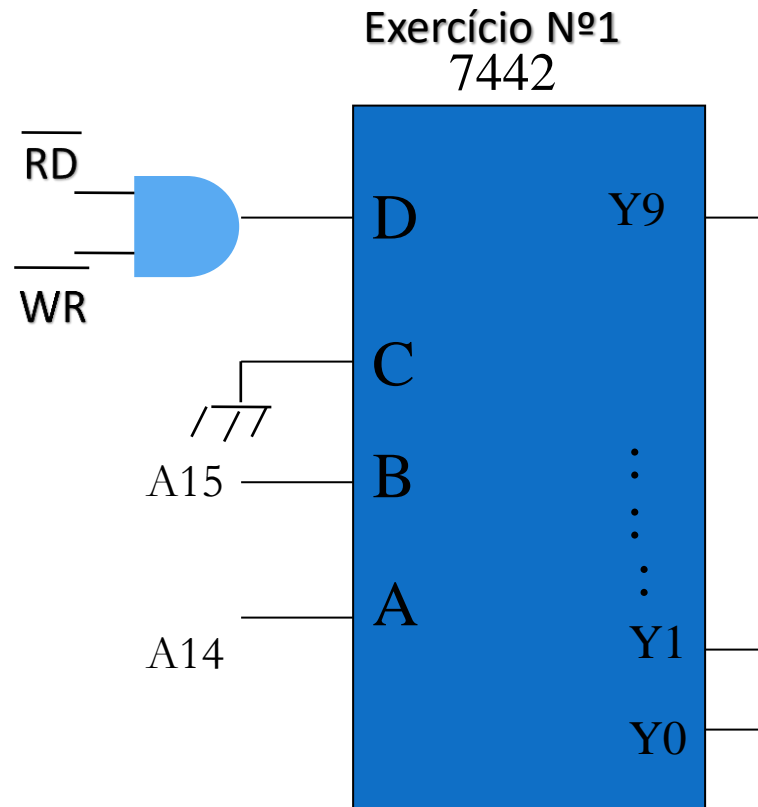
D é o bit + significativo das entradas D C B A

EXERCÍCIOS COM DECODIFICADORES:

Para um microprocessador de 64Kx8 (16 linhas de endereços e 8 de dados)

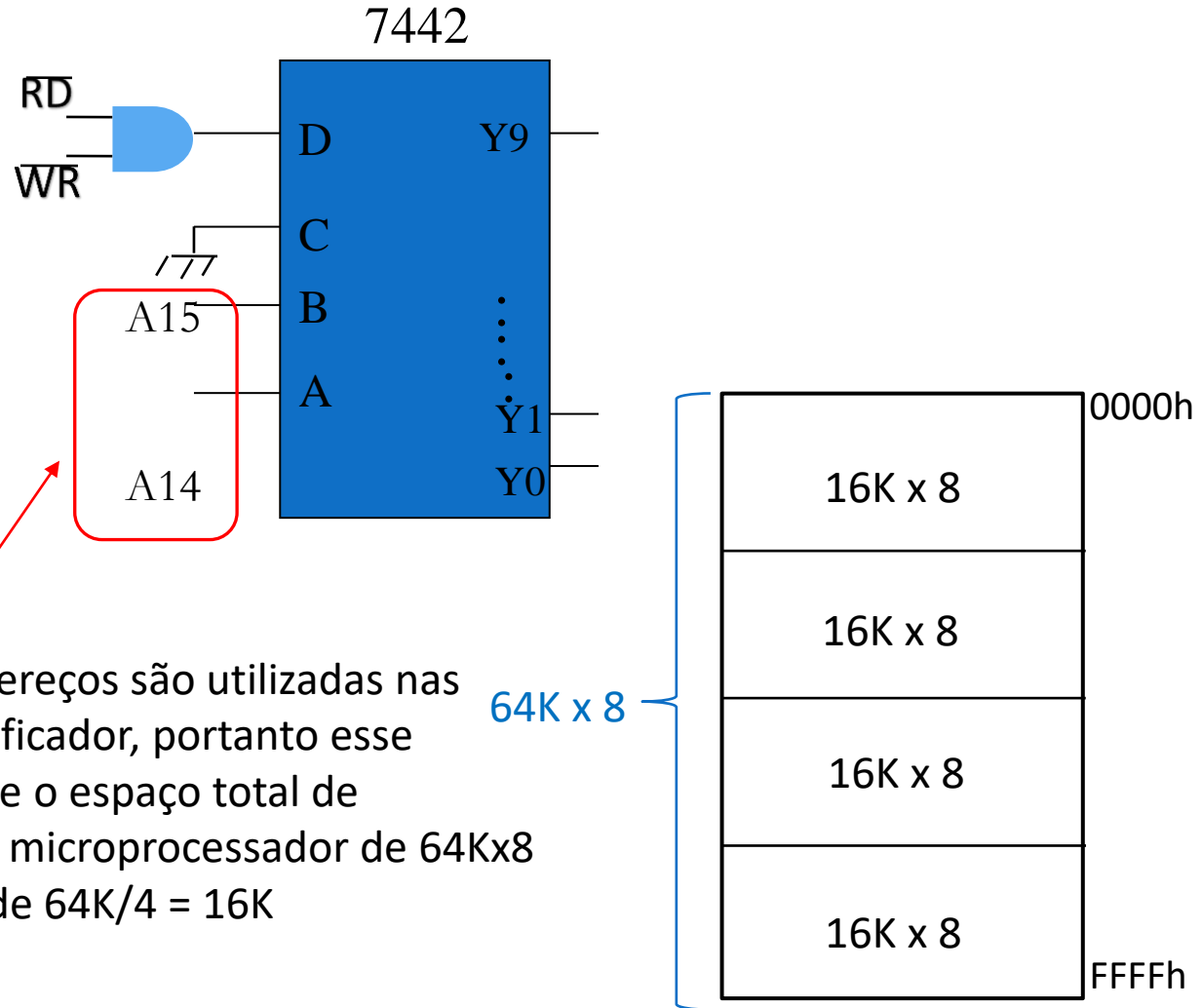
Quais são as saídas do 7442 podem ser usadas como sinal de seleção /CS, sabendo-se que as linhas de endereço devem estar sincronizadas com os sinais /WR e /RD?

Obs: Se /RD = '0' então /WR = '1' e qdo /RD = '1' então /WR = '0'



Resolução do Exercício N°1

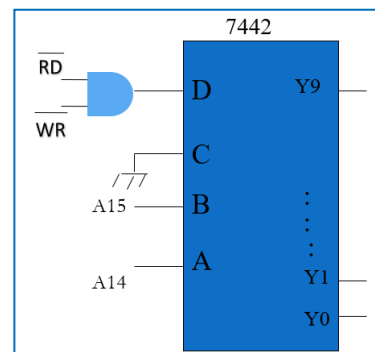
Associando faixas de endereço às saídas do decodificador



Resolução do Exercício N°1

Associando faixas de endereço às saídas do decodificador

D	C	B	A	S
0	0	0	0	Y0
0	0	0	1	Y1
0	0	1	0	Y2
0	0	1	1	Y3

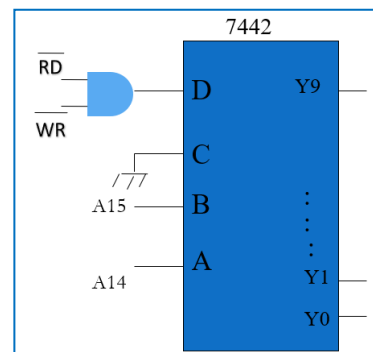


Valor dos bits de seleção (A15 e A14)		A15	A14	A13.....	A1	A0
Saída Y0	endereço inicial: 0000h	0	0	0000	0000	0000
	endereço final : 3FFFh	0	0	1111	1111	1111
Saída Y1	endereço inicial: 4000h	0	1	0000	0000	0000
	endereço final: 7FFFh	0	1	1111	1111	1111
saída Y2	endereço inicial: 8000h	1	0	0000	0000	0000
	endereço final : BFFFh	1	0	1111	1111	1111
Saída Y3	endereço inicial: C000h	1	1	0000	0000	0000
	endereço final : FFFFh	1	1	1111	1111	1111

Resolução do Exercício Nº1

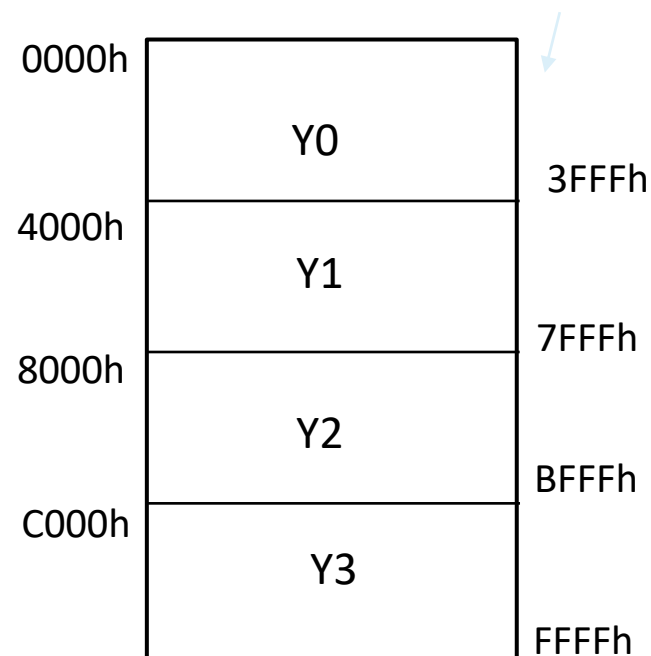
Associando faixas de endereço às saídas do decodificador

D	C	B	A	S
0	0	0	0	Y0
0	0	0	1	Y1
0	0	1	0	Y2
0	0	1	1	Y3



Valor dos bits de seleção (A15 e A14)

Saída Y0	endereço inicial: 0000h endereço final : 3FFFh
Saída Y1	endereço inicial: 4000h endereço final: 7FFFh
saída Y2	endereço inicial: 8000h endereço final : BFFFh
Saída Y3	endereço inicial: C000h endereço final : FFFFh



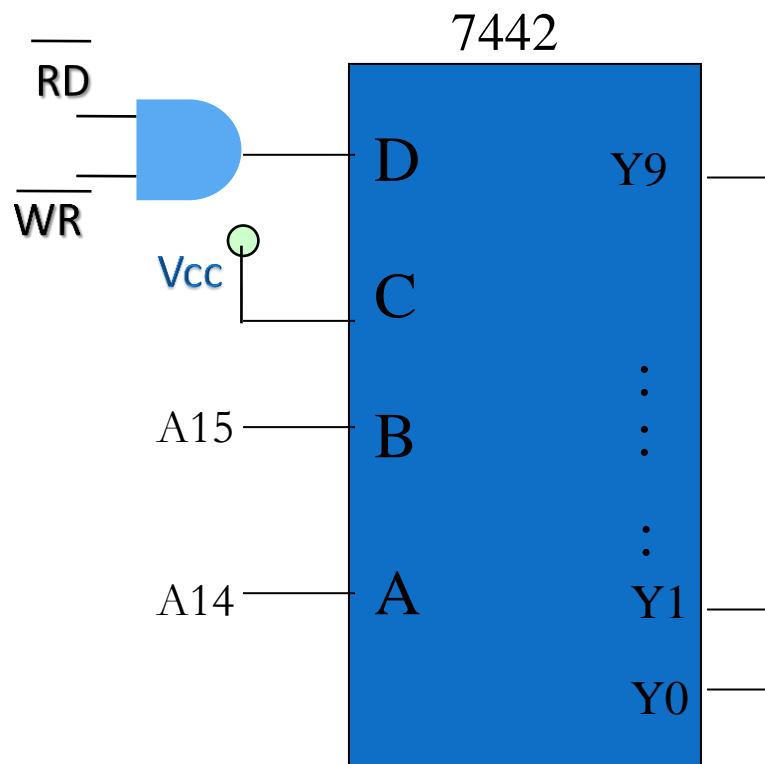
EXERCÍCIOS COM DECODIFICADORES:

Para um microprocessador de 64Kx8 (16 linhas de endereços e 8 de dados)

Quais são as saídas do 7442 podem ser usadas como sinal de seleção /CS, sabendo-se que as linhas de endereço devem estar sincronizadas com os sinais /WR e /RD?

Obs: Se /RD = '0' então /WR = '1' e qdo /RD = '1' então /WR = '0'

Exercício Nº2

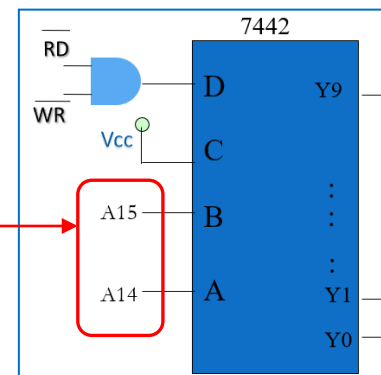


Resolução do Exercício Nº2

Associando faixas de endereço às saídas do decodificador

D	C	B	A	S
0	1	0	0	Y4
0	1	0	1	Y5
0	1	1	0	Y6
0	1	1	1	Y7

2 linhas de endereços; espaço total de endereçamento dividido em 4

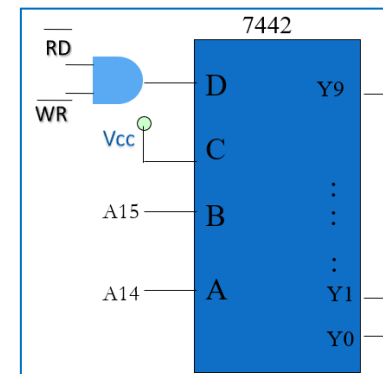


Valor dos bits de seleção (A15 e A14)		A15	A14	A13.....	A1	A0
Saída Y4	endereço inicial: 0000h →	0	0	0000 0000 0000	0000	0000
	endereço final : 3FFFh →	0	0	1111 1111 1111	1111	1111
Saída Y5	endereço inicial: 4000h →	0	1	0000 0000 0000	0000	0000
	endereço final: 7FFF h →	0	1	1111 1111 1111	1111	1111
saída Y6	endereço inicial: 8000h →	1	0	0000 0000 0000	0000	0000
	endereço final : BFFFh →	1	0	1111 1111 1111	1111	1111
Saída Y7	endereço inicial: C000h →	1	1	0000 0000 0000	0000	0000
	endereço final : FFFFh →	1	1	1111 1111 1111	1111	1111

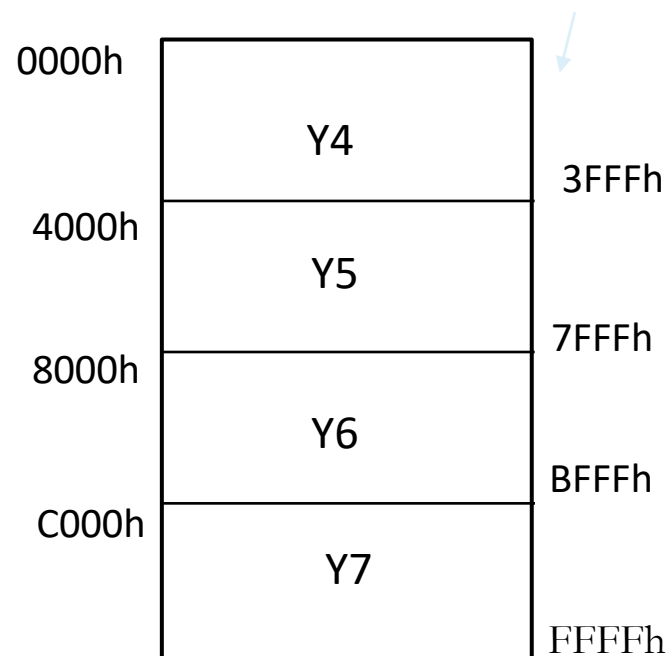
Resolução do Exercício N°2

Associando faixas de endereço às saídas do decodificador

D	C	B	A	S
0	1	0	0	Y4
0	1	0	1	Y5
0	1	1	0	Y6
0	1	1	1	Y7

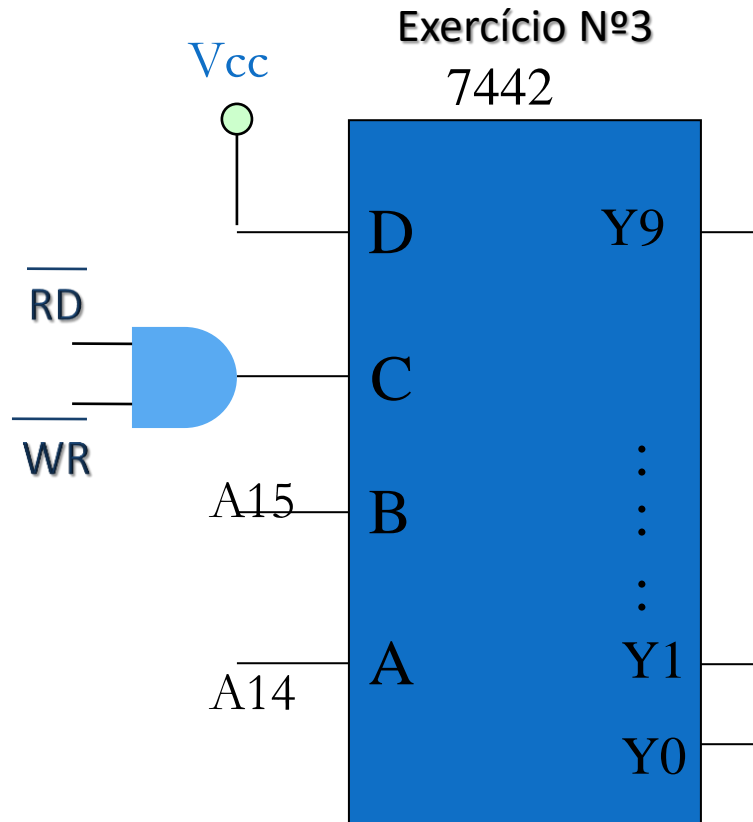


Valor dos bits de seleção (A15 e A14)	
Saída Y4	endereço inicial: 0000h endereço final : 3FFFh
Saída Y5	endereço inicial: 4000h endereço final: 7FFFh
saída Y6	endereço inicial: 8000h endereço final : BFFFh
Saída Y7	endereço inicial: C000h endereço final : FFFFh



EXERCÍCIOS COM DECODIFICADORES:

Para um microprocessador de 64Kx8 (16 linhas de endereços e 8 de dados) quais saídas do decodificadores que podem estar ativas?

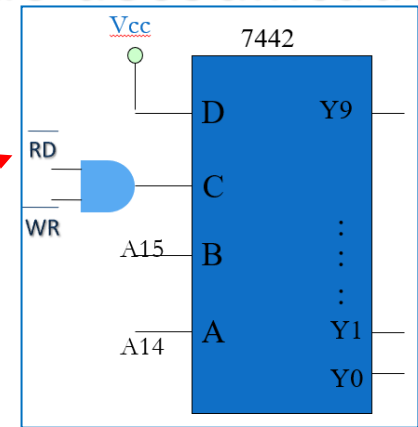


Resolução do Exercício N°3

Associando faixas de endereço às saídas do decodificador

D	C	B	A	S
1	0	0	0	Y8
1	0	0	1	Y9
1	0	1	0	X
1	0	1	1	X

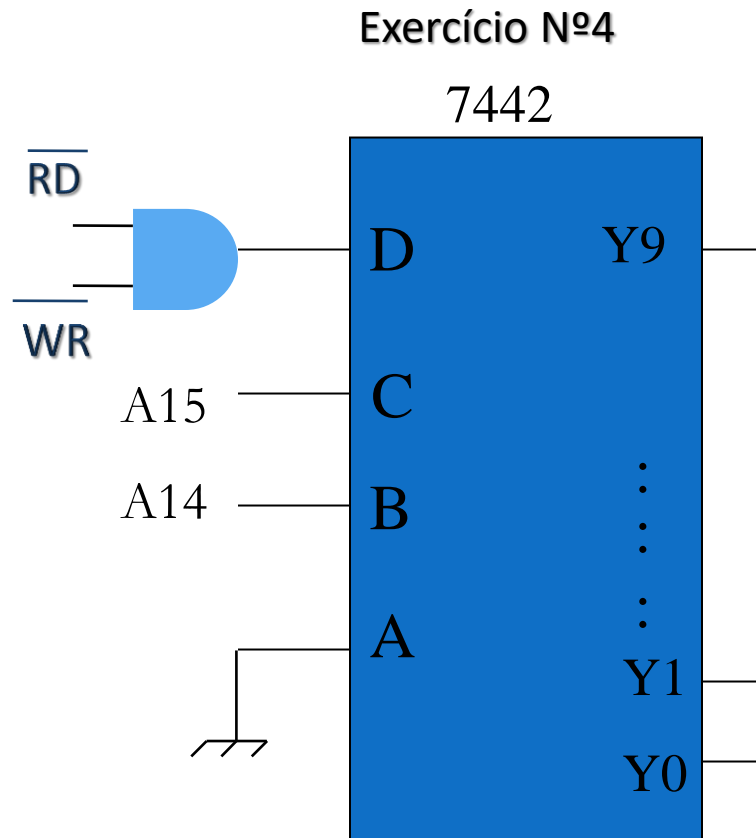
Problema nesse circuito



Valor dos bits de seleção (A15 e A14)		A15	A14	A13.....	A1	A0
Saída Y8	endereço inicial: 0000h	0	0	0000	0000	0000
	endereço final : 3FFFh	0	0	1111	1111	1111
Saída Y9	endereço inicial: 4000h	0	1	0000	0000	0000
	endereço final: 7FFFh	0	1	1111	1111	1111
não será selecionado	endereço inicial: 8000h	1	0	0000	0000	0000
	endereço final : BFFFh	1	0	1111	1111	1111
não será selecionado	endereço inicial: C000h	1	1	0000	0000	0000
	endereço final : FFFFh	1	1	1111	1111	1111

EXERCÍCIOS COM DECODIFICADORES:

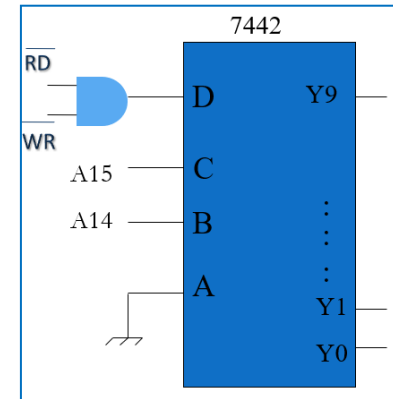
Para um microprocessador de 64Kx8 (16 linhas de endereços e 8 de dados) quais saídas do decodificadores que podem estar ativas?



Resolução do Exercício N^o4

Associando faixas de endereço às saídas do decodificador

D	C	B	A	S
0	0	0	0	Y0
0	0	1	0	Y2
0	1	0	0	Y4
0	1	1	0	Y6

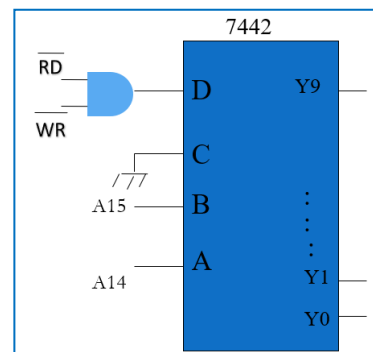


Valor dos bits de seleção (A15 e A14)		A15 A14 A13.....A1 A0
Saída Y0	endereço inicial: 0000h → endereço final : 3FFFh →	0000 0000 0000 0000 0011 1111 1111 1111
Saída Y2	endereço inicial: 4000h → endereço final: 7FFFh: →	0100 0000 0000 0000 0111 1111 1111 1111
saída Y4	endereço inicial: 8000h → endereço final : BFFFh →	1000 0000 0000 0000 1011 1111 1111 1111
Saída Y6	endereço inicial: C000h → endereço final : FFFFh →	1100 0000 0000 0000 1111 1111 1111 1111

Resolução do Exercício N°4

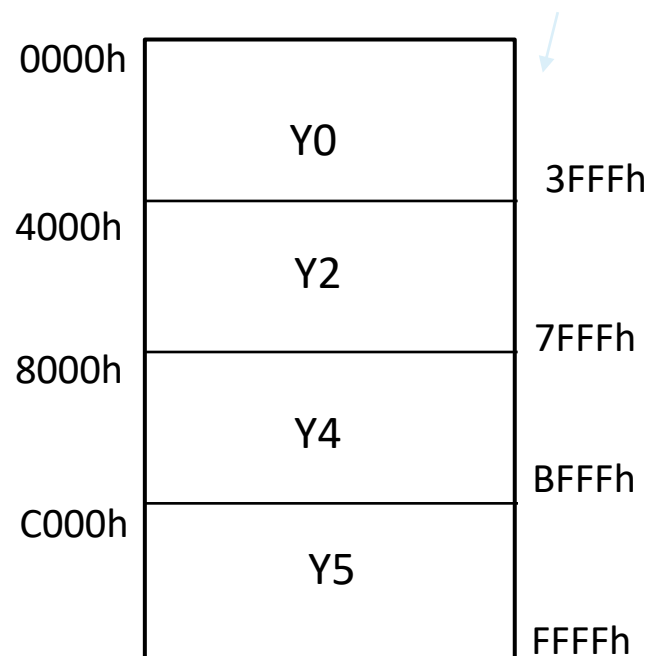
Associando faixas de endereço às saídas do decodificador

D	C	B	A	S
0	0	0	0	Y0
0	0	1	0	Y2
0	1	0	0	Y4
0	1	1	0	Y6



Valor dos bits de seleção (A15 e A14)

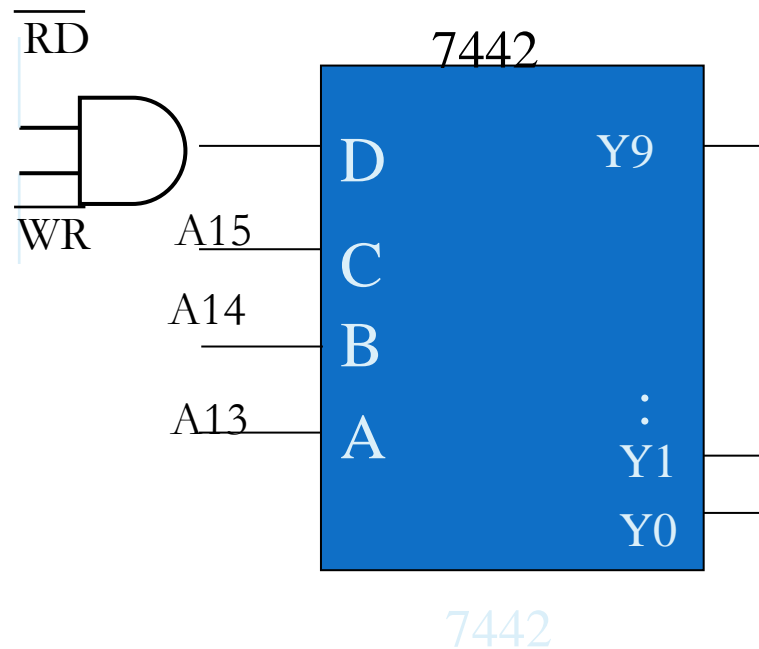
Saída Y0	endereço inicial: 0000h endereço final : 3FFFh
Saída Y2	endereço inicial: 4000h endereço final: 7FFFh
saída Y4	endereço inicial: 8000h endereço final : BFFFh
Saída Y5	endereço inicial: C000h endereço final : FFFFh



Exercícios com decodificadores

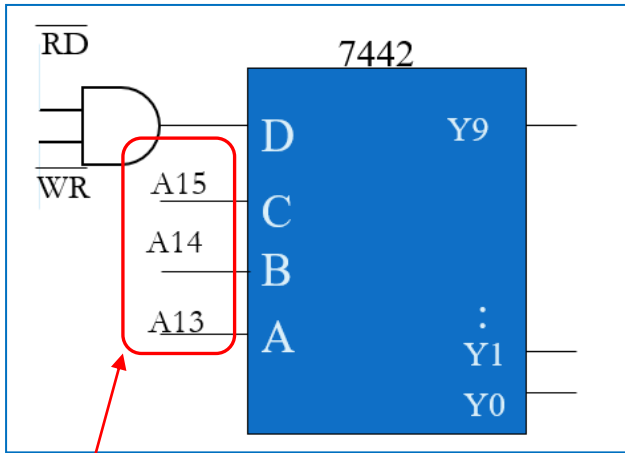
Para um microprocessador de 64Kx8 (16 linhas de endereços e 8 de dados)
Quais saídas do decodificador que podem estar ativas?

Exercício Nº 5

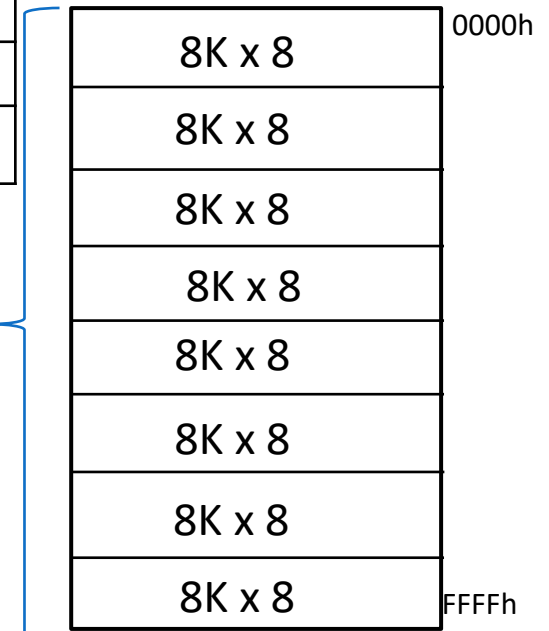


Resolução do Exercício Nº5

Associando faixas de endereço às saídas do decodificador



	A15	A14	A13	
D	C	B	A	S
0	0	0	0	Y0
0	0	0	1	Y1
0	0	1	0	Y2
0	0	1	1	Y3
0	1	0	0	Y4
0	1	0	1	Y5
0	1	1	0	Y6
0	1	1	1	Y7



Tres linhas de endereços são utilizadas nas entradas do decodificador, portanto esse decodificador divide o espaço total de Endereçamento do microprocessador de 64Kx8 em $2^3 = 8$ espaços de $64K/8 = 8K$

64K x 8

Resolução do Exercício Nº5 (continuação)

Associando faixas de endereço às saídas do decodificador

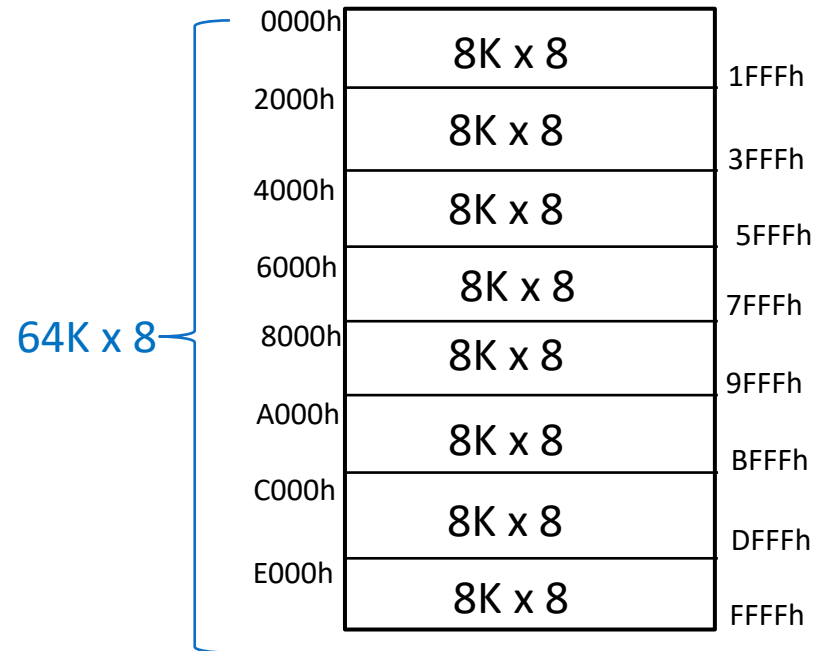
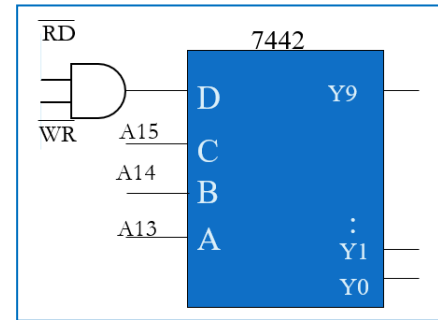
Valor dos bits de seleção(A15, A14 e A13)		A15 A14 A13.....A1 A0
Saída Y0	endereço inicial: 0000h	0000 0000 0000 0000
	endereço final: 1FFFh	0001 1111 1111 1111
Saída Y1	endereço inicial: 2000h	0010 0000 0000 0000
	endereço final: 3FFFh	0011 1111 1111 1111
Saída Y2	endereço inicial: 4000h	0100 0000 0000 0000
	endereço final: 5FFFh	0101 1111 1111 1111
Saída Y3	endereço inicial: 6000h	0110 0000 0000 0000
	endereço final: 7FFFh	0111 1111 1111 1111
Saída Y4	endereço inicial: 8000h	1000 0000 0000 0000
	endereço final: 9FFFh	1001 1111 1111 1111
Saída Y5	endereço inicial: A000h	1010 0000 0000 0000
	endereço final: BFFFh	1011 1111 1111 1111
Saída Y6	endereço inicial: C000h	1100 0000 0000 0000
	endereço final: DFFFh	1101 1111 1111 1111
Saída Y7	endereço inicial: E000h	1110 0000 0000 0000
	endereço final: FFFFh	1111 1111 1111 1111

	A15	A14	A13	
D	C	B	A	S
0	0	0	0	Y0
0	0	0	1	Y1
0	0	1	0	Y2
0	0	1	1	Y3
0	1	0	0	Y4
0	1	0	1	Y5
0	1	1	0	Y6
0	1	1	1	Y7

Resolução do Exercício Nº5

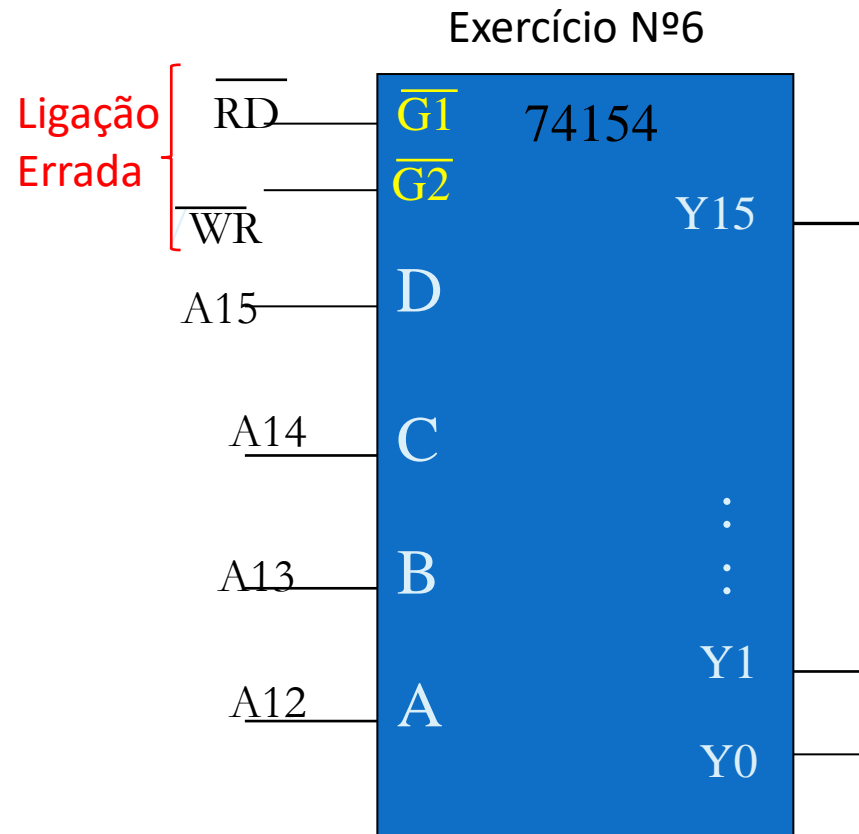
Associando faixas de endereço às saídas do decodificador

Valor dos bits de seleção(A15, A14 e A13)	
Saída Y0	endereço inicial: 0000h
	endereço final: 1FFFh
Saída Y1	endereço inicial: 2000h
	endereço final: 3FFFh
Saída Y2	endereço inicial: 4000h
	endereço final: 5FFFh
Saída Y3	endereço inicial: 6000h
	endereço final: 7FFFh
Saída Y4	endereço inicial: 8000h
	endereço final: 9FFFh
Saída Y5	endereço inicial: A000h
	endereço final: BFFFh
Saída Y6	endereço inicial: C000h
	endereço final: DFFFh
Saída Y7	endereço inicial: E000h
	endereço final: FFFFh



Exercícios com decodificadores

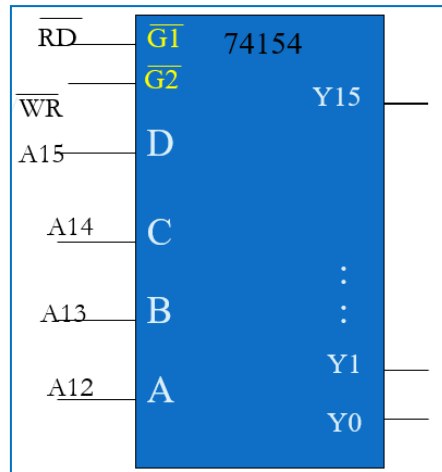
Para um microprocessador de 64Kx8 (16 linhas de endereços e 8 de dados)
Quais saídas do decodificadores que podem estar ativas?



74154

Resolução do Exercício N°6

Associando faixas de endereço às saídas do decodificador

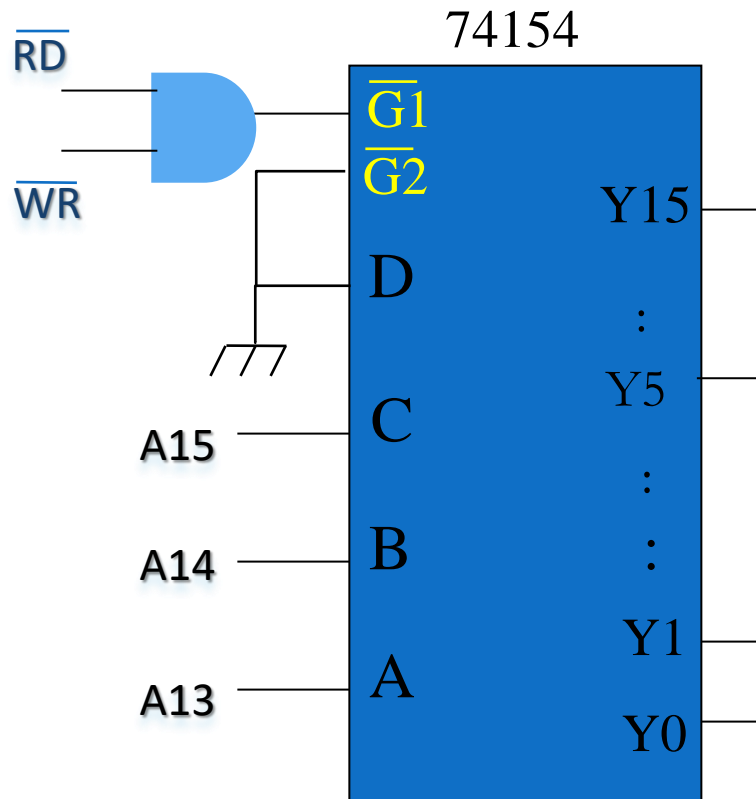


Resposta: nenhuma saída ficará ativa, pois o microprocessador para acessar memórias ou dispositivos de I/O, se for fazer leitura coloca $RD = '0'$ e $WR = '1'$, e se for fazer escrita coloca $WR = '0'$ e $RD = '1'$, portanto nunca acontecerá $\overline{G1} = \overline{G2} = '0'$ que é a condição para habilitar as saídas do decodificador 74154

EXERCÍCIOS COM DECODIFICADORES:

Exercício Nº7 Para um microprocessador de 64Kx8 (16 linhas de endereços e 8 de dados):

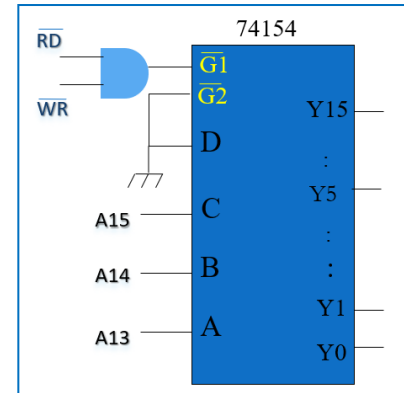
- Qual o valor de A15, A14 e A13 para a saída Y5
- Qual a saída do decodificador que contém o endereço DFFFh



EXERCÍCIOS COM DECODIFICADORES: (continuação)

Resposta Exercício Nº7: a. Qual o valor de A15, A14 e A13 para a saída Y5
 b. Qual a saída do decodificador que contém o endereço DFFFh

D	C	B	A	S
	A15	A14	A13	
0	0	0	0	Y0
0	0	0	1	Y1
0	0	1	0	Y2
0	0	1	1	Y3
0	1	0	0	Y4
0	1	0	1	Y5
0	1	1	0	Y6
0	1	1	1	Y7



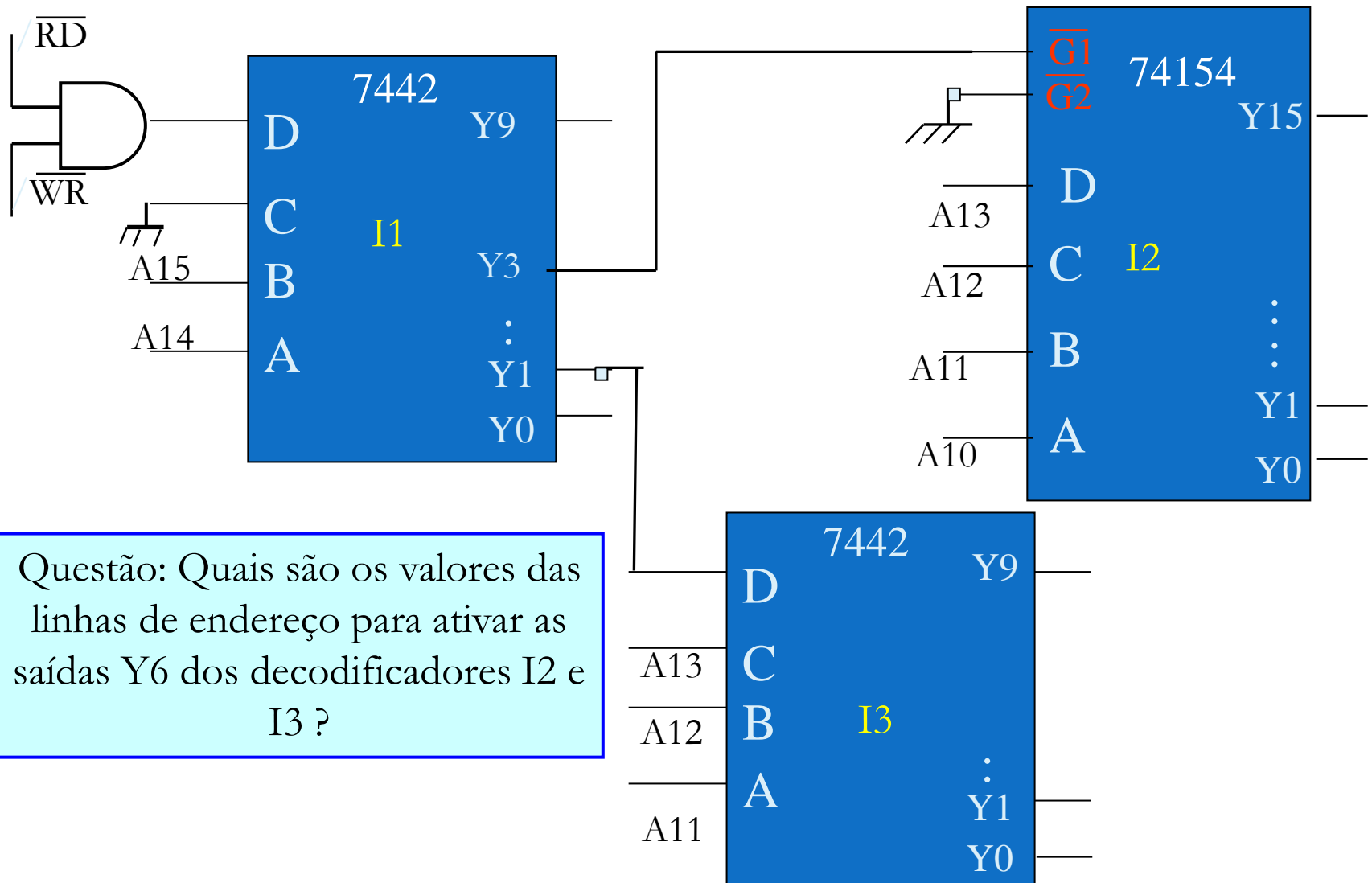
Respostas: a) saída Y5 A15='1' A14='0' e A13='1'

b)

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	DFFFh

Exercícios com decodificadores

Exercício Nº8 : Para um microprocessador de 64Kx8 (16 linhas de endereços e 8 de dados)



Questão: Quais são os valores das linhas de endereço para ativar as saídas Y6 dos decodificadores I2 e I3 ?

Resposta do Exercício 8

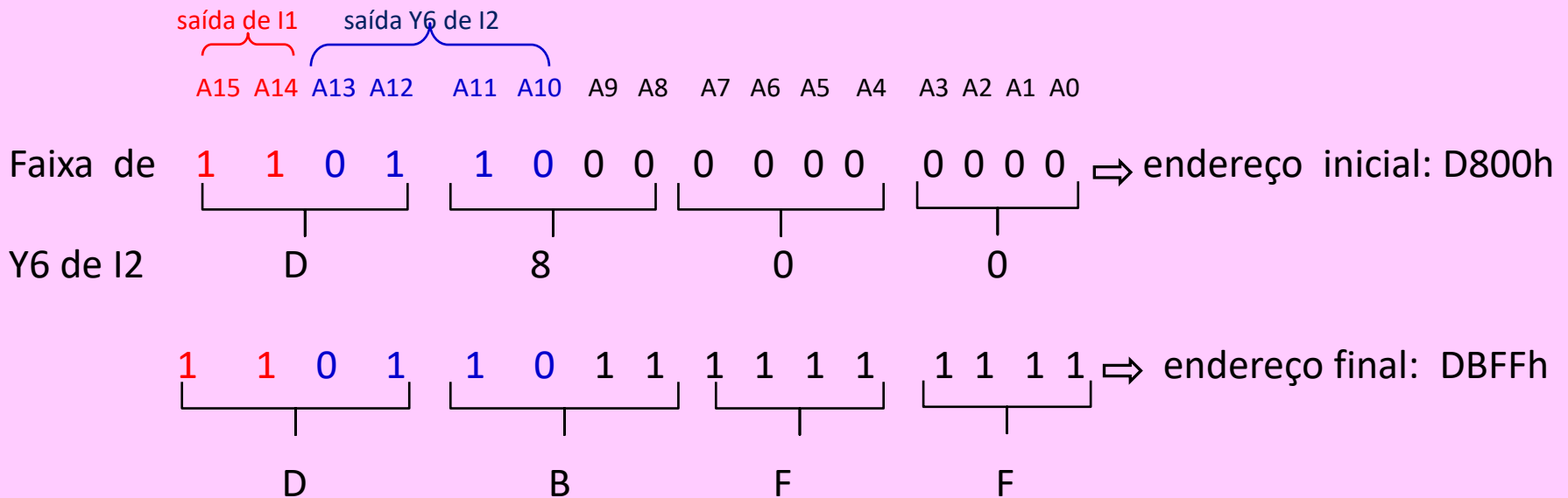
O decodificador I1 é o decodificador mestre e apresenta 4 saídas ativas, pois tem nas suas entradas apenas duas entradas de endereços A15 e A14 $\Leftrightarrow 2^2 = 4$, portanto 4 saídas ativas

Valor dos bits de seleção (A15 e A14)		A15	A14	A13.....	A1	A0
Saída Y0	endereço inicial: 0000h	→	0	000	0000	0000
	endereço final : 3FFFh	→	0	111	1111	1111
Saída Y1	endereço inicial: 4000h	→	0	100	0000	0000
	endereço final: 7FFFh	→	0	111	1111	1111
Saída Y2	endereço inicial: 8000h	→	1	000	0000	0000
	endereço final : BFFFh	→	1	011	1111	1111
Saída Y3	endereço inicial: C000h	→	1	100	0000	0000
	endereço final : FFFFh	→	1	111	1111	1111

O decodificador I2 está ligado na saída Y3 de I1 , então redivide a faixa C000h a FFFFh
 O decodificador I3 está ligado na saída Y1 de I1 , então redivide a faixa 0000h a 3FFFh

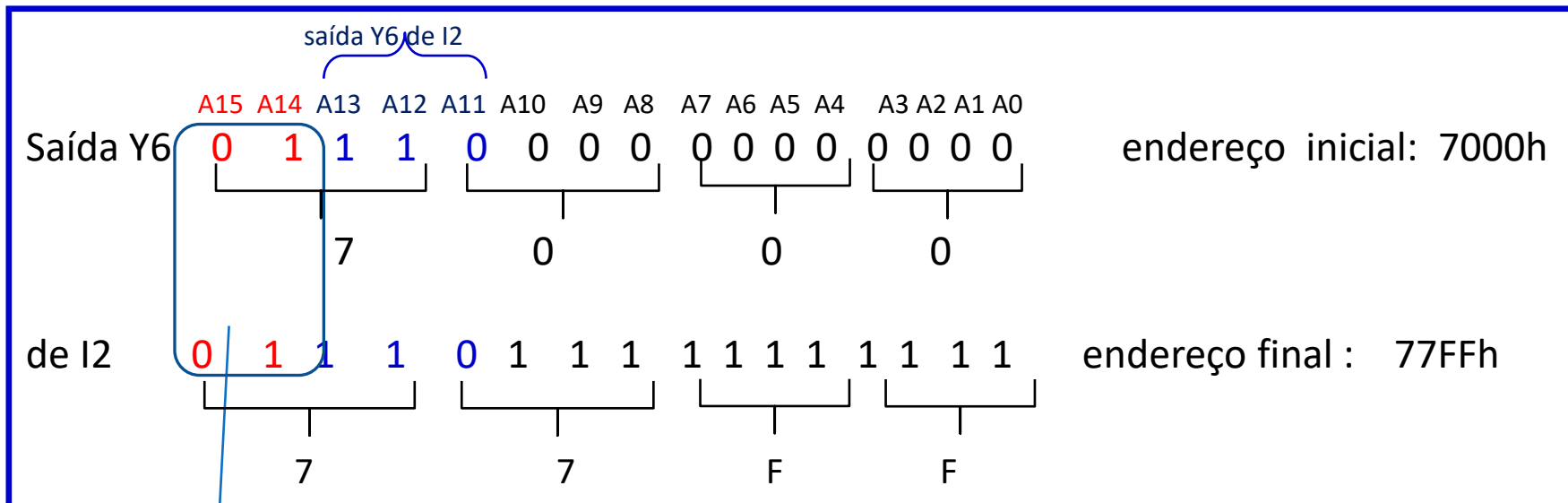
Resposta do Exercício 8 (continuação)

Decodificador I2 está na faixa de endereço da saída Y3 de I1 (C000h – FFFFh) e I2 possui 4 entradas de endereços (A13, A12, A11, A10) ligadas às entradas do decodificador 74154 que é um decodificador de 4x16, portanto apresenta 16 saídas ativas (de Y0 a Y15), pois $2^4 = 16$. A saída Y6 de I2 está ativa quando $A13 A12 A11 A10 = (0110)$.



Resposta do Exercício 8 (continuação)

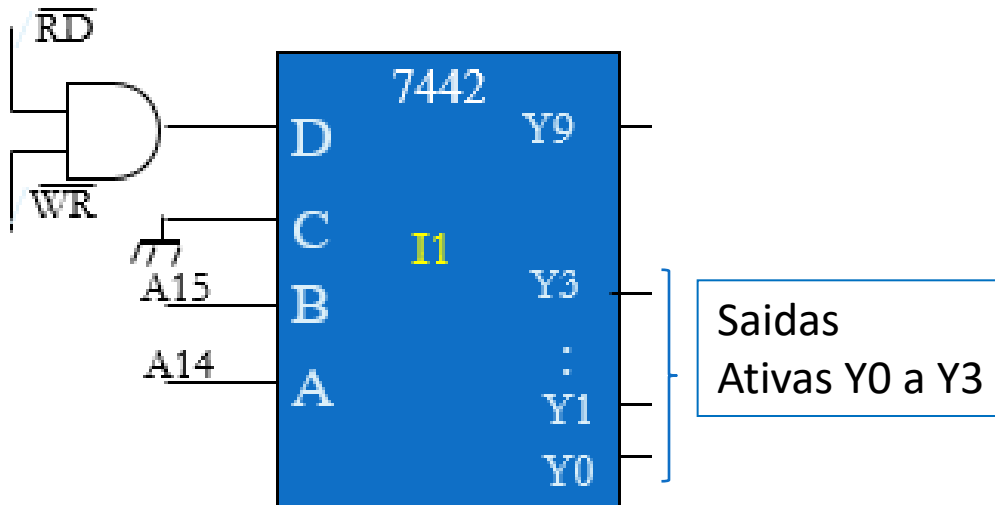
Decodificador I3 está na faixa de endereço da saída Y1 de I1 (4000h – 7FFFh) e I3 possui 3 entradas de endereços (A13, A12, A11) ligadas às entradas do decodificador 7442 que é um decodificador de 4x9, portanto apresenta 8 saídas ativas (de Y0 a Y7), pois $2^3 = 8$. A saída Y6 de I3 está ativa quando A13 A12 A11 = (110).



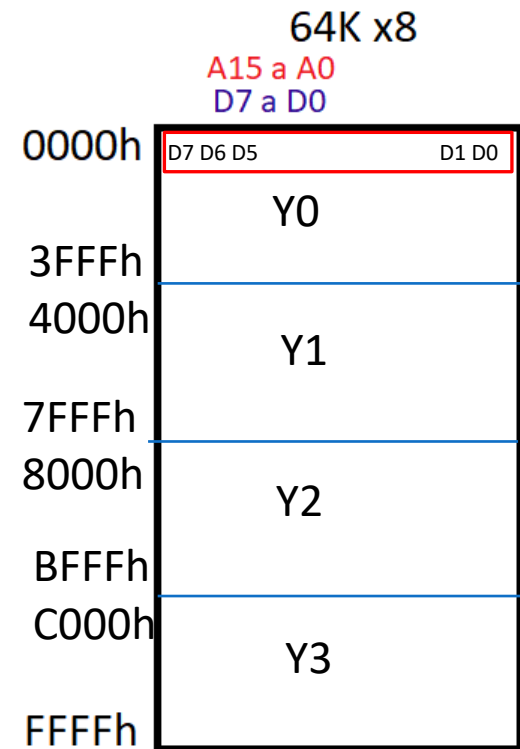
Valores das entradas
A15 e A14 que
selecionam o
decodificador I3

Resposta do Exercício 8 (continuação)

Divisão do espaço de mapeamento do microprocessador pelos decodificadores

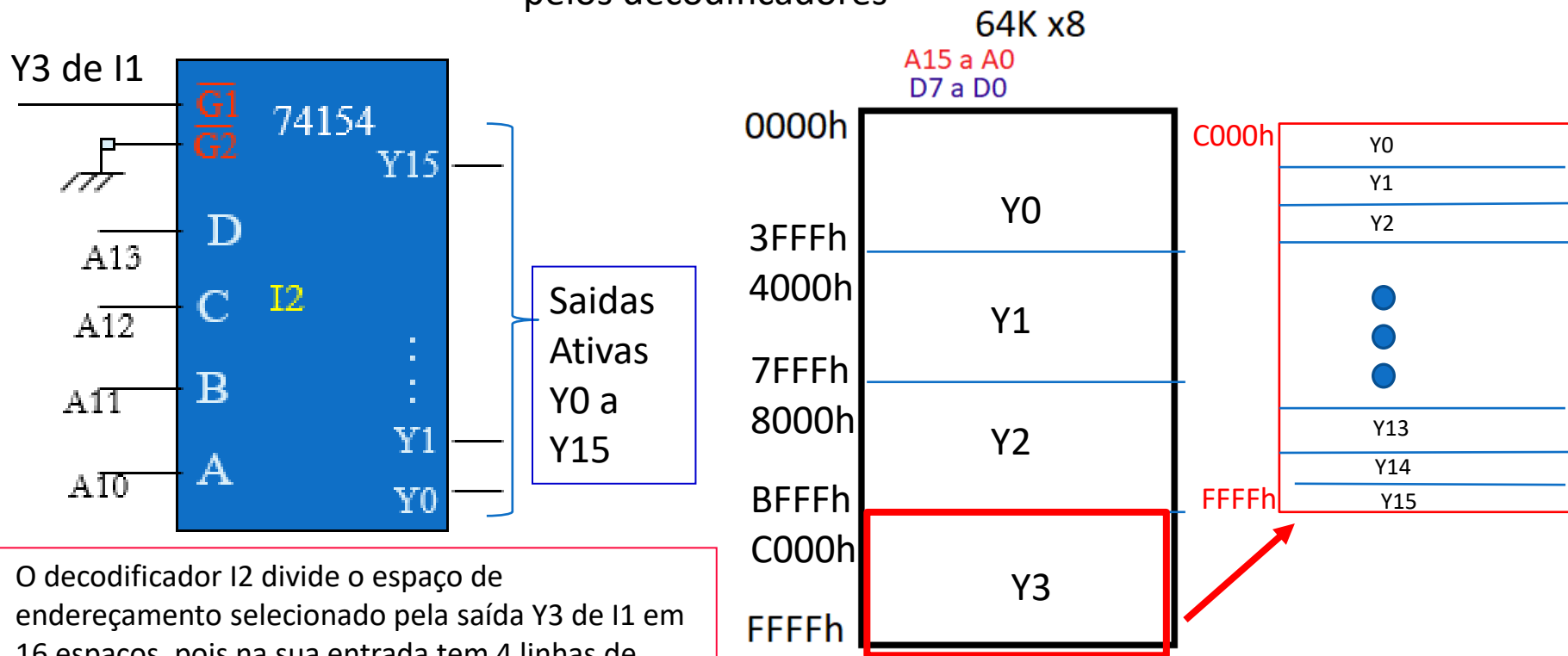


O decodificador I1 divide o espaço total de endereçamento de 64Kx8 porque é o decodificador mestre e nele está ligado o bit mais significativos do endereçamento (A15)



Resposta do Exercício 8 (continuação)

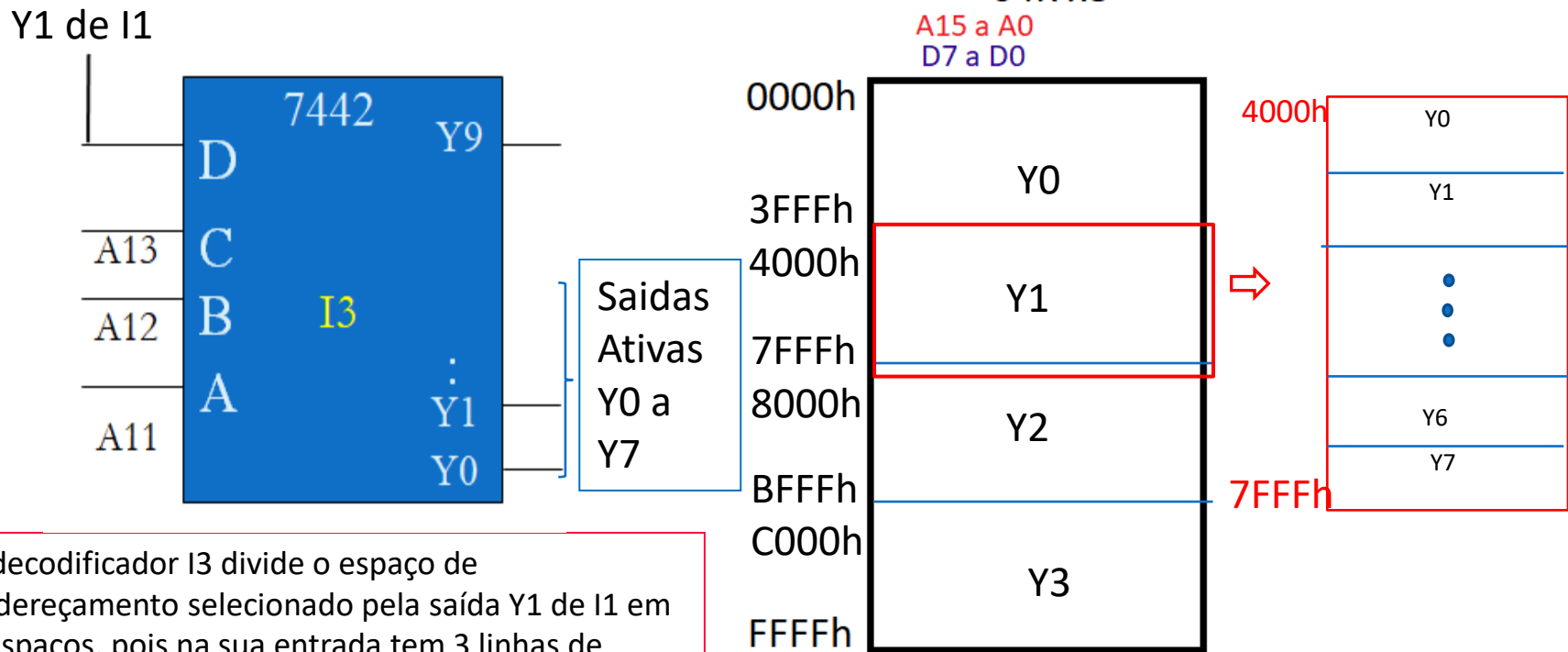
Divisão do espaço de mapeamento do microprocessador pelos decodificadores



O decodificador I2 divide o espaço de endereçamento selecionado pela saída Y3 de I1 em 16 espaços, pois na sua entrada tem 4 linhas de endereços (A13, A12, A11, A10) $\Rightarrow 2^4 = 16$

Resposta do Exercício 8 (continuação)

Divisão do espaço de mapeamento do microprocessador
pelos decodificadores



O decodificador I3 divide o espaço de endereçamento selecionado pela saída Y1 de I1 em 8 espaços, pois na sua entrada tem 3 linhas de endereços (A13, A12, A11) $\Rightarrow 2^3 = 8$

EXERCÍCIO PROPOSTO

Exercício Nº9: Para um microprocessador de 64Kx8 (16 linhas de endereços e 8 de dados):

- Qual é o decodificador mestre?
- Quais os valores de A15, A14 e A13 que selecionam o decodificador 2 ?
- Qual a faixa de endereço que é selecionada pelo decodificador 2 ?
- Quais saídas do decodificador 3 que podem ser selecionadas quando a saída Y3 do decodificador 1 está ativa?
- Qual a faixa de endereços que o decodificador 3 seleciona?
- Para a saída Y6 dos decodificadores 2 e 3, quais são os valores das linhas de endereço para ativar essas saídas?

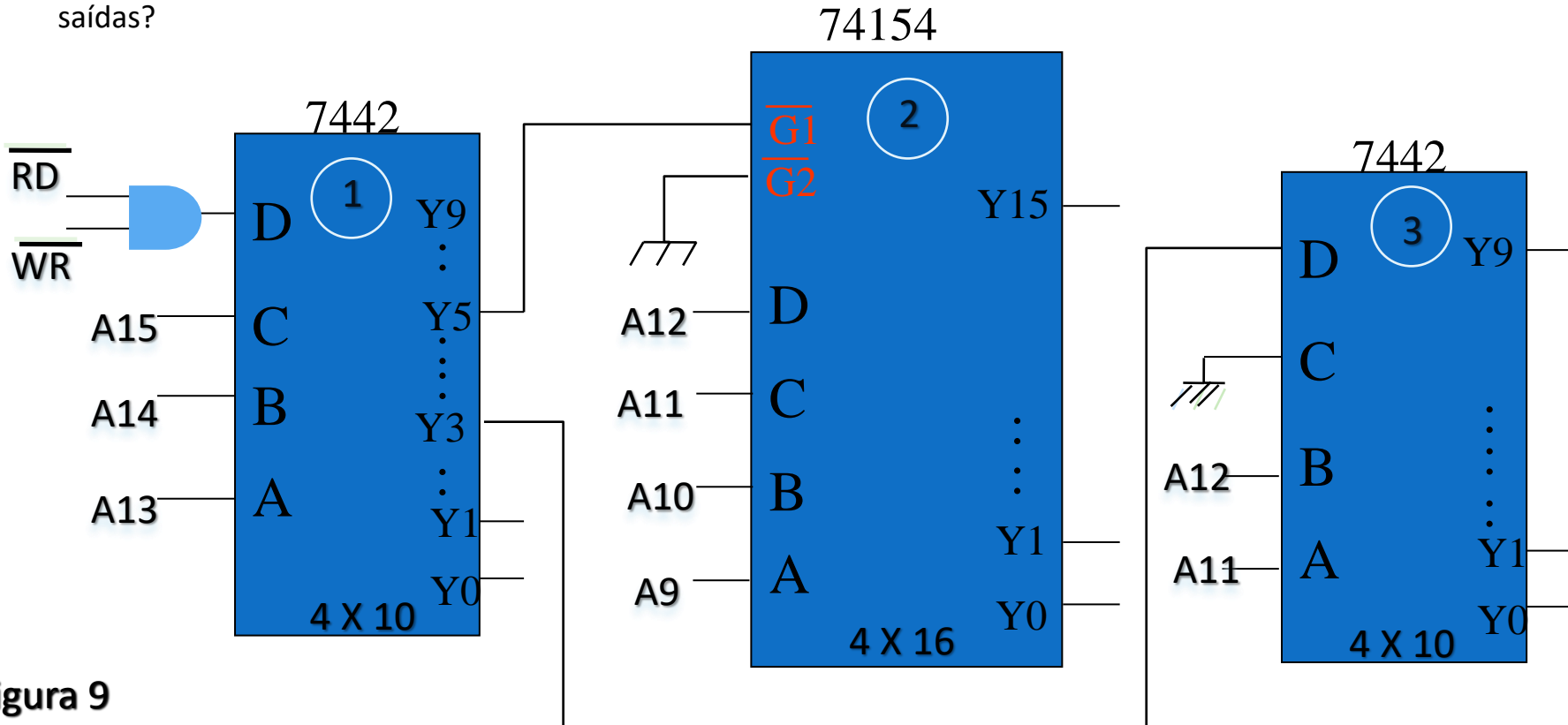


Figura 9

EXERCÍCIO PROPOSTO (continuação):

Resposta Exercício Nº9:

•Qual é o decodificador mestre:

Resp: é o decodificador 1

•Quais os valores de A15, A14 e A13 que selecionam o decodificador 2 ?

Resp: são os valores 101, respectivamente para ativa a saída Y5 do decodificador 1 que está ligada ao decodificador 2

•Qual a faixa de endereço que é selecionada pelo decodificador 2 ?

Resp: É a faixa da saída Y5 do decodificador 1 que é:

A000h a BFFFh

•Quais saídas do decodificador 3 que podem ser selecionadas quando a saída Y3 do decodificador 1 está ativa?

Resp: Nesse circuito de lógica de seleção apenas podem ser ligados dispositivos nas saídas Y0, Y1, Y2 e Y3 do decodificador 3, pois só essas saídas podem estar ativas quando Y3 do decodificador 1 estiver ativo (Y3=0), estando este ligado à entrada D do decodificador 3 e a entrada C do decodificador 3 também aterrada, só ativam as saídas de Y0 a Y3 do decodificador 3

•Qual a faixa de endereços que o decodificador 3 seleciona?

Resp: O decodificador 3 seleciona a faixa que é ativada pela saída y3 do decodificador 1, ou seja, 6000h a 7FFFh

•Para a saída Y6 dos decodificadores 2 e 3, quais são os valores das linhas de endereço para ativar essas saídas?

Resp: Y6 do decodificador 2 está ativo na faixa de endereços de AC00h a ADFFh

e Y6 do decodificador 3 nunca estará ativo por nenhum endereço enviado pelo microprocessador

FIM