



# Memória Principal

(Endereçamento/Conceito de Programa Armazenado)



EEL-USP

---

Juliana Aparecida Teixeira Ferreira (6769579)  
 Isaac Willian Moreira Barros (7550316)  
 Marcelo Castilho de Castro (5796324)  
 Vinicius Andrade Bissotto (7693236)  
 Tiago Corrêa de Lima (7963182)

**Computação Aplicada à Engenharia**  
 Professor Claudio Teodoro dos Santos

## Memória principal

---

3

## Medidas de Memória

---

A menor unidade utilizável para representação de informações num computador é o *BIT* . Como este único bit é insuficiente para representar um carácter eles são reunidos em conjuntos de oito. Estes conjuntos de 8 bits recebem a denominação de *BYTE* .

Sobre as informações armazenadas num computador, utiliza-se o termo *byte* , correspondendo a um caractere. Tendo em conta que a unidade *byte* é muito pequena para indicar valores mais extensos, utilizam-se múltiplos do *byte* :

*Kbyte* - Unidade equivalente a 1.024 bytes  
*Mbyte* - Unidade equivalente a 1.024 kbytes  
*Gbytes* - Unidade equivalente a 1.024 Mbytes

4

## Memória RAM

---

É usado para designar uma memória de acesso aleatório, ou seja, uma memória com facilidade de acesso a todos os endereços, no qual o tempo de acesso a qualquer um deles é constante. Os dados neste tipo de memória podem ser lidos, escritos e apagados pelo processador. Quando o computador é ligado, é “carregada” na memória RAM a informação (programas e drivers) necessária ao seu funcionamento.

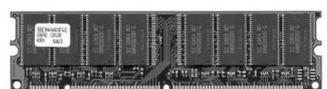
Quanto maior for a memória RAM, mais informações poderá guardar. As memórias RAM sem dividem em dois grandes grupos:

- SDR-SDRAM
- DDR-SDRAM

5

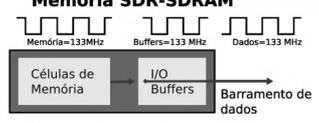
## Memória SDR-SDRAM

---



Embora ainda seja uma memória bastante usada esse modelo está sendo substituído pelos módulos DDR-SDRAM e o hoje seu mercado se restringe a peças de reposição.

**Memória SDR-SDRAM**

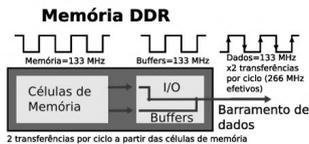


6

## Memória DDR-SDRAM

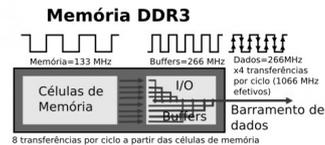
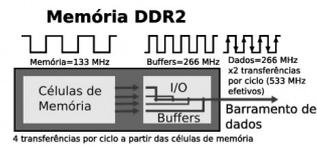


As memórias DDR implementam um novo truque, que as torna capazes de realizarem duas transferências por ciclo e serem quase duas vezes mais rápidas que as memórias SDRAM regulares, mesmo mantendo a mesma frequência de operação e a mesma tecnologia básica. Vem daí o termo "DDR", que significa "Double Data Rate", ou frequência dupla de transferência de dados.



7

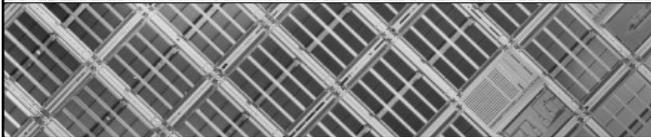
## Memórias DDR2 e DDR3



8

## Endereçamento

Começando do básico, um chip de memória é um exército de clones, formado por um brutal número de células idênticas, organizadas na forma de linhas e colunas, de forma similar a uma planilha eletrônica.

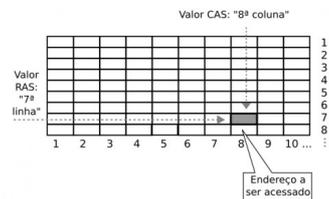


O chip de memória em si serve apenas para armazenar dados, não realiza nenhum tipo de processamento. Por isso, é utilizado um componente adicional, o controlador de memória, que pode ser incluído tanto no chipset da placa-mãe quanto dentro do próprio processador, como no caso dos processadores AMD a partir do Athlon

64 e dos processadores Intel a partir do Core i7.

## Endereçamento

Para acessar um determinado endereço de memória, o controlador primeiro gera o valor RAS (Row Address Strobe), ou o número da linha da qual o endereço faz parte, gerando em seguida o valor CAS (Column Address Strobe), que corresponde à coluna. Quando o RAS é enviado, toda a linha é ativada simultaneamente; depois de um pequeno tempo de espera, o CAS é enviado, fechando o circuito e fazendo com que os dados do endereço selecionado sejam lidos ou gravados:



10

## Memória de Leitura - ROM

A sigla ROM (Read Only Memory) representa uma memória apenas de leitura.

A memória ROM é constituída por três tipos de programas:

- BIOS (Basic Input/Output System) – Conjunto de instruções básicas de software que permite ao processador trabalhar com periféricos básicos.
- POST (Power-On Self Test) – Auto teste de inicialização, realizado sempre que o computador é inicializado.
- SETUP (configuração do sistema) – Programa de configuração do hardware do computador.

11

## Memória de Leitura - ROM

Existem ainda três tipos de memórias ROM segundo a forma de gravação:

- PROM (Programmable Read Only Memory) – A informação só pode gravada uma única vez.
- EPROM (Erasable Programmable ROM) – Pode-se gravar e apagar um determinado número de vezes.
- EEPROM (Electrically EPROM) . Podem ser programadas eletronicamente sem as retirar do seu local na motherboard.

12

## Arquitetura de von Neumann

- O conceito que orienta a maioria das arquiteturas modernas de computadores, creditado em sua maior parte a John von Neumann. O conceito de *programa armazenado* determina que os programas e os dados devem estar em uma memória de acesso direto (memória de acesso aleatório, ou RAM), permitindo que o código e os dados sejam tratados indiferentemente (possibilitando que ambos sejam modificados).
- John Backus, em sua palestra Award 1977 ACM Turing, cunhou o termo "gargalo de von Neumann".

13

## Memória cache

- O processador é muito mais rápido do que a memória RAM. Isso faz com que fique subutilizado quando envia muitos dados. Durante grande parte do tempo não processa nada, só espera que a memória fique pronta para enviar novamente os dados.
- Para fazer com que o processador não fique subutilizado quando envia muitos dados para a RAM, foi colocada uma memória mais rápida, chamada de cache, do tipo SRAM (Static Random Access Memory).
- O dados são lidos da memória RAM e copiados para a memória cache. Estando esses dados na cache, o processador acessá-los mais rapidamente quando necessita.

14

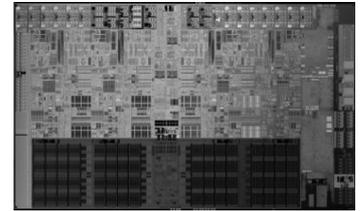
## Memória cache

- Os processadores atuais usam controladores de cache bastante avançados, o que permite que os caches trabalhem com percentagens de acessos surpreendentemente boas considerando o tamanho. Tipicamente, o cache L1 responde por 80% dos acessos, o cache L2 responde por mais 18 ou 19% e a memória RAM responde pelos 1 ou 2% restantes.
- Tomando como exemplo um processador onde o cache L1 trabalha com tempos de acesso de 3 ciclos, o cache L2 trabalha com 15 ciclos e a memória RAM com 140 ciclos e os caches respondem por respectivamente 80% e 19% dos acessos, teríamos a seguinte relação depois de 1 milhão de acessos:  
Cache L1 (80%): 2.400.000 ciclos  
Cache L2 (19%): 2.850.000 ciclos  
Memória (1%): 1.400.000 ciclos  
Total: 6.650.000 ciclos

15

## Memória cache

- A divisão tradicional entre cache L1 e cache L2 funcionou bem durante a fase dos processadores single-core e dual-core. Entretanto, com a introdução dos processadores quad-core passou a fazer mais sentido usar caches L1 e L2 menores e incluir um terceiro nível de cache. Com isso, temos 4 pequenos blocos de cache L1 e L2 (um para cada núcleo) e um grande cache L3 compartilhado entre todos.
- Um bom exemplo é o Core i7 de 45 nm, que usa 64 KB de cache L1 e 256 KB de cache L2 por núcleo e usa um grande cache L3 de 8 MB compartilhado entre todos. Dentro do processador, ele corresponde à área sombreada no diagrama a seguir, novamente uma área considerável:



16

## TLB (Translation lookaside buffer)

- Além dos caches, os processadores incluem também um TLB (Translation lookaside buffer), que armazena endereços de memória, convertendo os endereços lógicos usados pelos aplicativos em execução nos endereços físicos nos chips de memória. O TLB é um circuito bem mais simples que os caches e é posicionados entre o cache L2 (ou L3) e a memória RAM.
- Cada aplicativo (ou mais especificamente cada processo em execução) acha que tem à disposição um bloco contínuo de endereços de memória, enquanto na verdade está utilizando endereços espalhados por vários chips ou mesmo módulos de memória diferentes (ou até memória swap em alguns casos). Com isso, sempre que o processador precisa ler informações diretamente na memória RAM, precisa primeiro converter os endereços usados pelo aplicativo nos endereços físicos da memória onde eles estão armazenados, verificando a entrada correspondente no TLB.
- Sem o TLB, o processador precisaria fazer uma longa busca sequencial, pesquisando uma a uma as páginas de endereços da memória até encontrar os endereços correspondentes (um processo extremamente demorado), antes mesmo de iniciar o acesso propriamente dito.

17

## Obrigado pela atenção!!!



USP

USP – Universidade de São Paulo  
Escola de Engenharia de Lorena – EEL

Estrada Municipal do Campinho  
Bairro Campinho  
CEP: 12602-810 Lorena - SP

<http://www.eel.usp.br/>

18