

## PARTE B PRÁTICA

Arguição: \_\_\_\_\_

Relatório: \_\_\_\_\_

**Exercícios:** faça-os com antecedência ANTES DA AULA.

- **Anotações:** devem ser feitas DURANTE A AULA.
- □ : passos das atividades – para não se perder, MARQUE-AS depois que completá-las

Nome: \_\_\_\_\_ n. USP: \_\_\_\_\_ Turma: \_\_\_\_\_

Colega de equipe (Nome / n. USP): \_\_\_\_\_

Bancada: \_\_\_\_\_ Data: \_\_\_\_\_ Hora de início: \_\_\_\_\_

## Atividade 1 Inicialização do computador e teste da placa

- ☐ Ligue o computador e os DOIS MONITORES. Faça login e inicie a máquina virtual **pmr3303**.

Se sua máquina virtual estiver configurada corretamente, ela terá as seguintes unidades de rede disponíveis:

\\ts02-00\PMR3303 – unidade **S**:\\vmware-host\Shared Folders\Public\PMR3303 – unidade **Y**:

- ☐ Copie do servidor a pasta **Exp6** e todo o seu conteúdo (SOBREESCREVA caso já existam):  
Origem: **S:**\ Destino: **Y:\Turma T\**, onde *T* é o número da turma (1, 2, 3 ou 4)

- ☐ Abra e siga o arquivo **Y:\Turma T\Exp6\3303\_19Exp6\_Roteiro.pdf**

- ☐ Descomprima o arquivo **Y:\Turma T\Exp6\3303\_E6.zip**

Teste a placa Basys 3 com um circuito que já está gravado na memória *flash*.

- ☐ *Jumper* JP2 na posição 2-3 (USB): para alimentar a placa pelo conector USB  
*Jumper* JP1 em 1-2 (QSPI): para configurar a FPGA com o conteúdo do memória flash

- ☐ Ligue o cabo USB e a chave ON/OFF da placa.  
Teste as chaves, os leds e os botões. Ao final, desligue a chave ON/OFF da placa.

Atividade 2 Criação do projeto *xxMoore*

- ☐ No Vivado, clique em “Create New Project” e em seguida em “Next”. Preencha os campos:  
“Project location”: **Y:/Turma T/Exp6/seugrupo** (*T* é a turma e *seugrupo* é o nome de guerra do grupo)  
“Project name”: algo como **xxMoore**, onde *xx* são as 2 primeiras letras do nome do grupo  
Caixa “Create project subdirectory”: deixe marcada e clique em “Next”.

- ☐ Selecione “RTL Project” e marque a caixa “Do not specify sources at this time”. Clique em “Next”.

- ☐ Selecionar o modelo de FPGA presente na placa: “xc7a35tcbg236-1”.  
Clique em “Next” e em seguida em “Finish”.

**Anotação 2a** Anote o nome do seu diretório de trabalho: \_\_\_\_\_Atividade 3 Criação dos módulos FF\_DR e *xxBombas*Crie o módulo que implementa o flip-flop D com *reset* síncrono descrito na Figura 6.5. Resumidamente:

- ☐ Menu “Flow Navigator”, submenu “Project Manager”: clique em “Add Sources”. Em seguida:  
“Add or create design sources” / “Next” / “Create File” / “File name:” = **FF\_DR** / “OK” / “Finish”.

- ☐ Na janela “Define Module”, defina os sinais de E/S.  
Inputs: **Ck, Rst, D**. Output: **Q**. Clique em “OK.”

- ☐ Em “Project Manager”, subquadro “Sources”, pasta “Design Sources”: duplo clique em FF\_DR.v.  
Complete o módulo e salve.

Crie o módulo do controlador das bombas com *flip-flops*, seguindo o projeto feito no pré-relatório.

**Exercício 1** Faça o diagrama lógico do controlador das bombas (seção 6.1) usando flip-flops D da Figura 6.3.

**Exercício 2** Escreva em Verilog as definições que estão faltando na Figura 6.6 para completar o módulo xxBombas (não é necessário escrever o módulo inteiro).

- ☐ Repita o procedimento da atividade anterior, com as seguintes alterações:  
 “Create File” | “File name:” xxBombas (substitua xx pelas iniciais do nome do seu grupo):  
 “Define Module” | Inputs: **Ck**, **Rst** e **N** (bus [1:0]). Outputs: **BA** e **BP**.  
 Complete o módulo com seu projeto e salve.

**Anotação 3a** Descreva os erros encontrados em seu código Verilog, se houver, e as correções feitas. Indique também de qual membro da equipe foi o módulo implementado.

---



---



---



---

## Atividade 4 Simulação do controlador xxBombas

O *testbench* para esta simulação já está pronto e está em um dos arquivos que você copiou no início da experiência, de nome **Bombas\_sim.v**. Copie esse arquivo no seu projeto:

- ☐ Menu “Flow Navigator” | “Project Manager”: clique em “Add Sources”. Em seguida Selecione “Add or create **simulation** sources” / “Next” / “Add Files”.  
 Em **Y:/Turma T/Exp6/3303\_E6/**, clique no arquivo **Bombas\_sim.v** e em “OK”.  
**MARQUE** a opção “Copy sources into project”. Clique em “Finish”.

- ☐ VERIFIQUE: o arquivo deve entrar na hierarquia do projeto como **arquivo de topo**:  
Em “Project Manager” | “Sources” | “Simulation Sources/sim\_1” | **Bombas\_sim.v (EM NEGRITO)**.  
Senão, clique nele com o botão direito e selecione “Set as top”.
- ☐ Abra o arquivo Bombas\_sim.v. Na instânciação `xxBombas`, troque o “xx” pelas iniciais do seu grupo e salve.  
Vamos agora configurar e rodar a simulação.
- ☐ Em “Simulation Setting”: “xsim.simulate.runtime” deve ser pelo menos 26 ms.  
Na aba “Advanced”, a opção “Include all design sources...” deve ser marcada. Clique “OK”.
- ☐ Em “Flow Navigator” | “Simulation”: clique em “Run Simulation” e em “Run Behavioral Simulation”  
Se a simulação falhar, analise as mensagens de erro na aba “Messages”. Corrija, salve e tente simular de novo.
- ☐ Analise as **formas de onda** da simulação. Verifique se o resultado da simulação está correto. Caso contrário, revise o módulo do seu controlador `xxBombas` e **COMENTE** os erros na anotação anterior.

**Anotação 4a** Mostre os resultados e suas conclusões para o professor. Anote o horário atual: \_\_\_\_\_.

## Atividade 5 Teste do controlador das bombas na placa Basys3.

O módulo BombasTest\_top.v e outros necessários para este teste já estão pronto. Copie os arquivo no seu projeto:

- ☐ “Add Sources” / “Add or create **design** sources” / “Next” / “Add Files”. Em **Y:/Turma T/Exp6/3303\_E6/**:  
Selecione (com a tecla **Ctrl** pressionada): **ClockHz.v** e **BombasTest\_top.v**. Clique “OK”.  
**MARQUE** a opção “Copy sources into project”. Clique “Finish”.
- ☐ Na hierarquia de projeto, clique com o botão direito em BombasTest\_top.v e clique “Set as top”  
Esse arquivo tem que ficar **EM NEGRITO**.
- ☐ No arquivo, troque o “xx” pelas iniciais do grupo na instânciação `xxBombas` e salve.

Precisamos incluir também o arquivo de *constraints*

- ☐ “Add Sources” / “Add or create **constraints**” / “Next” / “Add Files”. Em **Y:/Turma T/Exp6/3303\_E6/**:  
Arquivo **BombasTest.xdc** / “OK” / **MARQUE** “Copy sources into project” / “Finish”.
- ☐ Abra o arquivo **BombasTest.xdc** (na hierarquia, em Design Sources | Constraints | constr\_1) e descomente as linhas que configuram o pino de entrada de *clock* externo:  
No começo do arquivo, **3 linhas** que terminam com “... [get\_ports clk]”.
- ☐ Descomente os **pares** de linha que configuram os dispositivos de E/S que vamos usar:  
chaves **sw[0]** e **sw[1]**; leds **ld[13]**, **ld[14]** e **ld[15]**; botão **bntD**. Salve o arquivo

Configure alguns parâmetros para agilizar a síntese e a implementação..

- ☐ Em “Synthesis Settings”: No campo “Strategy”, selecione a opção “Flow\_RuntimeOptimized”.
- ☐ Em “Implementation” (triângulo verde): No campo “Strategy”, selecione a opção “Flow\_Quick” (última linha).
- ☐ No menu “Opt\_Design”: DESMARQUE a opção “is\_enabled” (para desabilitar otimizações). Clique em “OK”.

Gere o *bitstream* e transfira para a FPGA. Resumidamente:

- ☐ Em “Flow Navigation” | “Program and Debug”, clique em “Generate Bitstream”.
- ☐ Com a placa **desligada** (sw16), passe o *jumper* JP1 para a posição 2-3 (JTAG) e **ligue** a placa.
- ☐ Em “Flow Navigator” | “Program and Debug”: clique em “Open Target” / “Auto Connect”.  
Clique em “Program Device” / “xc7a35t”.  
No campo “Bitstream file” deve constar “...BombasTest\_top.bit”. Clique em “Program”.
- ☐ Teste o circuito com a sequência  $N_1N_0$  da Tabela 6.5 (escreva os bits nas chaves correspondentes). A cada mudança de nível, observe as saídas BP e BA resultantes **após o clock**.

**Exercício 3** Considere que a máquina de estados da Figura 6.2 se encontre inicialmente no estado SA. Simule o funcionamento usando o vetor de teste mostrado na Tabela 6.5

Tabela 6.5 Sequência de entradas para teste do controlador

Instante	Nível	N <sub>1</sub> N <sub>0</sub>	BA	BP	Estado
1	<i>Reset</i> (Rst = 1)	X X	0	0	SA
2	Entre L e H				
3	Entre LL e L				
4	Entre L e H				
5	Acima de H				
6	Entre L e H				
7	Entre LL e L				
8	Abaixo de LL				
9	Entre LL e L				
10	Entre L e H				
11	Acima de H				

**Anotação 5a** Confira o resultado do teste com o exercício feito do pré-relatório. Justifique e discuta possíveis erros cometidos no seu pré-relatório.

**Anotação 5b** Faça N<sub>1</sub>N<sub>0</sub> indicar nível “acima de H” e aguarde a máquina entrar no estado em que ambas as bombas estão desligadas. Mude N<sub>1</sub>N<sub>0</sub> para fazer o nível cair repentinamente para “abaixo de LL” e observe os leds de BA e BP. Volte o nível para “acima de H”. Qual o comportamento observado no acionamento das bombas? Ele é coerente com o projeto do controlador? Explique.

**Anotação 5c** Anote a hora atual: \_\_\_\_\_. Apresente o circuito e suas conclusões para o professor.

☐ **Feche** o projeto xxMoore: no menu superior, clique em “File” | “Close Project”, e em “OK”. **Desligue** a placa.

## Atividade 6 Unidade de controle do temporizador em diagrama de estados

Daqui em diante, vamos usar o projeto que você copiou no começo da aula.

☐ Na tela do Vivado, clique em “Open Project”. Em **Y:/Turma T/Exp6/3303\_E6/** : abra **3303\_E6.xpr**.

☐ Na barra superior: clique em “File” | “Save Project as...” e complete os seguintes campos:  
 “Project location”: Y:/Turma **T**/Exp6/ **seugrupo**, onde **seugrupo** é o nome de guerra do grupo.  
 “Project name”: **xxMealy** onde xx são as 2 primeiras letras do nome do grupo.  
 A opção “Create project subdirectory” deve estar marcada. Clique em “Ok”.

Crie o módulo da unidade de controle projetada no pré-relatório.

☐ “Add Source” | “Add or create **design** sources” / “File name:” = **xxTmrUC** (troque xx por... vc sabe).  
 “Define Module” | Inputs: **Ck, Rst, St e RC**. Outputs: **En, Ld, T**.” Complete o módulo e salve.

☐ Abra o módulo TmrB4 para edição. Na instanciação xxTmrUC, troque “xx” e salve.



**Exercício 4** Codifique em Verilog o diagrama de estados da Figura 6.14 em um módulo:  
 module xxTmrUC(input Ck, Rst, St, Rc, output En, Ld, T); // Se preferir, faça em uma folha a parte

[illegible]

**Anotação 6a** Descreva os erros encontrados em seu código Verilog, se houver, e as correções feitas. Indique também de qual membro da equipe foi o módulo implementado.

## Atividade 7 Simulação funcional do temporizador

O *testbench* para simular o temporizador (Figura 6.16), já está pronto: é o módulo TmrB4\_sim. Verifique se a simulação está configurada corretamente e rode a simulação.

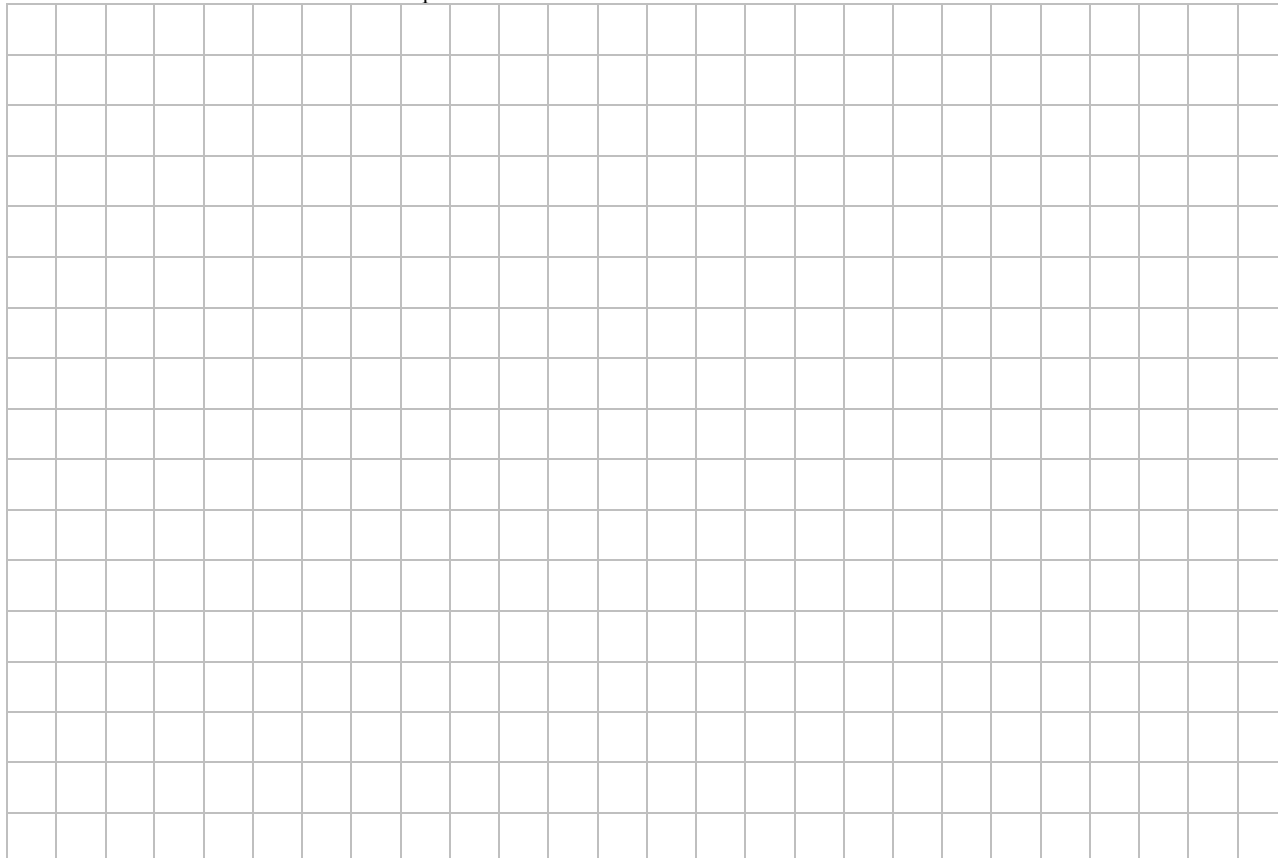
- ☐ Em “Simulation Setting”: “xsim.simulate.runtime” deve ser pelo menos **2800 ns**. Na aba “Advanced”, a opção “Include all design sources...” deve ser marcada. “Design Sources” | “Simulation Sources”: **TmrB4\_sim** deve estar em **NEGRITO** (módulo de topo). Abra-o e verificar seu conteúdo.
- ☐ Em “Flow Navigator” | “Simulation”: clique em “Run Simulation” e em “Run Behavioral Simulation”. Expand a janela de **formas de onda** e analise a simulação. Verifique se o resultado está correto. Caso contrário, **revise** o módulo do seu controlador xxBombas e **COMENTE** os erros na anotação anterior.
- ☐ Inclua no gráfico os sinais En, Ld e RC do bloco UUT: “Scopes” | clique em “UUT” | em cada sinal, clique com botão direito e em “Add to Wave Window”). Regere as fornas de onda: clique em  (restar) e em  (run for...)
- ☐ **Modifique** o *testbench* (TmrB4\_sim): acrescente um segundo disparo com D[3:0] = 0000 – o temporizador deverá contar 16 pulsos de clock.. A segunda temporização deve começar APÓS o término da primeira, em t=800ns.

**Anotação 7a** Mostre os resultados e suas conclusões para o professor. Anote o horário atual: \_\_\_\_\_.

## Atividade 8 Teste do temporizador na placa Basys3

Depois que o circuito passar na simulação, gere o *bitstream* e transfira para a FPGA.

**Exercício 5** Faça o diagrama lógico do circuito de TimerTest\_top mostrado na Figura 6.17. Represente por símbolos os módulos TmrB4, Clock400, ClockHz, CB4R e xxDsDrv. Para nomear as entradas e saídas, adote os nomes usados nos módulos em Verilog (veja as listagens). Desenhe as chaves como retângulos e os leds como círculos. Não é necessário indicar os pinos da FPGA.



- ☐ Menu “Flow Navigator”, submenu “Program and Debug”: clique em “Generate Bitstream”.
- ☐ Ligue a placa Basys 3 (chave ON/OFF) e transfira o bitstream:  
Em “Flow Navigator” | “Program and Debug” | “Open Target” | “Auto Connect” | “Program Device”  
No campo “Bitstream file” deve constar “...TmrB4Test\_top.bit”. Clique em “Program”
- ☐ Teste o circuito. Coloque um valor de  $n$  nas chaves SW3 a SW0 e pressione BTNU. O display 1 mostra  $n$ , o display 2 a contagem regressiva do temporizador e o display 4 o número de *clocks* em que  $T = 1$ , e ao final deve mostrar o mesmo valor de  $n$ . Teste com diferentes valores de  $n$ . Em particular, teste com  $n = 0$ .

**Anotação 8a** Mostre os resultados e suas conclusões para o professor. Anote o horário atual: \_\_\_\_\_.

## Atividade 9 Simulação temporal do temporizador

Vamos simular o módulo TmrB4 incluindo os tempos de propagação (*timing simulation*)

- ☐ Selecione o módulo TmrB4 e coloque-o no topo da hierarquia do projeto: botão da direita e “Set as Top”.  
Verifique: TmrB4 deve ficar em **NEGRITO**.
- ☐ Desabilite o arquivo de *constraints*: clique o botão da direita sobre TmrB4st.xdc e em “Disable File”.
- ☐ Sintetize o circuito: menu “Flow Navigator” | “Synthesis” | “Run Synthesis”
- ☐ Em “Simulation”, clique “Run Simulation” | “Run Post-Synthesis **Timing** Simulation”
- ☐ Expanda a tela gráfica e analise as formas de onda.

Desta vez a simulação deve falhar, pois Rst e St variam junto com as bordas de *clock*, não respeitando o tempo de *hold* que os registradores da FPGA exigem para armazenar corretamente as entradas.

**Anotação 9a** Descreva sucintamente a falha que ocorre na simulação do primeiro disparo (com D=3). Em t=100ns, St deveria ser ignorado (pois ainda se tem Rst=1). E se o disparo fosse simulado corretamente, o contador deveria ser carregado com o valor de D.

---

---

---

Para corrigir a simulação, é preciso fazer com que Rst e St mudem alguns nanossegundos após as bordas de *clock*. Para isso, basta acrescentar um avanço de tempo no início do vetor de testes. Isso vai desalinhar as mudanças dos sinais com as bordas de *clock*.

- ☐ Acrescente **#5** (avanço de 5 ns) na primeira linha do segundo bloco *initial* do *testbench* TmrB4\_sim e salve.
- ☐ Rode a simulação: “Run Simulation” | “Run Post-Synthesis **Timing** Simulation”

Veja que desta vez ocorrem **pulsos espúrios** na saída T, uma vez que ela é **combinacional** e varia com os bits que definem o estado do controlador e com bits de entrada do controlador.

- ☐ Amplie a carta de tempos em torno de um dos pulsos espúrios: clique e segure o botão da esquerda um pouco antes do pulso, mova o mouse para a direita até passar o pulso e solte.

Repare que tanto o pulso como outras saídas (Q[3:0] e T) agora não mudam exatamente nas bordas do *clock* Ck, mas um pouco depois, devido aos atrasos de propagação.

**Anotação 9b** Mostre os resultados e suas conclusões para o professor. Anote o horário atual: \_\_\_\_\_.

## Atividade 10 Finalização

Se quiser, você pode copiar os arquivos dos projetos em um pendrive.

- ☐ Encerre o programa Vivado.
- ☐ Encerre (*shutdown*) a máquina virtual PMR3303.
- ☐ Aguarde o PLAYER terminar. DESLIGUE O COMPUTADOR E OS MONITORES.  
Deixe a bancada em ordem. Falhas nesse procedimento serão penalizadas.

*Check list:* verifique cada um dos itens abaixo.

- ☐ *Check list:* verifique cada um dos itens abaixo.
  - ☐ **Equipamentos** Verifique se estão todos desligados. Em especial, certifique-se que o computador E OS MONITORES estejam desligados (NÃO os deixe em STAND-BY)
  - ☐ **Placa Basys 3** Deve estar protegida com a espuma anti-estática e guardada na caixinha.
  - ☐ **Cabo USB-micro** Guarde na caixa de componentes de PMR3303.
  - ☐ **Multímetro** Desligado e com os cabos das pontas de prova arrumados. Deixe-o no tampo inferior da bancada, para que possamos conferir facilmente se está desligado.
  - ☐ **Outros componentes e cabinhos** Verifique se ficou alguma coisa na bancada ou no chão.
  - ☐ **Empréstimos** Se usou alguma coisa de outra bancada, devolva e liste: \_\_\_\_\_
  - ☐ **Defeitos** Se encontrou algum defeito, preencha a Comunicação de Defeito e liste:  
\_\_\_\_\_  
\_\_\_\_\_
  - ☐ **Limpeza** Limpe a bancada.