



Nome: _____ N° USP: _____

Experiência 2 PARÂMETROS ELÉTRICOS DE PORTAS LÓGICAS

Daremos continuidade à análise de circuitos lógicos e abordaremos aspectos relacionados às características elétricas das principais famílias de circuitos lógicos. Esta apostila contém um breve resumo do capítulo 3 do livro-texto (Wakerly, “Digital Design”) para apoiá-lo, mas convém que você estude as seções de 3.1 a 3.8 do livro.

Lembre-se:

- Estude a apostila **com antecedência**. Sua compreensão será avaliada na aula por **ARGUIÇÃO ORAL**.
- Faça os **EXERCÍCIOS** contidos na apostila e tire dúvidas com os professores **com antecedência**.
- Traga para a aula a apostila **IMPRESSA**. Os pontos importantes devem estar **destacados ou grifados**.

PARTE A TEORIA

2.1 Teorema de De Morgan

Uma das propriedades mais importantes da álgebra de Boole é expressa pelos teoremas de De Morgan,

$$\begin{cases} \overline{a.b.c.\dots} = \bar{a} + \bar{b} + \bar{c} + \dots \\ \overline{a + b + c + \dots} = \bar{a}.\bar{b}.\bar{c}.\dots \end{cases} \quad (2.1)$$

Repare como esses teoremas são coerentes com a nossa lógica cotidiana. Imagine por exemplo que seu vizinho afirme que “*tem uma Ferrari?*” E “*tem um Porsche?*”: ele estará mentido se “*não tem uma Ferrari?*” OU “*não tem um Porsche?*” ou nenhum dos dois (o que é mais provável), conforme mostra a primeira expressão 2.1. O exemplo para ilustrar a segunda igualdade fica por sua conta.

Uma aplicação imediata desses teoremas em circuitos digitais é a substituição de portas OR por portas AND, e vice-versa. Delas também derivam duas outras propriedades importantes, conhecidas como *suficiência de NAND* e *suficiência de NOR*.

2.1.1 Suficiência de NAND

Qualquer função lógica pode ser implementada usando-se apenas portas NAND, já que portas inversoras e portas OR podem ser substituídas por NAND’s da seguinte forma:

$$\begin{cases} \bar{a} = \overline{a.a} \\ a + b = \overline{(\bar{a}.\bar{b})} \end{cases} \quad (2.2)$$

2.1.2 Suficiência de NOR

Analogamente, podemos substituir inversoras e portas AND por portas NOR.

$$\begin{cases} \bar{a} = \overline{a + a} \\ a.b = \overline{(\bar{a} + \bar{b})} \end{cases} \quad (2.3)$$

2.1.3 Exemplo de aplicação

A porta NAND é usada pela indústria como elemento básico porque é mais fácil fabricar um circuito NAND mais eficiente do que um circuito NOR com as tecnologias atuais. Por isso vamos ver como implementar uma função lógica usando apenas portas NAND. Por exemplo, a função *vai-um* (c_{i+1}) vista na experiência anterior.

$$c_{i+1} = a_i.b_i + a_i.c_i + b_i.c_i. \quad (2.4)$$

Note que precisamos nos livrar das somas (operações OR), por isso aplicamos o teorema de De Morgan apenas nos trechos da função em que um OR aparece. O truque é **negar** tais trechos **duas vezes**, o que não altera a função, e em seguida usar uma das negações para converter OR em NAND. Na função c_{i+1} , temos

$$c_{i+1} = \overline{\overline{a_i \cdot b_i + a_i \cdot c_i + b_i \cdot c_i}} = \overline{\overline{(a_i \cdot b_i)} \cdot \overline{(a_i \cdot c_i)} \cdot \overline{(b_i \cdot c_i)}}, \quad (2.5)$$

que emprega três portas NAND duas entradas e mais uma de três entradas que implementa o NAND final.

No entanto, uma NAND de três entradas não é fácil de se encontrar (muito menos no nosso laboratório) e não pode ser construída cascateando-se diretamente duas portas NAND, pois

$$\overline{x \cdot y \cdot z} \neq \overline{(x \cdot y)} \cdot z \quad (\text{confira fazendo a lista de exercícios!}).$$

Vamos ver como implementar a função vai-um usando apenas NANDs de duas entradas do componente 74HC00 que temos no laboratório (consulte o *datasheet* anexo). Nesse caso, os primeiros passos seriam

$$c_{i+1} = \overline{\overline{(a_i \cdot b_i + a_i \cdot c_i)} + b_i \cdot c_i} = \overline{\overline{(a_i \cdot b_i + a_i \cdot c_i)} \cdot \overline{b_i \cdot c_i}} = \overline{\overline{(a_i \cdot b_i)} \cdot \overline{(a_i \cdot c_i)} + b_i \cdot c_i}. \quad (2.6)$$

Na igualdade 2.6, aplicamos o teorema de De Morgan apenas aos dois primeiros termos com o intuito de chegar a um NAND de apenas duas entradas. Repetimos esse procedimento para eliminar a soma que restou:

$$\overline{\overline{\overline{(a_i \cdot b_i)} \cdot \overline{(a_i \cdot c_i)} + b_i \cdot c_i}} = \overline{\overline{\overline{(a_i \cdot b_i)} \cdot \overline{(a_i \cdot c_i)}} \cdot \overline{b_i \cdot c_i}} = \overline{\overline{\overline{(a_i \cdot b_i)} \cdot \overline{(a_i \cdot c_i)}}} \cdot \overline{\overline{b_i \cdot c_i}}. \quad (2.7)$$

A Figura 2.1 mostra o diagrama lógico do circuito. Na expressão 2.7, não cancelamos a dupla negação do primeiro trecho entre parênteses para não gerar uma operação AND, e para deixar claro que necessitamos de uma inversão a mais para converter uma porta NAND em AND. Isso é feito pela porta U2a do diagrama.

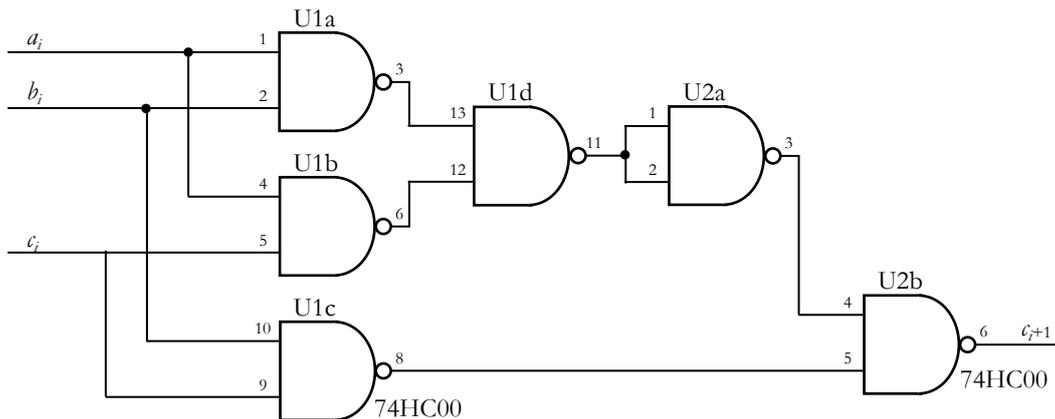


Figura 2.1 Função vai-um implementada apenas com portas NAND de duas entradas.

2.1.4 Outro exemplo: XOR minimalista

Para construir a função XOR apenas com portas NAND, a solução mais imediata é dada por

$$a \oplus b = \overline{\overline{a \cdot b + a \cdot \overline{b}}} = \overline{\overline{(a \cdot a) \cdot b} \cdot \overline{(a \cdot (b \cdot b))}}, \quad (2.8)$$

que requer o uso de cinco portas NAND (verifique). No entanto, sabendo-se que

$$\begin{cases} \overline{a \cdot b} = \overline{(a \cdot b)} \cdot b \\ \overline{a \cdot \overline{b}} = \overline{(a \cdot b)} \cdot a \end{cases} \quad (\text{a demonstração fica por sua conta}), \quad (2.9)$$

é possível construir o circuito XOR com apenas quatro NANDs de duas entradas, ou seja,

$$a \oplus b = \overline{\overline{\overline{a \cdot b} + \overline{a \cdot \overline{b}}}} = \overline{\overline{(\overline{a \cdot b}) \cdot b} \cdot \overline{(\overline{a \cdot b}) \cdot a}}. \quad (2.10)$$

Obviamente, o termo $(a \cdot b)$ que aparece duas vezes na expressão 2.10 pode ser gerado por uma única porta NAND, e desta forma se economiza uma porta.

Montaremos esse circuito no laboratório. Faça o diagrama lógico dele na Parte B.

2.2 Famílias de circuitos integrados

Convém nos situarmos tecnologicamente. Vamos nos restringir a circuitos *LSI* e *MSI* (*Low, Medium Scale Integration*) de baixa e média densidade, contendo pouco mais de uma centena de transistores. Eles viveram seus dias de glória na segunda metade do século 20, quando eram usados na construção de computadores. Apesar de estarem ultrapassados frente à tecnologia *VLSI* (*Very Large Scale Integration*), capaz de integrar centenas de milhões de transistores em um único componente, esses componentes ainda são importantes.

Voltando ao assunto, circuitos integrados (CIs) digitais como os que usamos no laboratório são divididos em famílias, ou seja, conjuntos de circuitos fabricados com a mesma tecnologia. As famílias de CIs mais populares são

- TTL (*Transistor-Transistor Logic*), construídos com transistores bipolares, e
- CMOS (*Complementary Metal Oxide Semiconductor*), que empregam transistores de efeito de campo.

Resumidamente, transistores são dispositivos semicondutores que conduzem quando se atua sobre uma entrada de controle, funcionando como chaves eletrônicas. No caso dos transistores bipolares, a entrada de controle é acionada por uma corrente elétrica.

Já os transistores de efeito de campo são acionados por tensão e se dividem em: transistores NMOS – acionados por tensão positiva, e PMOS – por tensão negativa (as siglas parecem estar trocadas, mas é isso mesmo). Os circuitos CMOS empregam ambos, daí o motivo do nome *Complementary-MOS*.

Comparando essas duas famílias, pode-se dizer que os circuitos TTL são mais rápidos, mais imunes a ruído eletromagnético e mais robustos contra surtos de tensão e descargas eletrostáticas, enquanto que os circuitos CMOS consomem menos energia e podem ser integrados em escala mais alta (ou seja, podemos empacotar mais circuitos numa mesma área de semicondutor).

Os circuitos empregados no laboratório são da família CMOS.

Nota: os microprocessadores e memórias atuais são fabricados principalmente com transistores NMOS.

2.2.1 Principais subfamílias TTL e CMOS

As tecnologias TTL e CMOS foram lançadas nos anos 60 e se tornaram padrões industriais. Com o passar dos anos, foi possível melhorá-las, reduzindo o consumo de energia ou aumentando a velocidade de chaveamento, ou as duas coisas. Assim, criaram-se subfamílias correspondentes a essas tecnologias.

Por exemplo: após os circuitos TTL originais, surgiram as subfamílias L, S e LS. A subfamília L (*Low-power*) oferece menor consumo mas é mais lenta que a família original. Já os circuitos da subfamília S empregam transistores *Schottky*, mais rápidos que os transistores bipolares comuns, mas consomem mais energia. Depois veio a subfamília LS, que se tornou muito popular, procurando unir as vantagens das duas, sem no entanto consumir tão pouco como a L e nem ser tão rápida como a S. Atualmente existem subfamílias ainda mais rápidas e de menor consumo, como a ALS (*Advanced Low-power Schottky*) e a F (*Fast*).

A família CMOS também tem um representante bastante popular: a subfamília HC, que oferece a alta velocidade característica dos circuitos TTL, mantendo o baixo consumo de energia característico dos circuitos CMOS. Subfamílias mais recentes são ainda mais rápidas, como AC (*Advanced CMOS*) e FC (*Fast CMOS*). Além disso, como os níveis de tensão dos circuitos CMOS são diferentes do padrão TTL, foram criadas “versões T” dessas subfamílias (HCT, ACT e FCT) que respeitam os níveis do padrão TTL.

Os circuitos CMOS que usaremos no laboratório são da subfamília HC.

2.2.2 Outras famílias e subfamílias

Famílias mais antigas, anteriores à TTL e CMOS, se tornaram obsoletas e não são mais produzidas. É o caso da RTL (*Resistor-Transistor Logic*) e da DTL (*Diode-Transistor Logic*), por exemplo.

Existem também famílias voltadas para aplicações especiais. A ECL (*Emitter Coupled Logic*) é um exemplo digno de nota: oferece a maior velocidade de chaveamento entre as tecnologias existentes (com atrasos da ordem de 1 ns), e é uma das poucas que usa alimentação negativa.

Como exemplo de famílias mais recentes que ainda não conseguiram desbancar o TTL e nem o CMOS, podemos citar a família BiCMOS (ou Bipolar CMOS), criada nos anos 90. Ela usa circuitos híbridos, onde os estágios de entrada e de saída empregam transistores bipolares para serem mais robustos e o circuito lógico emprega transistores CMOS para consumir menos energia.

Os circuitos CMOS possuem um número de subfamílias bem maior que o padrão TTL e novas continuam a surgir, em decorrência da necessidade de acompanhar a evolução dos circuitos semicondutores, que exigem níveis de tensão e tempos de resposta cada vez menores. É o caso, por exemplo, da subfamília LVC, que opera com tensões de 1,6 a 3,3 V e atraso menor que 10 ns.

2.3 Séries de circuitos integrados

Todo circuito integrado é identificado por um código de números e letras, conhecido como *part number*.

Existem séries numéricas que padronizam os *part numbers* de CIs lógicos. As mais conhecidas são a **série 7400** e a **série 4000**. Essas séries foram lançadas nos anos 60 por fabricantes de semicondutores – a 7400 pela Texas Instruments e a 4000 pela RCA. Outras empresas passaram a produzi-las, usando os mesmos códigos numéricos para facilitar a identificação dos componentes pelos usuários, de tal forma que se tornam padrões industriais *de facto*.

Por exemplo, o 74HC00 deve ter 14 pinos, quatro portas NAND, etc. Na experiência anterior, vimos outros exemplos: '04, '08, '32, e '86 – nessa notação, para um bom entendedor, o código da série (7400) e da subfamília (HC) ficam subentendidos.

2.3.1 Série 7400

O esquema de numeração dessa série começa com dois dígitos: “74” ou “54” (coisas da indústria...), e por isso a série também costuma ser chamada de 74/54. Esses dígitos indicam:

- **74** – encapsulamento plástico e faixa de temperatura de operação *comercial* (de 0 a 70 °C)
- **54** – encapsulamento cerâmico e faixa de temperatura de operação *militar* (de -55 a 125 °C)

Em seguida, a subfamília é indicada por uma sequência de uma a quatro letras, mas a ausência dessas letras indica a família TTL, uma vez que a série 74/54 foi lançada com essa tecnologia. Essa série possui subfamílias tanto TTL como CMOS. Exemplos: 7400 (comercial, família TTL original, quad-NAND) que dá nome à série, 54LS04 (militar, TTL subfamília LS, *hex-inverter*), 74HC32 (comercial, CMOS, subfamília HC, quad-OR).

Ao olhar os componentes no laboratório, você verá que o fabricante inclui outros caracteres ao código para compor um *part number* único para cada um dos seus produtos. É o caso do MM74HC00N do *datasheet* anexo, que se traduz por: MM – produzido pela Fairchild; 74 – série; HC – subfamília; 00 – quatro NANDs de duas entradas; N – código usado pelo fabricante para encapsulamento plástico DIP (*dual in-line package*).

A série 7400 completa contém *centenas* de componentes, mas apenas uma parte é usada atualmente. Com isso, muitos não estão mais à venda. Conselho: ao fazer um projeto de um circuito digital, tome cuidado para não incluir uma “*mosca branca*” – isto é, um CI que não se consegue encontrar mais.

2.3.2 Série 4000

Essa série e suas subfamílias são fabricadas apenas em tecnologia CMOS. Por consumirem pouca energia, foram largamente usados nos primeiros satélites artificiais e veículos espaciais. Inicialmente eram muito lentas, mas hoje existem subfamílias mais rápidas. A série 4000 ainda é bastante usada principalmente em aplicações que requerem baixo consumo de energia.

2.4 Parâmetros elétricos

As características elétricas das subfamílias são padronizadas internacionalmente para que você possa adquirir peças de diferentes fabricantes sem se preocupar com compatibilidade entre elas.

Uma característica básica, por exemplo, é a tensão de alimentação do circuito, normalmente representada por V_{DD} no caso dos circuitos CMOS, ou V_{CC} nos circuitos TTL. Relacionada à alimentação, definem-se os **níveis lógicos de tensão H** (ou 1) e **L** (ou 0). Como já vimos na experiência anterior, os níveis lógicos não correspondem a tensões exatas, e sim a duas faixas de tensão não sobrepostas. Diz-se que a lógica é *positiva* se H é representado por uma tensão maior do que a tensão utilizada para representar L; do contrário, é chamada de lógica *negativa*.

2.4.1 O padrão CMOS

A Figura 2.2 ilustra alguns parâmetros de tensão e de corrente de uma porta lógica.

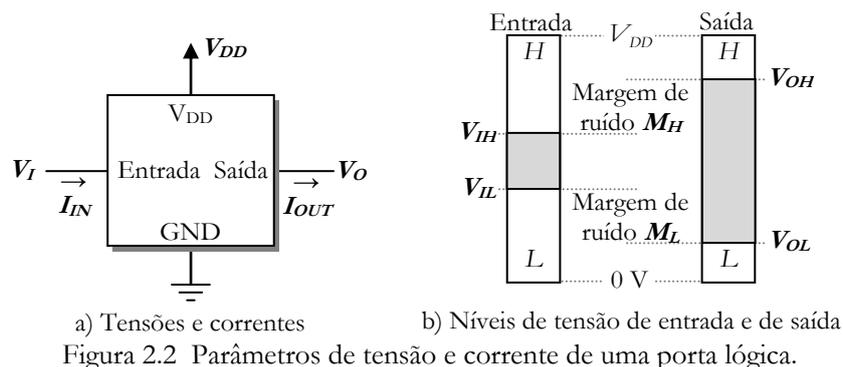


Figura 2.2 Parâmetros de tensão e corrente de uma porta lógica.

Nas definições a seguir, estão citados entre parênteses alguns exemplos tirados do **padrão CMOS** para que você tenha uma noção da ordem de grandeza. Repare como os níveis de tensão são delimitados de forma diferente entre a entrada e a saída com o intuito de criar *margens de ruído*.

- V_{DD} Tensão de alimentação (2 a 6 V). Também chamada de V_{CC} – herança do padrão TTL que veio antes.
- V_{IH} Tensão mínima de entrada ainda válida como nível *H* (por volta de 2/3 de V_{DD}).
- V_{IL} Tensão máxima de entrada ainda válida como nível *L* (por volta de 1/3 de V_{DD}).
- V_{OH} Tensão mínima de saída em nível *H* (por volta de 95% de V_{DD} – observe que é maior que V_{IH}).
- V_{OL} Tensão máxima de saída em nível *L* (por volta de 5% de V_{DD} – menor que V_{IL}).
- I_{IN} Corrente máxima de entrada (em torno de $\pm 1 \mu\text{A}$).
- I_{OUT} Corrente máxima de saída (em torno de $\pm 20 \text{ mA}$).
- M_H **Margem de ruído H**: é a diferença entre V_{OH} e V_{IH} .
- M_L **Margem de ruído L**: é a diferença entre V_{IL} e V_{OL} .

2.4.2 Subfamília HC do padrão CMOS

Veja o *datasheet* “MM74HC00” (parcial) em anexo. Entre outros valores, ele contém os limites das tensões e correntes definidas para o caso da subfamília HC. Você vai precisar desses parâmetros para fazer a parte prática. Grosso modo, as tabelas mostram valores mínimos, típicos (TYP) e máximos. Como não estamos muito preocupados em analisar situações críticas nesta experiência, use os valores típicos sempre que estiverem disponíveis.

A condição de operação também deve ser levada em conta. Por exemplo, as tensões limites de entrada (V_{IH} e V_{IL}) e de saída (V_{OH} e V_{OL}) dependem da tensão de alimentação (V_{CC}), como era de se esperar.

Repare que V_{OH} e V_{OL} dependem da intensidade de corrente que circula pelo pino de saída: quanto maior a corrente, mais os níveis de tensão se afastam dos ideais (V_{CC} para o nível *H* e 0 V para *L*).

Repare também que I_{IN} e I_{OUT} apresentam valores positivos e negativos. Seguindo os sentidos adotados para essas correntes na Figura 2.2, tem-se que uma entrada em nível *H* drena corrente da fonte de V_I ($I_{IN} > 0$), e em nível *L* fornece corrente à V_I ($I_{IN} < 0$). Analogamente, uma saída em nível *H* precisa fornecer corrente ($I_{OUT} > 0$), e em nível *L* deve drenar corrente ($I_{OUT} < 0$).

2.5 Malha de terra

Antes de prosseguirmos, convém discutir uma dúvida comum que acomete iniciantes no estudo de circuitos eletrônicos: *onde ligo o terra?* Ou seja, o que realmente representa o símbolo “ \perp ” (*terra* ou, nos *datasheets* em anexo, *GND*) que aparece na Figura 2.2 e em vários diagramas elétricos deste texto?

Resumidamente, ele representa o ponto do circuito adotado como *referencial de tensão*.

Veja agora a Figura 2.19 mais adiante: ao montar esse circuito, é comum pessoas menos experientes (não é o seu caso, claro) ligarem o ponto de terra a conectores do *chassi* dos equipamentos porque o símbolo “ \perp ” costuma aparecer próximos a eles. Outros chegam a ligá-lo no pino de *aterramento* das tomadas.

Parte do problema se deve ao fato que muitos usam descuidadamente o mesmo símbolo “ \perp ” (que deveria representar apenas o *terra* do circuito) para representar também a malha de *aterramento* e a *blindagem* do chassi.

Referencial, terra, aterramento, blindagem... é importante entender bem e diferenciar esses conceitos.

Referencial é um ponto arbitrário do circuito que escolhemos para medir a tensão em outros pontos do circuito – lembre-se: toda medida de tensão sempre se refere à **diferença** de potencial (*ddp*) entre **dois** pontos. Como é praxe se ter um referencial de tensão comum a **todos** os pontos do circuito, nada mais prático do que atribuir a ele o valor de 0 V (razoável, não?), e é esse ponto que chamamos de **terra**. Assim, subentende-se que as tensões definidas na sessão anterior (V_{DD} , V_{IH} , etc.) são medidas com *relação ao terra*.

Então, o **terra** é o ponto do circuito ao qual atribuímos a tensão de 0 V. A princípio qualquer ponto pode ser escolhido, mas na prática se adota o negativo da fonte de alimentação principal.

Já a *malha de aterramento* faz parte da instalação elétrica do prédio. É o **fio terra** (de cor verde, conectado ao pino central das tomadas de três pinos), que está ligado a barras condutoras *enterradas de fato* em solo próximo.

Por motivos de segurança, o chassi metálico de equipamentos elétricos (chamado de **blindagem**) deve ser aterrado para garantir que permaneça eletricamente neutro com relação ao solo. Sem isso, os circuitos internos poderiam induzir uma tensão elevada no chassi, o que viria a causar um choque em qualquer coisa que servisse como condutor entre o chassi e o chão (você, por exemplo).

Agora, o **terra** de um circuito pode ou não estar **aterrado**, mas muitas vezes está. Tanto o terra como a blindagem somente estarão aterrados se estiverem conectados à malha de aterramento por um condutor.

Nos circuitos desta experiência, o terra (ou *GND*) será a malha ligada o terminal negativo da fonte de alimentação de 5 V (V_{DD}). Assim, ao encontrar dois ou mais pontos de terra (\perp) nos próximos diagramas elétricos, simplesmente considere que eles representam pontos em curto circuito entre si e ligados ao negativo da fonte. Por simplicidade, não vamos ligá-lo à malha de aterramento (não se preocupe, a tensão é muito baixa e não haverá perigo).

2.6 Transistores e portas lógicas CMOS

Vamos descrever resumidamente como funcionam os circuitos CMOS. O principal dispositivo desses circuitos é o transistor MOS, cuja construção é ilustrada na Figura 2.3.

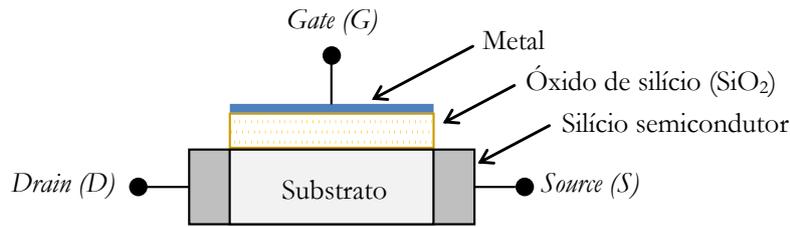


Figura 2.3 Transistor MOS (Metal-Óxido-Silício)

O substrato é feito de material semiconductor (em geral, silício) e tem baixa condutividade. Ou seja, a resistência entre os terminais chamados *Drain* e *Source* (*D* e *S*) é muito alta e praticamente nenhuma corrente pode circular entre eles, e o transistor se comporta como uma chave normalmente aberta. No entanto, é possível aumentar a condutividade do substrato aplicando-se uma tensão entre ele e o terminal *Gate* (*G*).

Por ser isolante, a camada de óxido de silício funciona como o dielétrico do capacitor formado pelo substrato e a camada de metal do *gate*. Portanto, aplicando-se uma tensão entre o terminal *G* e o substrato, cargas elétricas de sinais contrários vão se acumular por efeito capacitivo no substrato e no metal. Assim, a condutividade do substrato aumenta muito (em ordens de magnitude), fazendo com que o transistor passe a funcionar como uma chave fechada.

2.6.1 Canal N e canal P

Variando-se as características do semiconductor nas regiões de *drain*, *source* e substrato, é possível fabricar transistores complementares: NMOS e PMOS.

No transistor NMOS, a condução acontece quando se aplica uma tensão POSITIVA entre o *gate* e o *source* ($V_{GS} > 0$), o que induz cargas NEGATIVAS no substrato – o chamado *canal N*. Por sua vez, o transistor PMOS conduz quando se aplica uma tensão V_{GS} negativa ($V_{GS} < 0$), que induz cargas positivas no substrato, formando o chamado *canal P*. Os símbolos desses transistores são mostrados na Figura 2.4. Repare que por convenção a corrente é positiva no transistor NMOS quando flui do *drain* para o *source*, ao contrário do que acontece no PMOS.

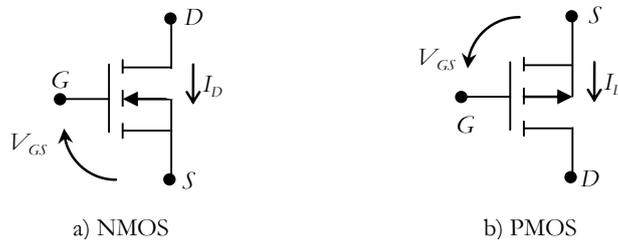


Figura 2.4 Transistores MOS: N e P

2.6.2 O inversor CMOS

A Figura 2.5 mostra como é possível construir uma porta inversora com transistores MOS complementares.

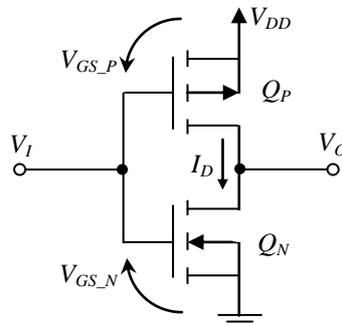


Figura 2.5 Circuito inversor CMOS

Quando se aplica na entrada V_I uma tensão próxima a V_{DD} (ou seja, entrada em nível *H*), temos:

- $V_{GS_N} > 0$ V e o transistor inferior Q_N (do tipo NMOS) conduz,
- $V_{GS_P} = 0$ V e o transistor superior Q_P (do tipo PMOS) corta,
- Com Q_N fechado e Q_P aberto, a tensão de saída fica próxima a 0 V (ou seja, saída em nível *L*)

Inversamente, com a tensão V_I próxima de 0 V, tem-se: Q_N corta e Q_P conduz, e a saída se aproxima de V_{DD} .

O inversor é usado como estágio de saída de outras portas lógicas. Suponha por exemplo que o circuito mostrado na Figura 2.6 represente uma porta lógica NAND com duas entradas em nível lógico H . Como nessa situação a saída deve ficar em nível lógico L , a chave superior do estágio de saída deve abrir e a chave inferior fechar para impor uma tensão próxima a 0 V na saída V_O .

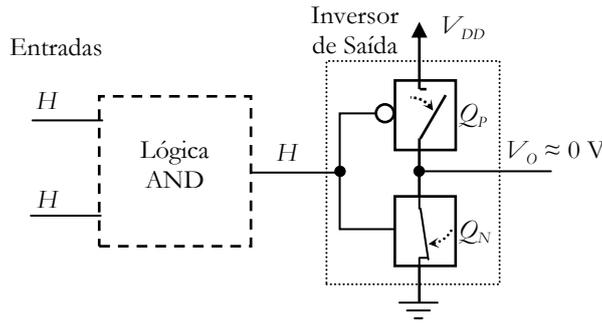


Figura 2.6 Porta NAND com inversor de saída em nível lógico L

Não estudaremos a construção de portas lógicas com transistores neste curso. Neste nosso texto, é suficiente entender que o estágio de saída de uma porta lógica opera com duas chaves complementares em série: quando uma está ligada, a outra está desligada. Essa configuração é conhecida como *totem-pole*, em alusão aos totens indígenas.

2.7 Características de chaveamento

Em um circuito digital real, uma mudança de nível na entrada somente se reflete na saída após um certo atraso. Vamos ver como isso acontece.

A Figura 2.7 mostra uma porta lógica sendo submetida a um sinal chaveado no tempo. Para simplificar, representamos o sinal de entrada V_I como um sinal digital ideal, com transições instantâneas (que seriam impossíveis na prática). Já o sinal de saída V_O apresenta transições graduais, levando o tempo t_U para subir de 0 a 100% e t_D para descer. Quanto mais lenta for a variação da tensão de saída, maiores serão os tempos t_U e t_D , e maior será o atraso entre a entrada e a saída.

A forma de onda de V_O se assemelha à curva de carga e descarga de um capacitor. A resistência de saída da porta e as capacitâncias parasitas presentes no circuito (representadas pelo capacitor C_p na Figura 2.7a) formam um circuito RC (um sistema de primeira ordem, certo?) que limita a rapidez com que a tensão V_O pode variar.

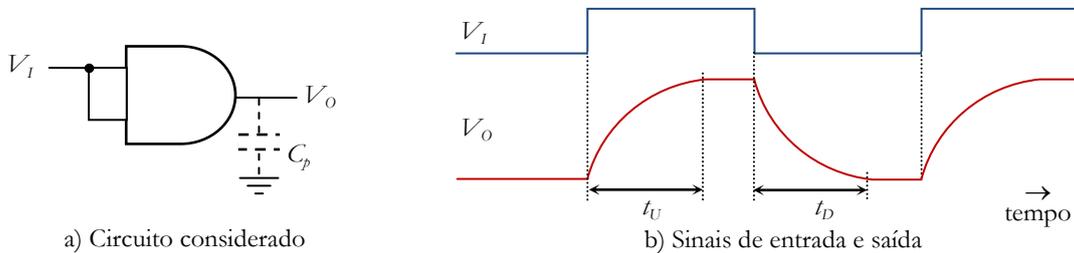


Figura 2.7 Transições de subida e descida da tensão de saída.

No entanto, o sinal de saída de um circuito real não apresenta subidas e descidas bem comportadas como as mostradas na Figura 2.7, onde os tempos t_U e t_D podem ser delimitados com clareza. Sinais reais apresentam transições bem mais complexas, com sobressinais e oscilações (veremos isso no laboratório). Por isso, é preciso definir um critério prático para caracterizar o tempo de atraso de um circuito.

2.7.1 Atraso de propagação

O atraso de propagação é o tempo necessário para que a saída responda a uma mudança de entrada. Definem-se dois tempos de atraso: t_{pLH} para transições de subida e t_{pHL} para transições de descida (considerando-se o sentido da tensão de saída), ilustrados na Figura 2.8a.

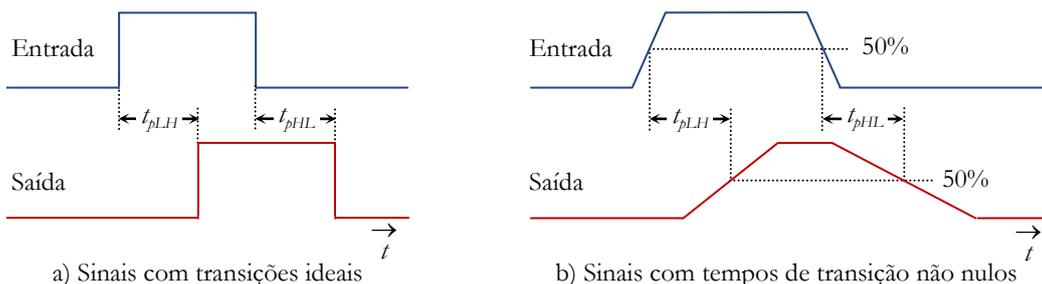


Figura 2.8 Atrasos de propagação de subida (t_{pLH}) e de descida (t_{pHL}) do sinal de saída.

Para a medida desses tempos na prática, adota-se o critério mostrado na Figura 2.8b – ou seja, mede-se o intervalo de tempo entre os instantes em que os sinais de entrada e saída passam por 50% de suas amplitudes. Define-se também o tempo médio de propagação t_p por

$$t_p = \frac{t_{pLH} + t_{pHL}}{2} \tag{2.11}$$

2.7.2 Limite de frequência de chaveamento

Quanto maior for o atraso, menor será a frequência com que a entrada poderá ser chaveada. Veja porquê.

Voltando à Figura 2.7, suponha que V_I seja uma onda quadrada de frequência f_s e período $T_s = 1/f_s$. Se a frequência é alta demais, a saída não consegue mudar de nível completamente a cada transição do sinal de entrada, o que resultaria num sinal de saída V_O como o da Figura 2.9. Esse sinal é apenas ilustrativo; num circuito lógico real, a saída permaneceria em algum nível lógico e o sinal seria bem mais complexo.

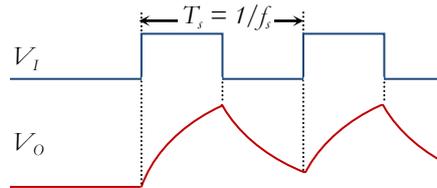


Figura 2.9 Saída de um circuito lógico chaveado com frequência excessiva

Como o tempo médio de propagação t_p fornece uma estimativa do tempo necessário para a tensão de saída transitar de um nível para outro, temos um critério para estabelecer um limite máximo para a frequência, dado por

$$f_s < \frac{1}{2t_p} \tag{2.12}$$

2.7.3 Hazard estático

Além de limitar a frequência de chaveamento, o atraso de propagação está associado a um fenômeno interessante denominado *hazard* (perigo) estático, que se caracteriza por uma mudança inesperada no nível de saída de um circuito lógico como resultado da transição de uma das entradas.

Para exemplificar, considere o circuito mostrado na Figura 2.10a. Matematicamente, a saída é dada por

$$V_O = V_I \cdot \overline{V_I} = 0,$$

ou seja, num mundo ideal a saída permaneceria em nível L , independentemente do nível de entrada V_I .

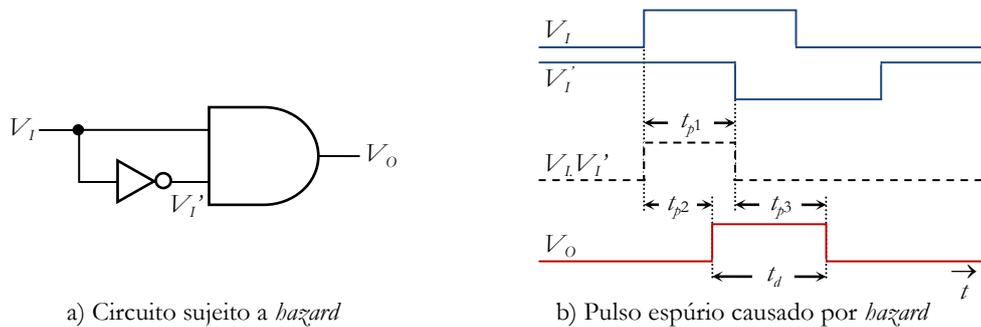


Figura 2.10 Exemplo de *hazard* estático.

Como mostra a Figura 2.10b, quando o sinal V_I sobe de L para H o atraso de propagação da porta inversora faz com que o sinal V_I' permaneça constante por um tempo adicional igual a t_{p1} , resultando num pulso de duração igual ao atraso no produto $V_I \cdot V_I'$. Esse pulso inesperado é mostrado na figura pela forma de onda tracejada.

Como a porta AND também tem atrasos, a forma de onda final em V_O será um pulso atrasado com relação a V_I e com duração t_d dado por

$$t_d = t_{p1} + t_{p3} - t_{p2} \tag{2.13}$$

Analisando o sentido das transições dos sinais V_I' e V_O na Figura 2.10b, vemos que t_{p1} e t_{p3} correspondem respectivamente aos atrasos de descida (t_{pHL}) e de subida (t_{pLH}) da porta inversa, enquanto que t_{p2} corresponde ao atraso de subida da porta AND.

Nota: existe também o chamado *hazard* dinâmico no qual uma mudança em uma entrada faz com que o nível de saída oscile algumas vezes antes de se estabilizar no nível final.

Existem técnicas para se evitar o *hazard*, mas isso não é fácil quando se trata de circuitos grandes com muitas entradas e saídas. Como veremos mais adiante no curso, a solução é usar *circuitos sequenciais*, que não trabalham com sinais contínuos mas com sinais amostrados em instantes discretos de tempo.

2.8 Saídas *open drain*

A família 74/54 oferece alguns circuitos TTL denominados coletor aberto (ou *open collector*). No caso dos circuitos CMOS, denominam-se dreno aberto (*open drain*). O estágio de saída desses circuitos não apresenta os dois transistores em *totem-pole* descritos na seção anterior, mas apenas o transistor inferior (o transistor superior é suprimido). Como exemplo, veja o circuito do 74HC05 no *datasheet* em anexo. Esse componente contém seis portas inversoras *open drain*. A segunda página do *datasheet* contém o diagrama elétrico da porta. A Figura 2.11a mostra o símbolo lógico do inversor '05 e as duas formas usadas para se indicar uma saída *open drain*: o sinal '*' ou o losango com o traço inferior.

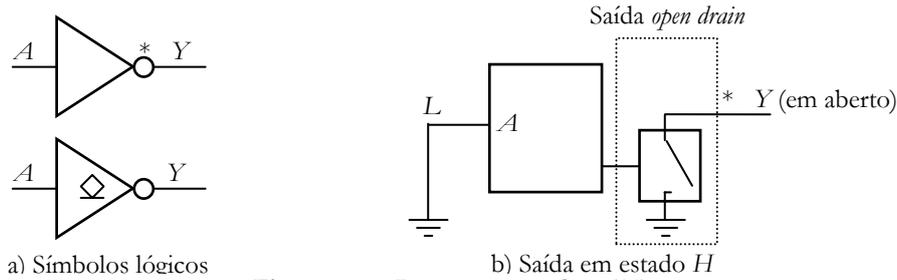


Figura 2.11 Inversor *open drain* '05

Na situação mostrada na Figura 2.11b, o inversor tem sua entrada *A* em nível *L* e tenta impor um nível *H* na saída abrindo o transistor inferior, mas a falta do transistor superior faz com que saída *Y* permaneça em aberto (ou seja, em *alta impedância*). Por outro lado, note que o transistor inferior ainda permite conectar a saída a 0 V quando ela estiver em nível lógico *L*.

2.8.1 Conversão de nível de tensão

A falta do transistor superior nos permite conectar o pino de saída a fontes de tensão com níveis diferentes de V_{DD} . É o que mostra o circuito da Figura 2.12. Quando a saída está em nível lógico *H*, o transistor inferior do estágio de saída se mantém aberto, e o sinal *Y* se conecta a tensão V_{BUS} pelo resistor *R*, conhecido como resistor de *pull-up*. Mais adiante falaremos mais sobre esse resistor.

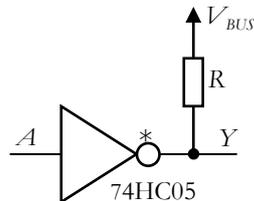


Figura 2.12 Saída coletor aberto com resistor de *pull-up*

2.8.2 Circuito *wired-and*

É possível implementar uma operação AND entre saídas *open collector* (TTL) ou *open drain* (CMOS) simplesmente ligando-as em curto-circuito e com um resistor de *pull-up*. É a chamada lógica *wired-and*. A Figura 2.13 mostra um exemplo de lógica *wired-and* entre três portas 74HC com saída *open drain*.

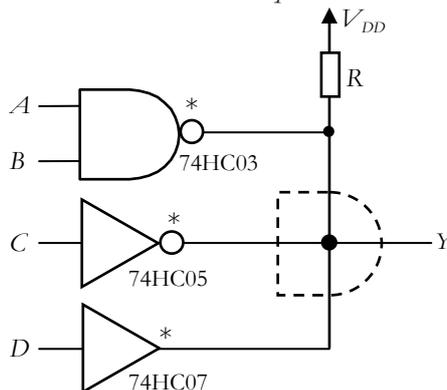


Figura 2.13 Exemplo de lógica *wired-and*.

O sinal Y é um *and* entre as saídas das três portas (a porta AND pontilhada não existe de fato, mas é dessa forma que o *wired-and* costuma ser representado em diagramas lógicos). Em termos lógicos, temos

$$Y = \overline{(A.B).C}.D . \quad (2.14)$$

O sinal de saída Y ficará em L quando uma ou mais das três saídas estiver em nível L . Por outro lado, quando todas estiverem em H , todas estarão em alta impedância e a via Y ficará carregada eletricamente com V_{DD} através do resistor R .

2.9 O resistor de *pull-up*

Para dimensionar o resistor de *pull-up* de uma saída *open drain*, precisamos entender o que acontece quando a saída está em L ou em H .

2.9.1 R mínimo

No circuito da Figura 2.14, Y é uma saída *open drain* ligada ao resistor de pull up R e a n entradas de outras portas. Quando a saída vai para o nível lógico L , o transistor de saída conduz e permite a passagem de corrente para o terra do circuito. Essa corrente – indicada na figura por I_Y , é a soma da corrente I_R que passa pelo resistor de *pull-up* e das que vêm das n entradas alimentadas pelo Y .

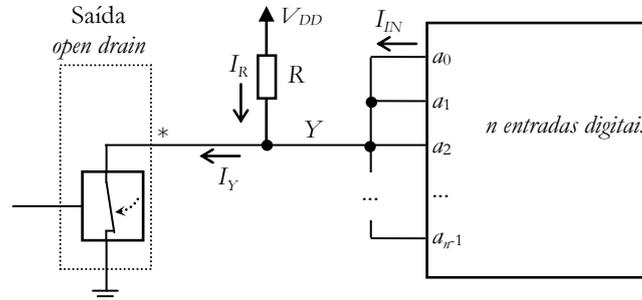


Figura 2.14 Corrente drenada pela saída quando em nível L

Como a tensão em Y é próxima de 0 V , a corrente I_R será dada por $I_R = V_{DD}/R$. Já as correntes I_{IN} nas entradas das outras portas são muito baixas nos circuitos CMOS e podem ser desprezadas. Assim, podemos admitir que a corrente I_Y seja aproximadamente igual a I_R .

A corrente I_Y não pode ultrapassar a máxima corrente que a saída pode drenar, que é especificada pelo parâmetro I_{OUT} recomendado no *datasheet*. Chega-se assim à principal função do resistor R : limitar a corrente que circula entre V_{DD} e o terra através do transistor de saída quando ele está fechado, evitando que se queime. Ou seja,

$$I_Y < I_{OUT} , \quad \text{sendo} \quad I_Y \cong I_R \cong \frac{V_{DD}}{R} . \quad (2.15)$$

Na prática, escolhe-se um resistor com valor bem maior que o mínimo para dar proteção extra ao transistor de saída. E assim também se minimiza a corrente que a fonte V_{DD} deve fornecer quando a saída Y está em nível L .

2.9.2 R máximo

A Figura 2.15 ilustra o que acontece quando a saída está em H . O transistor de saída não conduz e a corrente I_Y é praticamente nula. Assim, a corrente que passa pelo resistor R é dada pela soma das correntes que são drenadas pelas n entradas ligadas à saída Y , sendo que cada uma dessas correntes vale máximo I_{IN} . Ou seja, I_R será menor que $n.I_{IN}$.

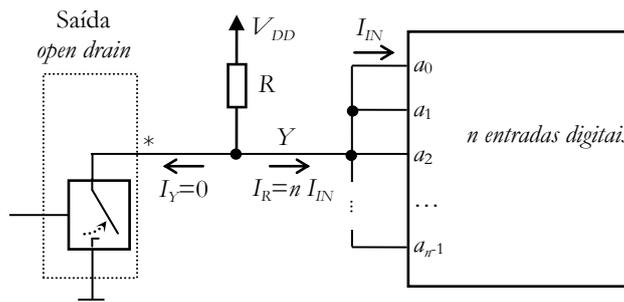


Figura 2.15 *Pull-up* alimentando entradas digitais em nível H

O valor do resistor R não pode ser excessivamente alto, caso contrário a queda de tensão provocada pela corrente I_R poderia deixar a tensão em Y abaixo de V_{OH} , que é a tensão mínima para uma saída em H . Ou seja,

$$RI_R < V_{DD} - V_{OH}, \text{ sendo } I_R < nI_{IN}. \quad (2.16)$$

Como vimos no item anterior, convém usar um resistor bem maior que o mínimo. No entanto, também convém se escolher um valor bem abaixo do máximo permitido. Como a corrente I_{IN} é bem baixa nos circuitos CMOS (da ordem de microampères), o limite superior para o resistor R seria da ordem de megaohms (M Ω). Um resistor de *pull up* dessa magnitude deixaria o ponto Y em alta impedância e portanto susceptível a ruído. Por isso, na prática se limita o resistor a valores na faixa de kilohms (k Ω).

2.10 Materiais e Equipamentos

2.10.1 Osciloscópio

O osciloscópio é um dos instrumentos mais versáteis da eletrônica. Com esse instrumento é possível visualizar formas de onda de sinais de tensão e medir a frequência de sinais periódicos. Durante este curso utilizaremos o osciloscópio digital TDS 1012C, mostrado na Figura 2.16.

Na parte central inferior do painel, encontram-se dois conectores metálicos, indicados na figura como “Sinal de calibração”. O inferior é um contato de terra e o superior fornece um sinal periódico quadrado de 1 kHz e 5 V de amplitude, usado como padrão para a calibração das pontas de prova, conforme veremos no laboratório.

Vamos ver (muito) resumidamente como configurar o osciloscópio para usá-lo nesta experiência. Nas linhas seguintes, o termo “botão” se refere a um dos botões rotulados (na face ou acima) do painel. Já o termo “menu” se refere a um dos itens que aparecem na lateral direita da tela – selecione-o apertando a tecla lateral; para alterar o valor, tecla-se repetidas vezes ou gira-se o seletor multifunção na parte superior do painel (um led se acende ao lado dele sempre que estiver ativo).

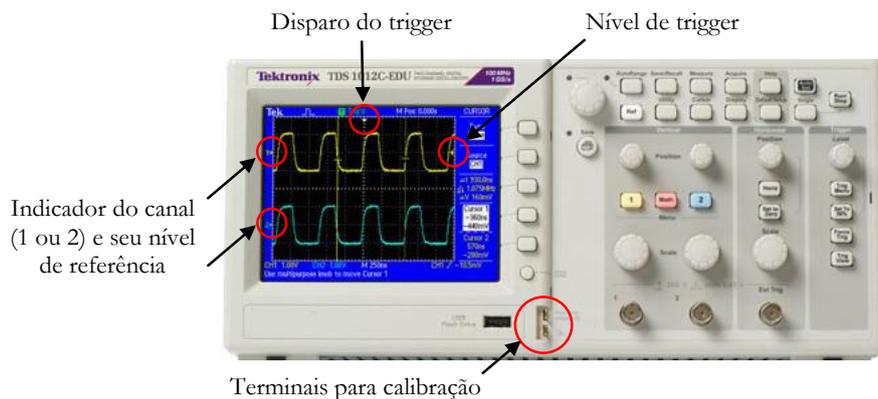


Figura 2.16 Osciloscópio digital TDS 1012C

Ligar/selecionar/desligar canais O botão “1” seleciona o canal 1 e ativa o menu deste na lateral direita da tela; se estiver desligado, aperte uma vez para ligá-lo. **ATENÇÃO:** se o menu do canal 1 estiver ativo, o botão “1” servirá para desligá-lo. Sempre que o canal 1 está ligado, você poderá encontrar o indicador “1→” na lateral esquerda da tela (veja a figura). O indicador mostra também a posição vertical do nível de referência (0 V) do canal. Analogamente, o botão “2” liga/seleciona/desliga o canal 2, e pode-se ver um “2→” à esquerda da tela quando este estiver ligado.

Atenuação 10x As pontas de prova disponíveis no laboratório possuem atenuação fixa de 10x (note essa inscrição no conector do cabo). Um divisor resistivo existente na ponta ATENUA em dez vezes as tensões, mas em compensação faz a ponta drenar menos corrente e assim interferir menos no circuito medido. É preciso então configurar os canais para que apresentem na tela os valores corretos de tensão. Selecione o canal (botão “1” ou “2”) e verifique se o menu “Probe” mostra “10X Voltage” – caso contrário, selecione o menu “Probe” e em seguida o menu “Attenuation” até ajustar em “10X”.

Acoplamento AC ou DC No modo *AC*, o nível médio dos sinais é descartado e mede-se apenas a amplitude das oscilações (um capacitor é inserido em série com a entrada). Neste modo, o indicador do canal (na lateral esquerda da tela) vai sempre apontar para o ponto médio da amplitude do sinal (nível 0 V). Em *DC*, mede-se o valor integral das tensões, e pode-se medir os mínimos e máximos do sinal. Para alterar o modo de acoplamento, selecione o canal (botão “1” ou “2”) e ajuste o menu “Coupling” para “AC” ou “DC”.

Limite de banda Para se visualizar sinais de baixa frequência, pode-se limitar a banda de entrada do canal à 20 MHz. Isso atenua a entrada de ruído de alta frequência, resultando em um sinal mais limpo na tela. No entanto, para se

visualizar transições rápidas mesmo em sinais de baixa frequência, como faremos nesta experiência, o limite de banda deve ser desligado. Selecione o canal (botão “1” ou “2”) e ajuste o menu “*BW Limit*” para “*on*” ou “*off*”.

Modo *Average* para melhorar a visualização de um sinal com muito ruído, pode-se ativar o modo *average*. Neste modo, o osciloscópio armazena alguns conjuntos completos de amostras do sinal e mostra na tela a média ponto a ponto das amostras. Como resultado, o ruído tende a ser cancelado mas o osciloscópio fica mais lento. Para ajustar, selecione o canal (botão “1” ou “2”) e tecla “*Acquire*”; no menu da tela tecla em “*Average*” (no singular...) uma vez para ativar e outra vez para desativar; selecione o número de amostras usadas para gerar o sinal médio teclando seguidas vezes em “*Averages*” (no plural...).

Trigger Para que sinais periódicos sejam mostrados de forma estática na tela é necessário ajustar o circuito de disparo de varredura (*trigger*). Os sinais são desenhados na tela a partir do instante que um sinal de referência atinge um valor determinado – o *nível de trigger*. O botão “*Level*” permite ajustar o nível de *trigger* - apontado por um marcador “←” no lado direito da tela (veja a figura). O instante de disparo é apontado por um marcador “↓” na horizontal superior da tela, e pode-se mudar sua posição na horizontal pelo botão “*Horizontal Position*”.

O botão “*Trig Menu*” (à direita do painel) ativa o menu do circuito de *trigger* e permite ajustar os parâmetros de geração dos disparos de *trigger*.

- **Source:** sinal de referência (*CH1*, *CH2* ou Externo)
- **Type:** particularidade do sinal (borda, largura de pulso ou sinal típico de vídeo)
- **Slope:** tipo de borda do sinal (subida ou descida)
- **Mode:** *AUTO* (gera disparos mesmo que o sinal não atinja o nível de *trigger*) ou *NORMAL*
- **Coupling:** modo de acoplamento de entrada da fonte de *trigger* (AC ou DC)

IMPORTANTE: faça as medidas no osciloscópio **graficamente**. Ou seja, meça em divisões da tela e multiplique pela escala horizontal ou vertical. Apesar dos osciloscópios digitais medirem automaticamente vários parâmetros do sinal (como período, frequência, amplitude, etc.), convém tomá-los como indicações rápidas, principalmente quando o sinal é ruidoso ou o período é instável. Por exemplo, o osciloscópio considera a menor e a maior tensão amostrada para medir a amplitude, e isso pode ser bem diferente do que você está observando na tela se o sinal tiver picos espúrios causados por ruído – os quais por bom senso seria razoável desprezar...

ATENÇÃO: internamente **estão interligados** todos os **contatos de terra** do osciloscópio: terra do sinal de calibração do painel, blindagens das entradas dos canais e de *trigger* externo e principalmente as garras de terra das pontas de prova. Quando por exemplo a garra de uma das pontas está conectada a um ponto do circuito com um certo nível de tensão e a outra garra toca um ponto com tensão diferente, ocorre um **curto-circuito** entre esses pontos através dos terras das pontas! Para evitar esse tipo de acidente no laboratório, apenas uma das pontas está equipada com o terminal de terra. Isso não é adequado para se medir sinais de baixa amplitude ou de frequência elevada, mas não será problema para fazermos esta experiência.

Para saber mais: na página de PMR3303 em <https://edisciplinas.usp.br/course>, você pode encontrar algumas seções selecionadas do manual do osciloscópio TDS 1012C. Não é necessário trazer as cópias do manual ao laboratório – haverá manuais a disposição.

2.10.2 Gerador de Funções

O gerador de funções é um equipamento de testes utilizado para injetar sinais periódicos em circuitos eletrônicos. No gerador disponível no laboratório, modelo FG-8102, as frequências geradas vão de 0,2 Hz a 2 MHz.

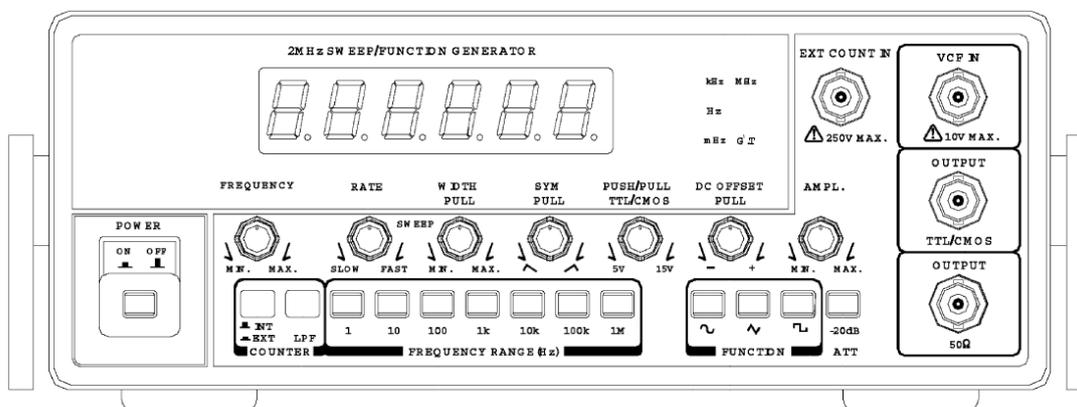


Figura 2.17 Gerador de Funções FG-8102

Note que há dois conectores de saída (OUTPUT) à direita do gerador de funções:

- TTL/CMOS: forma de onda quadrada padrão com níveis de tensão controlados pelo botão TTL/CMOS. Com esse botão puxado (PULL), pode-se ajustar a amplitude entre 5 a 12 V; na posição empurrada (PUSH), os níveis de tensão são fixos em 0 e 5 V (o chamado *signal TTL*).
- 50 Ω : saída de sinais ajustáveis (com impedância de saída de 50 Ω). O gerador de funções permite ajustar a amplitude (botão AMPL.), o valor médio do sinal (botão DC OFFSET puxado) e a largura dos pulsos (botão WIDTH puxado).

Nesta experiência, usaremos apenas a saída TTL/CMOS e a onda quadrada padrão de 0 a 5 V.

Nota: o painel do gerador mostra apenas a frequência do sinal. Para ajustar a amplitude (ou o mínimo e o máximo) do sinal, é necessário observá-lo no osciloscópio.

2.11 Pré-Relatório e Relatório

O formulário que se encontra na PARTE B da apostila constitui tanto o pré-relatório como o relatório desta experiência. Existem dois tipos de itens que você deverá responder:

- **Exercícios:** constituem o *pré-relatório* e **recomendamos fortemente** que sejam ser feitos com cuidado *antes* da aula. Se você tiver que fazê-los ou corrigi-los no laboratório, perderá tempo e poderá não conseguir concluir todas as atividades.
- **Anotações:** constituem o *relatório* e devem ser feitas individualmente *durante* a aula.

ATENÇÃO: leia as atividades da PARTE B e não apenas os enunciados dos exercícios do pré-relatório

Muitos detalhes necessários para fazer os exercícios estão descritos nas atividades em que se inserem. Além disso, você já terá uma noção do que deverá fazer e perderá menos tempo com a leitura durante a aula.