**Texto**

**Departamento de Engenharia Elétrica e de Computação**

# SEL 412– Tecnologia Digital

# Trabalho Nº1

Verificação do funcionamento de diversas portas lógicas

OBS: SIGAM AS ORIENTAÇÕES DE ENVIO DE RELATÓRIO:

**Como relatório, coloque nome completo e número dos membros do grupo no esquemático do projeto, gere um arquivo em pdf e envie o arquivo como nome Trabalho1\_nome1\_nome2, e envie pelo moodle no lugar indicado para a turma a qual pertence: Exemplo: envio trabalho1\_turma2**

**Onde: nome1 e nome2 são os nomes dos alunos do grupo.**

**1. Objetivos:**

* Verificação da tabela verdade de diferentes portas lógicas;
* Configuração de projeto lógico em dispositivo lógico programável tipo FPGA
* Familiarização com a ferramenta de software Quartus II da Altera;

**2. Lista de Material:**

* Módulo de desenvolvimento Mercúrio IV –Macnica DWH contendo Dispositivo Programável de Alta Complexidade HCPLD do tipo FPGA Cyclone IV da Altera;
* Software Quartus II versão 15.1 web edition da Altera

**3. Procedimento:**

**Utilizando o software QUARTUS II 15.1 web edition, criar um projeto em esquemático, seguindo os passos do arquivo “Guia de projetos em Esquemático QUARTUS II”, escolher o dispositivo FPGA EP4CE30F23C-7 da família Cyclone IV E, que se encontra no módulo de desenvolvimento Mercúrio IV da Macnica:**

**Implementar um projeto que apresente :**

**1 porta NOT;**

**1 porta AND de 2 entradas;**

**1 porta NAND de 2 entradas;**

**1 porta OR de 2 entradas;**

**1 porta NOR de 2 entradas;**

**1 porta XOR de 2 entradas;**

**1 porta XNOR de 2 entradas;**

**Simule o projeto e verifique se os sinais das saídas são compatíveis com o funcionamento lógico das portas lógicas.**

**Insira a pinagem da Tabela 1 no projeto. Compile e configure no dispositivo.**

**Verifique a tabela verdade das portas variando os valores das chaves SW[0] e SW[1], observando as saídas de cada porta nos LEDs da matriz de LEDs.**

**Observação: Os LEDs da matriz acendem em nível lógico baixo**

**Tabela 1**

|  |  |
| --- | --- |
| **Nome Pino** | **Pino do FPGA** |
| **SW[0]** | **V21** |
| **SW[1]** | **W22** |
| **LEDM\_C[0]** | **J7** |
| **LEDM\_C[1]** | **J6** |
| **LEDM\_C[2]** | **K8** |
| **LEDM\_C[3]** | **J8** |
| **LEDM\_C[4]** | **L8** |
| **LEDM\_R[0]** | **F10** |
| **LEDM\_R[1]** | **C8** |
| **LEDM\_R[2]** | **E9** |
| **LEDM\_R[3]** | **G9** |
| **LEDM\_R[4]** | **F9** |
| **LEDM\_R[5]** | **F8** |
| **LEDM\_R[6]** | **G8** |

**4. Bibliografia:**

* Fregni, E. & Saraiva, A.M., “ Engenharia do Projeto Lógico Digital”, Ed. Edgard Blücher Ltda.
* Tocci, J. R. , “Sistemas Digitais- Princípios e Aplicações