

Dispositivos Lógicos Programáveis (PLD)

Profa. Luiza Maria Romeiro Codá

Dispositivos Lógicos Programáveis (PLD)

são circuitos integrados cujas conexões internas podem ser alteradas mediante programação pelo usuário de modo a realizar diferentes projetos de circuitos lógicos;

Não apresentam uma função lógica definida, até que sejam configurados;

Possuem um grande número de portas lógicas (*AND*, *OR*, *NOT*), flip-flops e registradores os quais estão ligados em um mesmo CI;

E seu uso facilita prováveis mudanças de projeto.

Dispositivos Lógicos Programáveis (PLD)

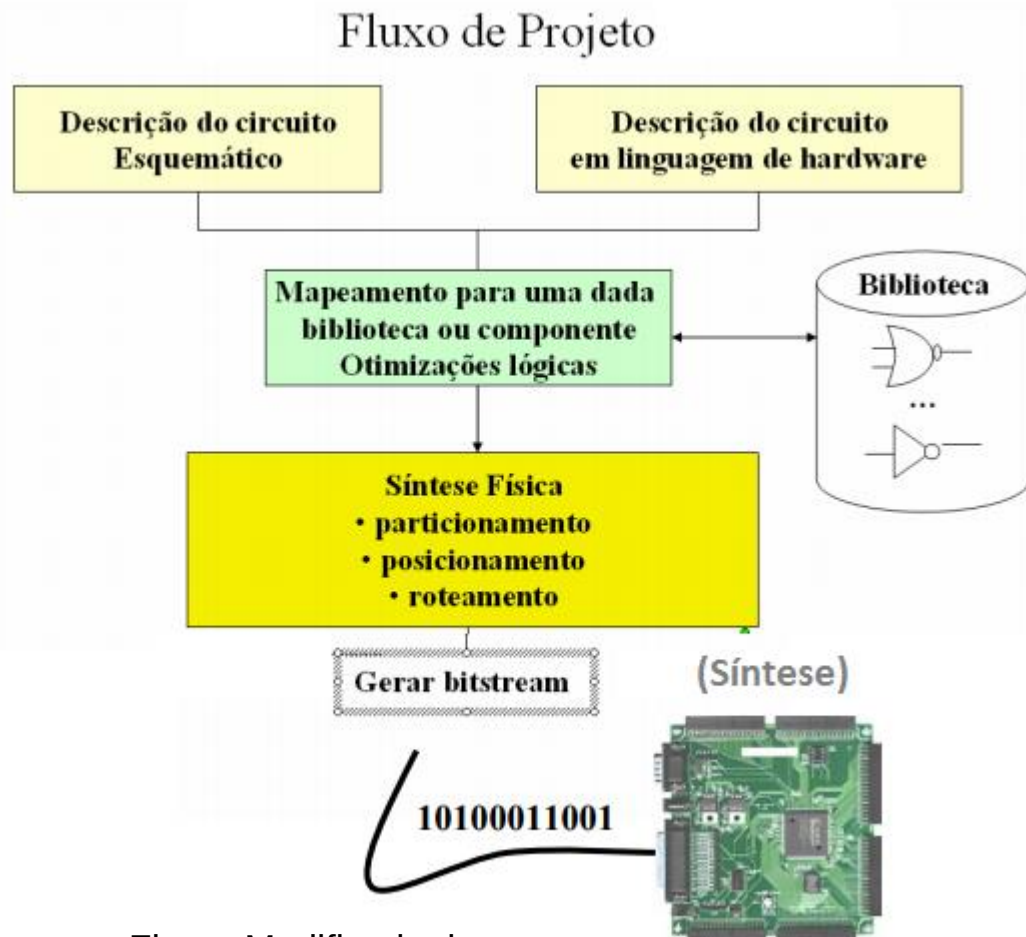


Figura Modificada de

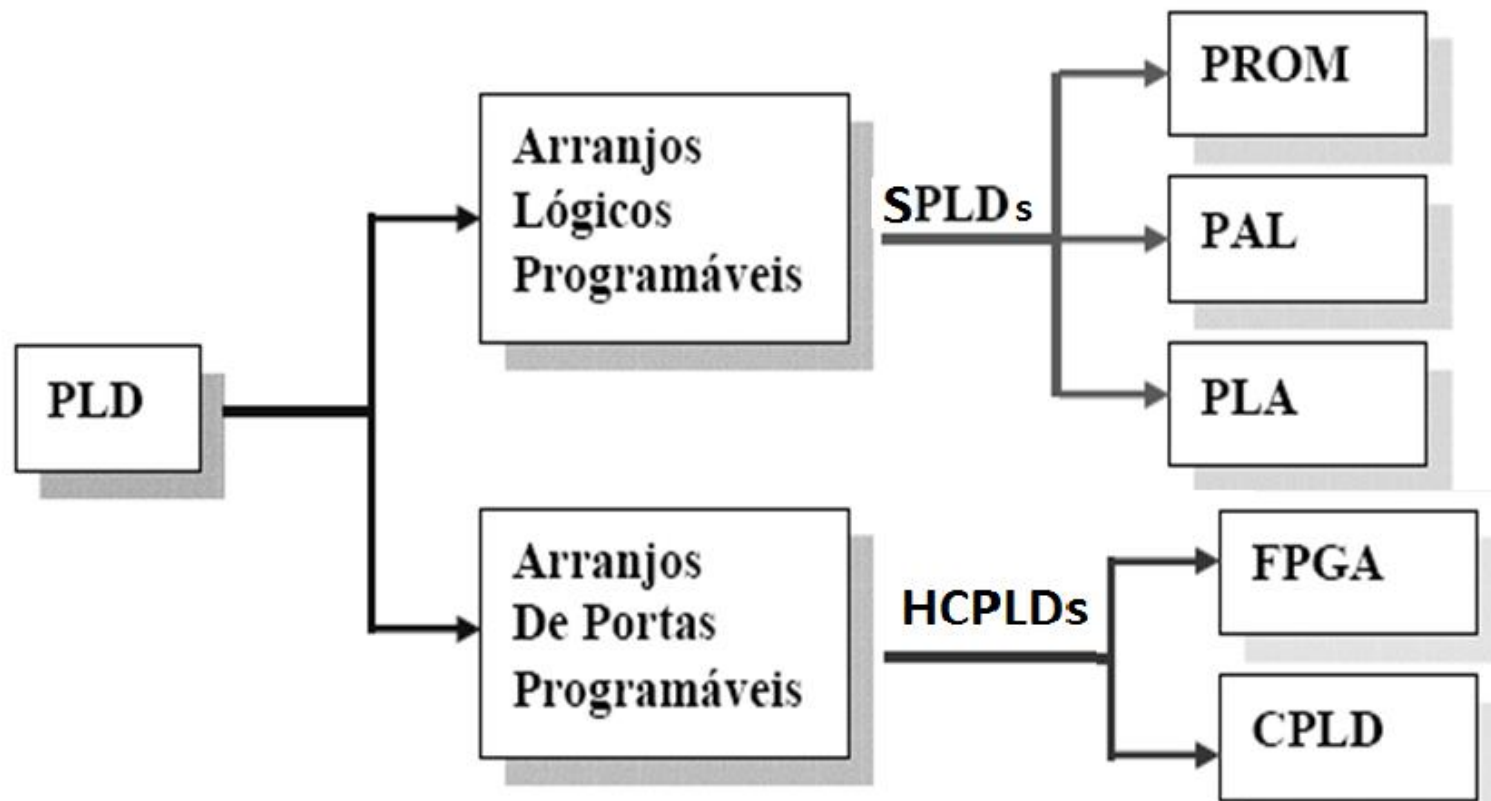
<http://www.inf.ufrgs.br/~fglima/TD/TD16.pdf>

Dispositivos Lógicos Programáveis (PLD)

Atualmente os PLDs são divididos em duas categorias:

- Dispositivos Lógicos Programáveis Simples(SPLDs)
ou Arranjos Lógicos Programáveis:
- Dispositivos Lógicos Programáveis de Alta Complexidade (HCPLDs)
ou Arranjos de Portas Programáveis:

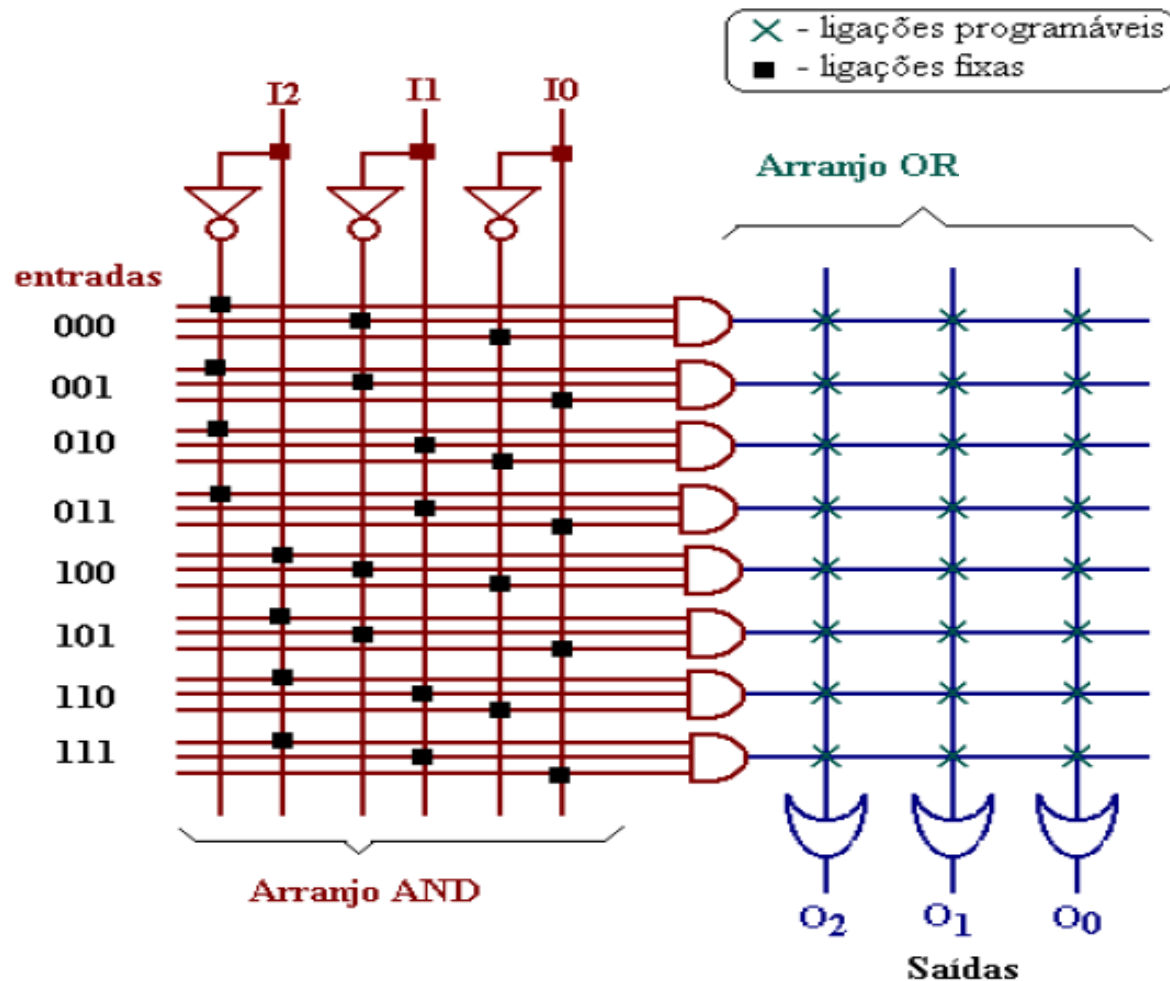
Tipos de Dispositivos Lógicos Programáveis (PLD)



Dispositivos Lógicos Programáveis Simples (SPLD) (ou Arranjos Lógicos Programáveis)

- ✓ consiste de um circuito que possui uma estrutura interna baseada em um conjunto de portas ***AND-OR*** (o conjunto de portas ***AND*** e ***OR*** são chamados de **arranjos**).
- ✓ Sua estrutura é baseada em EPROM (ROM Programável)

SPLDs ou Arranjos Lógicos Programáveis



Memória PROM (programmable read-only memory)

- O primeiro chip programável pelo usuário;
- linhas de endereço servem como inputs e as linhas de dados como output;
- pode implementar qualquer circuito combinacional;
- Não volátil;

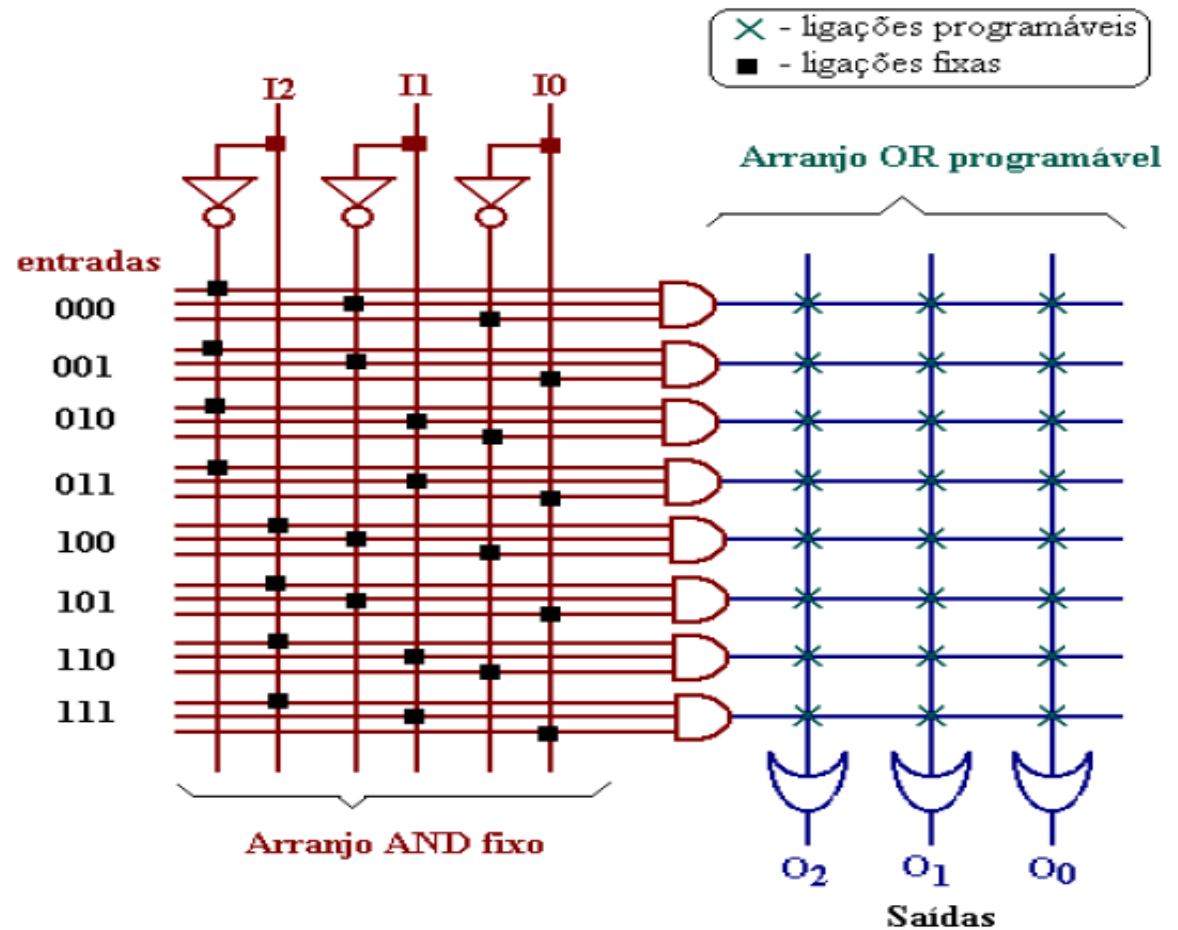
Memória PROM (continuação)

é uma memória apenas de leitura que pode ser gravada uma vez pelo usuário através da queima dos fusíveis internos.

Na memória *PROM* o arranjo *AND* é pré-definido em fábrica (arranjo fixo) e somente o arranjo *OR* é programável.

Memória PROM (continuação)

Na memória *PROM* o arranjo *AND* é pré-definido em fábrica (arranjo fixo) e somente o arranjo *OR* é programável.

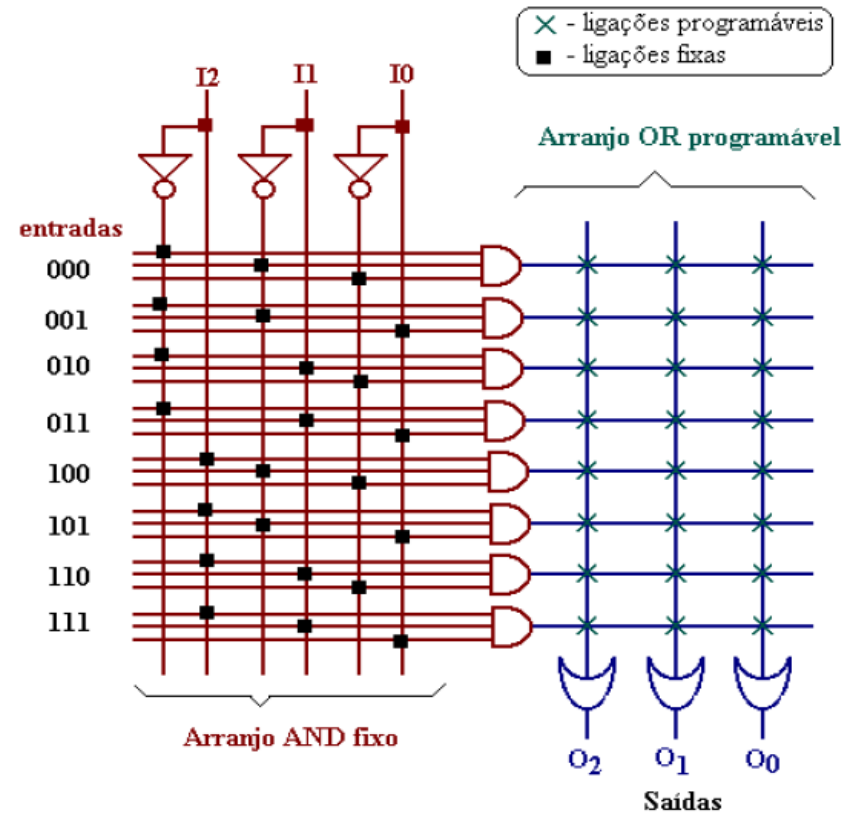
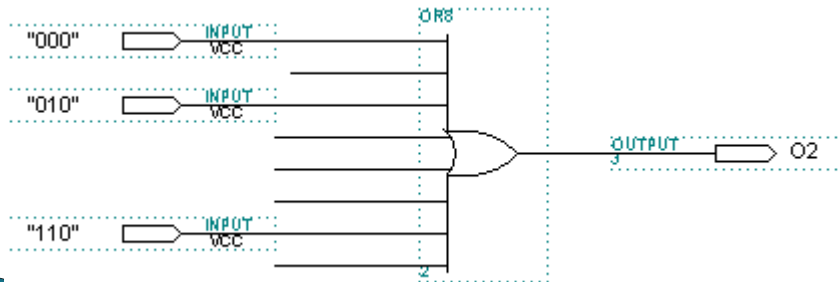


Memória PROM (continuação)

Funções programadas

Entrada			Saída		
I2	I1	I0	O2	O1	O0
0	0	0	1	0	0
0	0	1	0	1	1
0	1	0	1	0	0
0	1	1	0	0	1
1	0	0	0	0	1
1	0	1	0	0	0
1	1	0	1	1	0
1	1	1	0	0	0

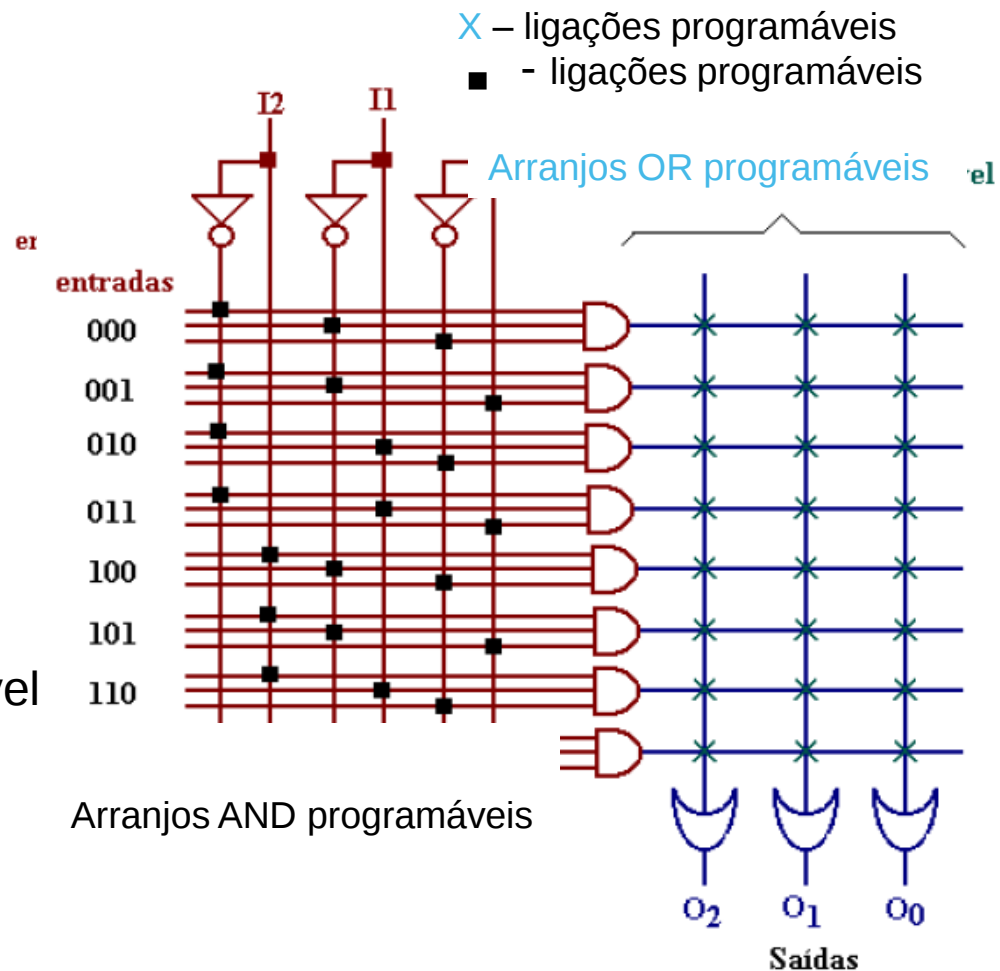
Programação da saída O2



PLA – Matriz Programáveis Logicamente (*Programmable Logic Arrays*)

- Um *PLA* possui tanto a matriz de portas *AND* quanto a matriz de portas *OR* programáveis combinando as características de uma *PROM* e de um *PAL*

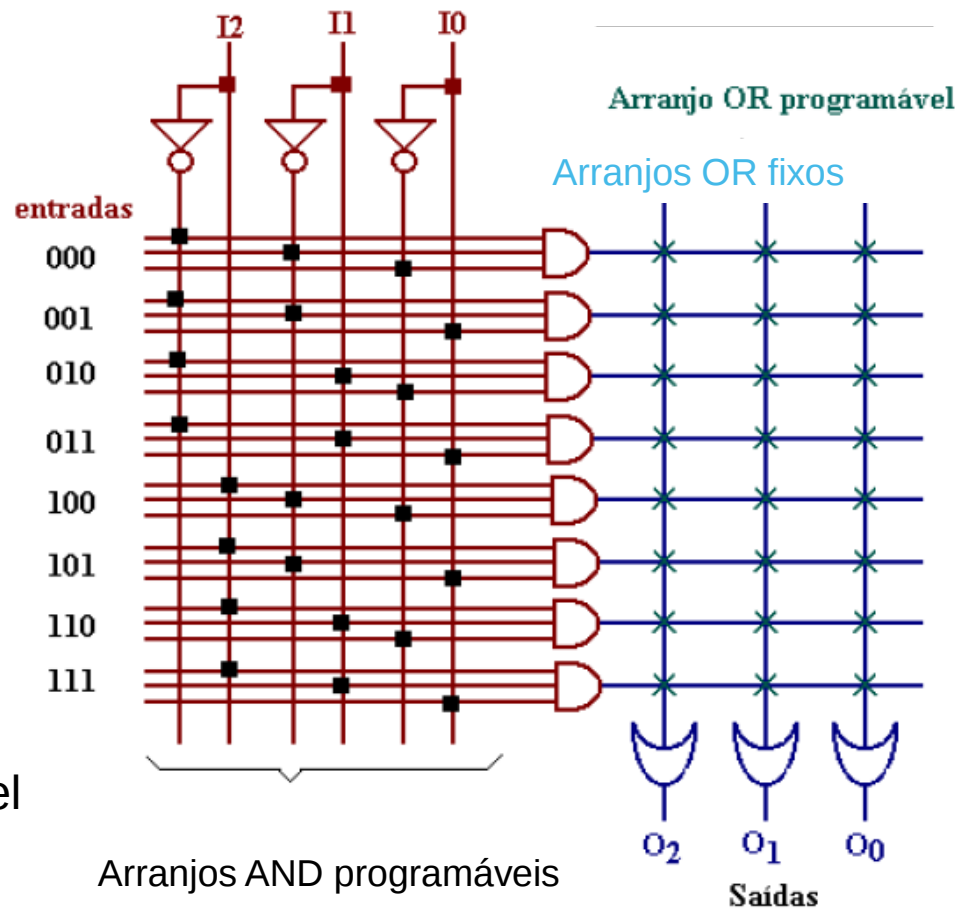
✓ O elemento programável é um fusível



PAL – Matriz Lógica Programável (*Programmable Array Logic*)

- ▶ O *PAL* tem as portas *AND* programáveis, ou seja, enquanto as portas *OR* são pré-conectadas em fábrica, então todas as portas *AND* podem ser programadas.

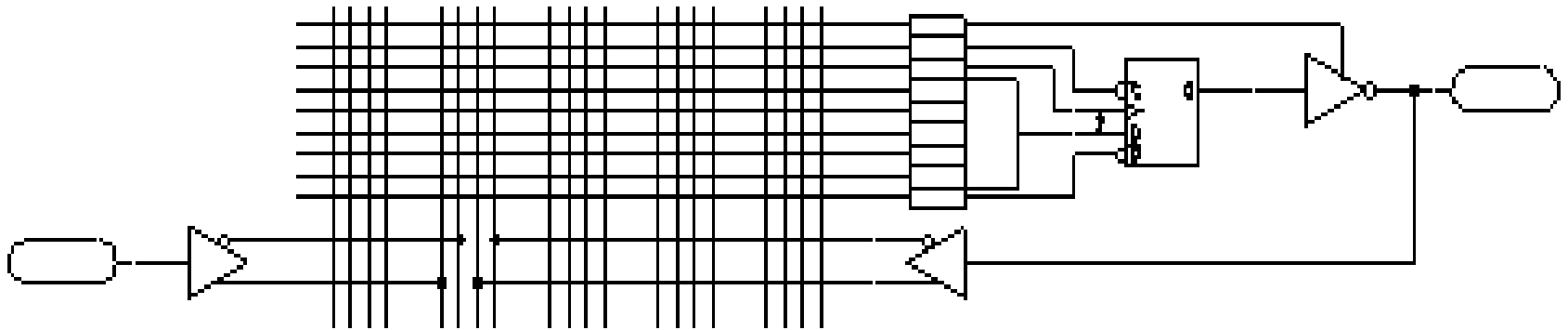
× – ligações fixas
■ - ligações programáveis



✓ O elemento programável é um fusível

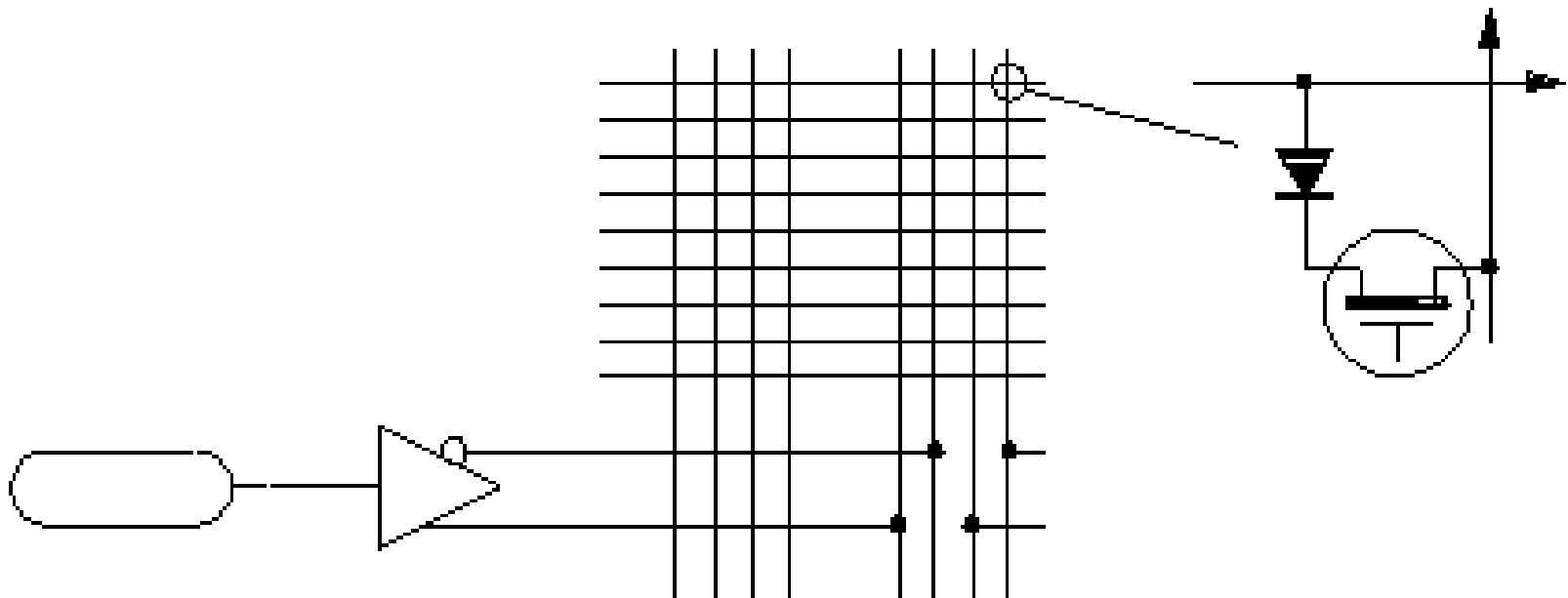
PAL Sequencial

- ✓ Apresenta Flip-flop nas saídas
- ✓ O elemento programável é um fusível

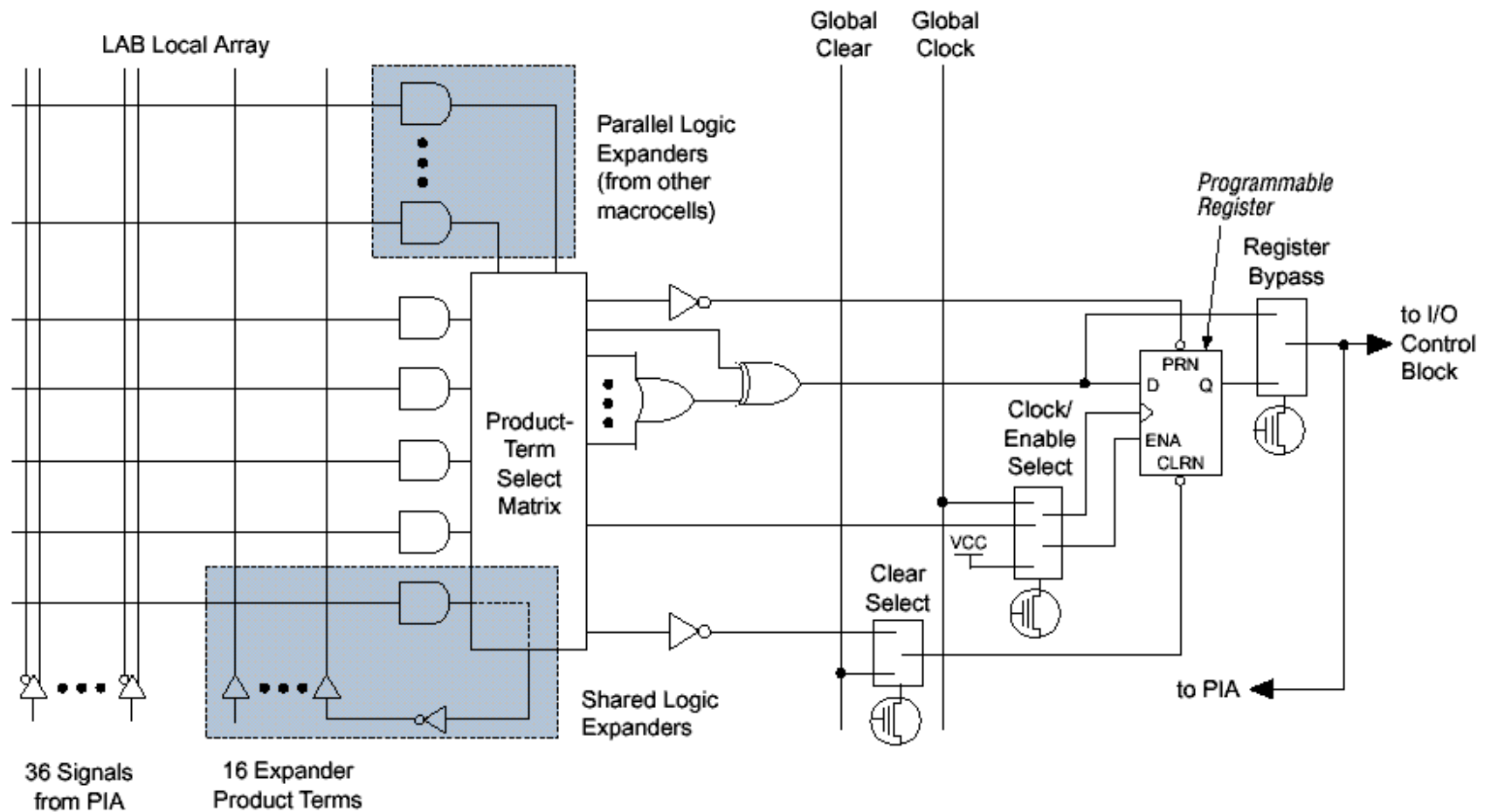


EPLD (Dispositivos Lógicos Programáveis Apagáveis) ou GAL (Arranjo Lógico Genérico

- ✓ Elemento Programável com MOSFET de Porta Flutuante



EPLD: Célula Lógica



Dispositivos Programáveis de Alta Complexidade (HCPLD) ou Arranjos de Portas Programáveis

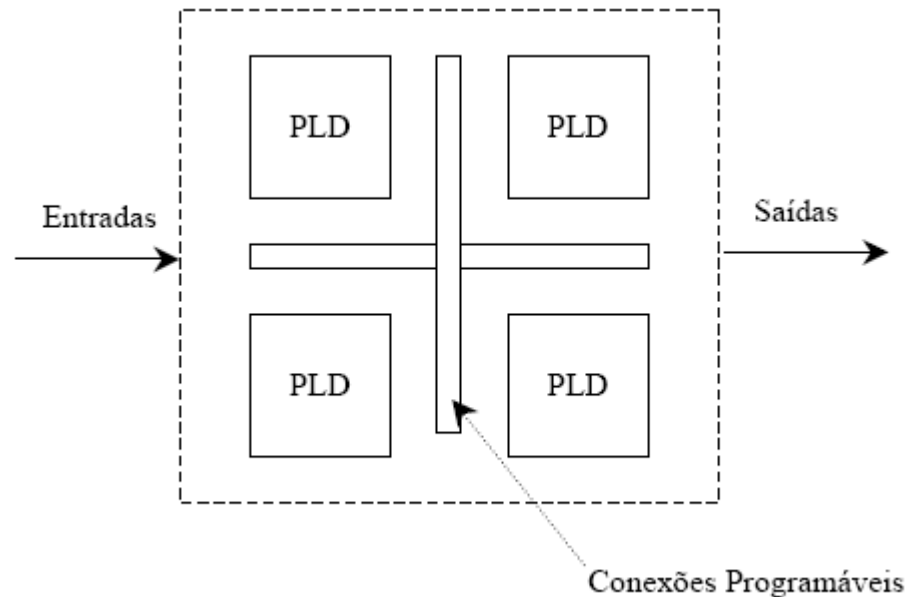
- ▶ HCPLDs são estruturas mais genéricas e versáteis que as baseadas na estrutura tradicional *AND-OR* dos arranjos lógicos programáveis.

Dispositivos Programáveis de Alta Complexidade (HCPLD) ou Arranjos de Portas Programáveis (continuação)

A principal vantagem deste tipo de circuito é a alta capacidade de integração possibilidade de reprogramação do comportamento de um circuito quantas vezes for necessária.

CPLD – Complex PLD

Os *CPLDs* podem ser vistos como dispositivos que utilizam em sua estrutura vários *PLD's* (*PLA ou PAL*). Cada *PLA* ou *PAL* formam células que são interligadas através de conexões programáveis



FPGA– Field Programmable Gate Array

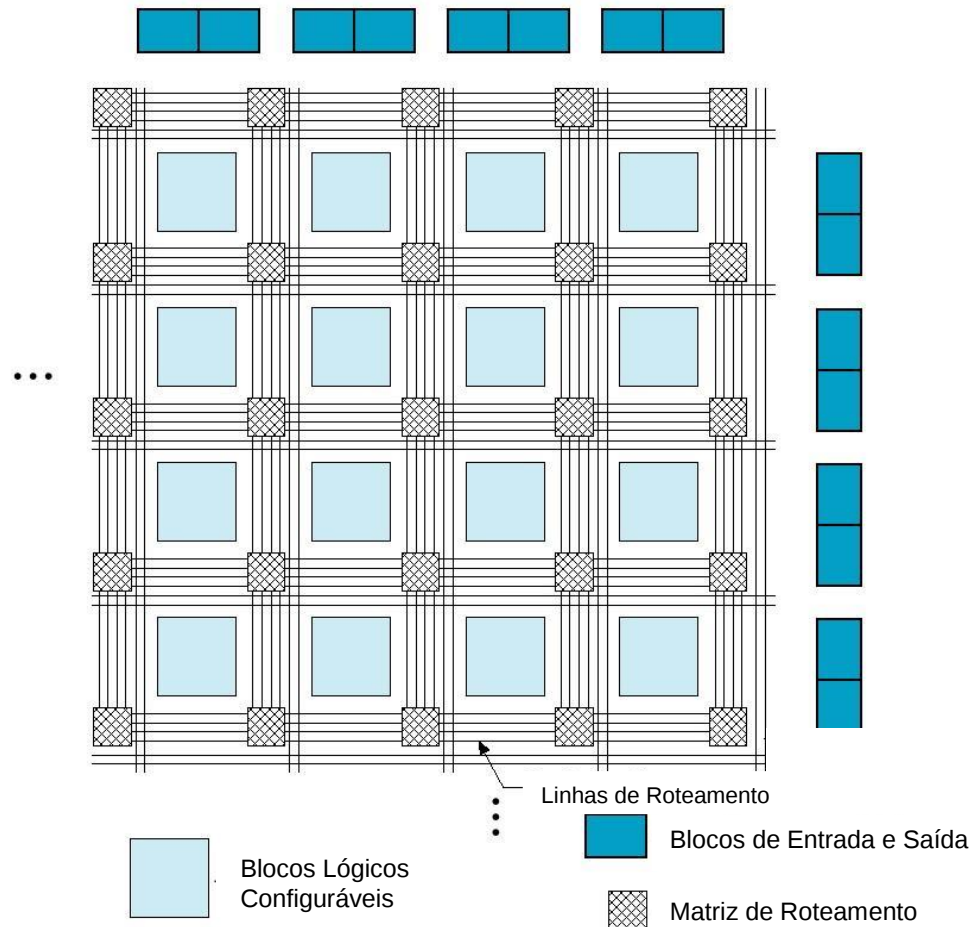
É um dispositivo lógico programável que pode ser configurados via software para implementar circuitos digitais. Sua arquitetura consiste em uma matriz com 3 tipos de elementos programáveis:

- CLB (Blocos Lógicos Configuráveis);
- IOB (Blocos de Entrada/Saída);
- Chaves de interconexão dos CLBs com os IOBs

FPGA– Field Programmable Gate Array (continuação)

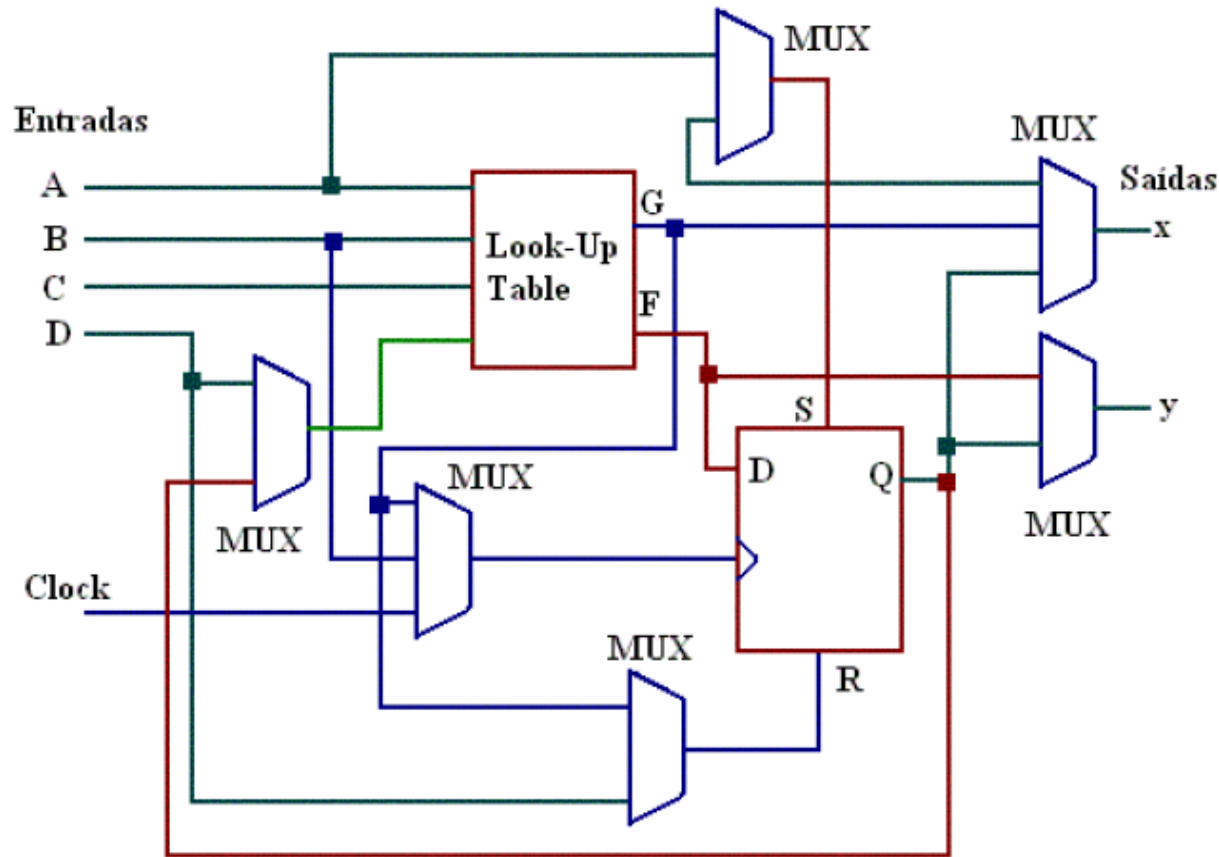
- **CLB (blocos lógicos configuráveis):** são vários circuitos idênticos compostos por alguns Flip-flops e lógica combinacional extra, formando um arranjo bidimensional;
sua função é gerar a lógica sequencial do circuito a ser implementado.
- **IOB (Blocos de Entrada/Saída):** São constituídos de buffers bidirecionais com saída em alta impedância;
sua função é o interfaceamento das saídas dos CLBs com o exterior do FPGA , funcionar com pinos de entrada ou saída;
- **Chaves de interconexão :** são organizadas como canais de roteamento(interligação) horizontal e vertical entre linhas e colunas dos CLBs e IOBs

FPGA– Field Programmable Gate Array



FPGA– Field Programmable Gate Array(continuação)

A típica estrutura interna de um bloco lógico configurável de um *FPGA*, consiste em flip-flops, um determinado número de multiplexadores e uma estrutura de função combinatória para implementar as funções lógicas.

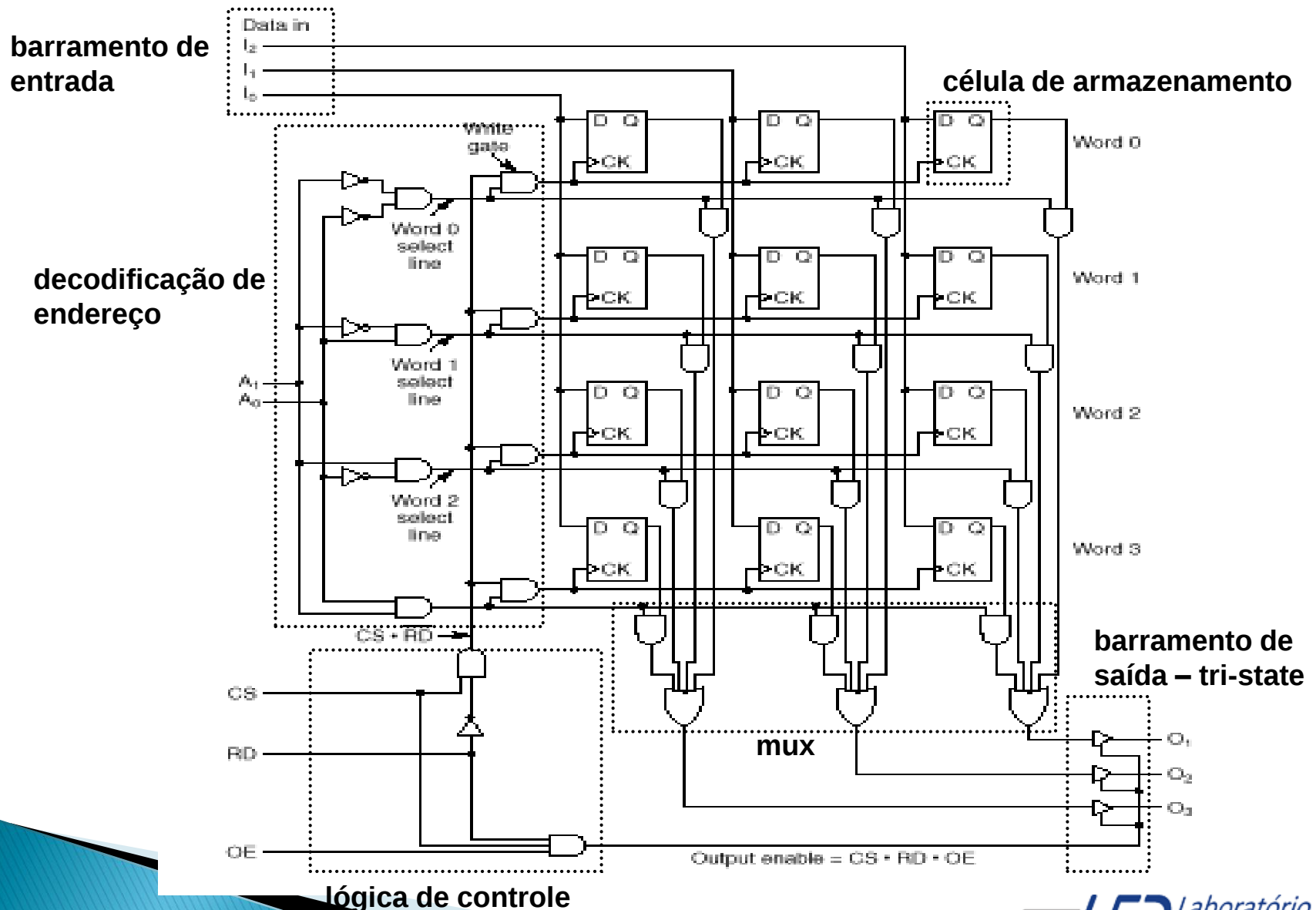


FPGA– Field Programmable Gate Array(continuação)

Os FPGAs disponíveis comercialmente podem ser divididos em tres categorias segundo a tecnologia de programação:

- roteamento através de células SRAM
- roteamento através de antifuse
- roteamento através de gate flutuante

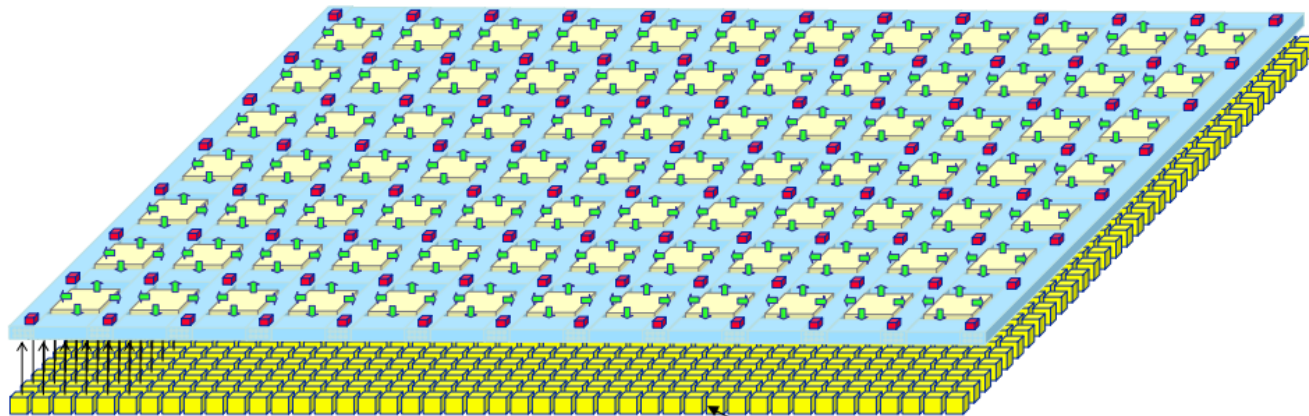
Memória SRAM – Diagrama interno



FPGA– Field Programmable Gate Array(continuação)

- roteamento através de células SRAM:

A programação é realizada por um vetor de bits(bitstream) que “setam” os bits da RAM)



**Essas são as células
SRAM que guardam a
programação**

Figura retirada de

<http://www.inf.ufrgs.br/~fglima/TD/TD16.pdf>

FPGA– Field Programmable Gate Array(continuação)

- Mapeamento lógico baseado em SRAM:

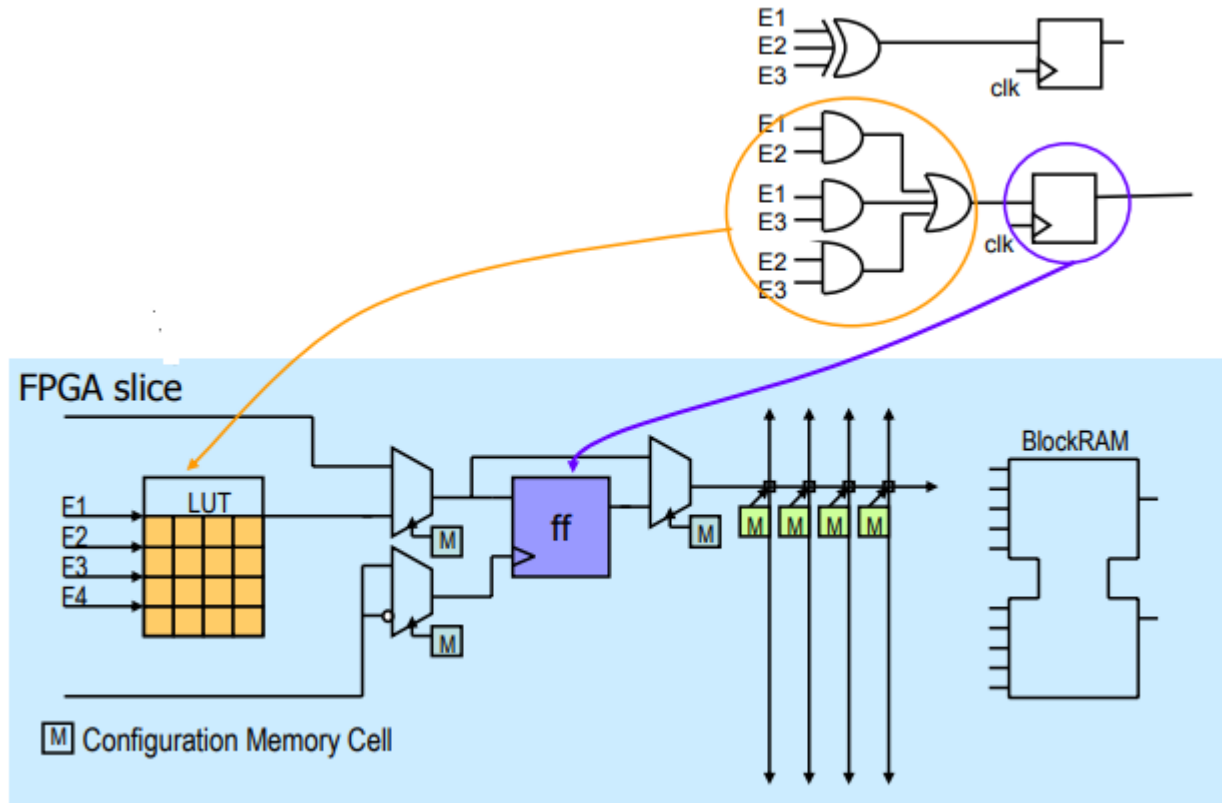


Figura retirada de

<http://www.inf.ufrgs.br/~fglima/TD/TD16.pdf>

FPGA x CPLD

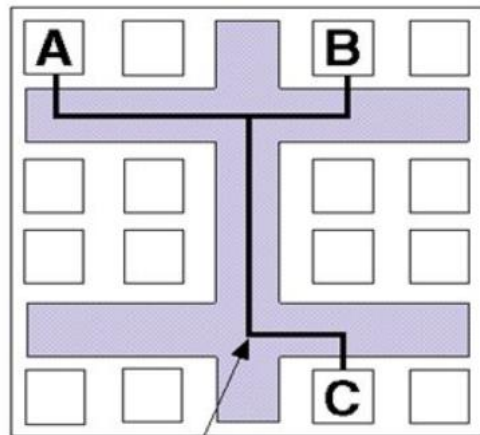
Ambos são dispositivos lógico programáveis. Porém, existem muitas diferenças entre estas tecnologias:

- ✓ **FPGAs:** contém muitos pequenos blocos lógicos com flip-flops (ordem de 1.000.000). **CPLDs** são compostos por um pequeno número (algumas centenas) de grande blocos lógicos.
- ✓ **FPGAs**, tipicamente, são baseados em RAM. Isto significa que eles precisam ser reconfigurados (ou reprogramados) após cada corte de energia (existem FPGAs com programação persistente baseados em Flash ou EEPROM). **CPLDs** são, tipicamente, baseados em EEPROM. Uma vez programados mantêm a programação mesmo se for retirada a alimentação.
- ✓ **CPLDs** têm um tempo de resposta melhor, por ser composto de alguns poucos grande blocos lógicos. Em contrapartida esta característica lhe dá menos flexibilidade.
- ✓ **FPGAs** têm recursos de roteamento especiais para implementar de maneira eficiente funções aritméticas e RAM. **CPLDs** não têm.
- ✓ **FPGAs** podem ser usados em projetos grandes e complexos; **CPLDs** estão restritos a projetos bem menores.

FPGA x CPLD

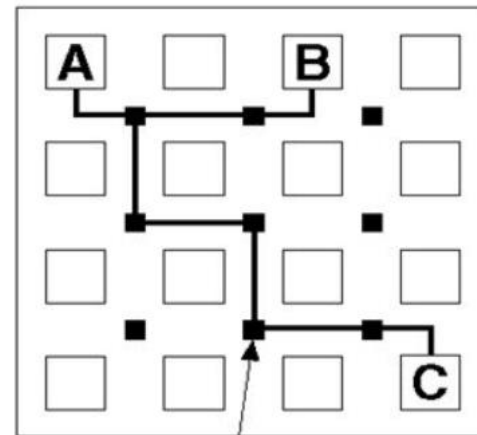
CPLDs tem um conjunto grande de interconexões contínuas e predefinidas, enquanto o FPGA tem conexões segmentadas em tamanhos pequenos

CPLD Continuous Interconnect Structure



Fixed/Predictable Delay

FPGA Segmented Interconnect Structure



Variable/Unpredictable Delay