

ESCOLA DE ENGENHARIA DE SÃO CARLOS

Departamento de Engenharia Elétrica e de Computação

SEL 0412 Tecnologia Digital

Aula 10: Circuitos Lógicos Sequenciais_ Parte 1:

Elementos de Memória:

- Latch:

- Latch SR

- Latch SR tipo D

- Latch SR com clock (Enable)

- Latch controlados por clock:

- Latch SR sensível à nível alto

- Latch tipo D sensível à nível alto

- Latch com entradas diretas (PRESET e CLEAR): SR e Tipo D

- Latch JK com clock

- Flip Flop:

- FLIP FLOP tipo JK Mestre escravo

- FLIP FLOP tipo D mestre escravo

- FLIP FLOP tipo D mestre escravo com PRESET e CLEAR assíncronos

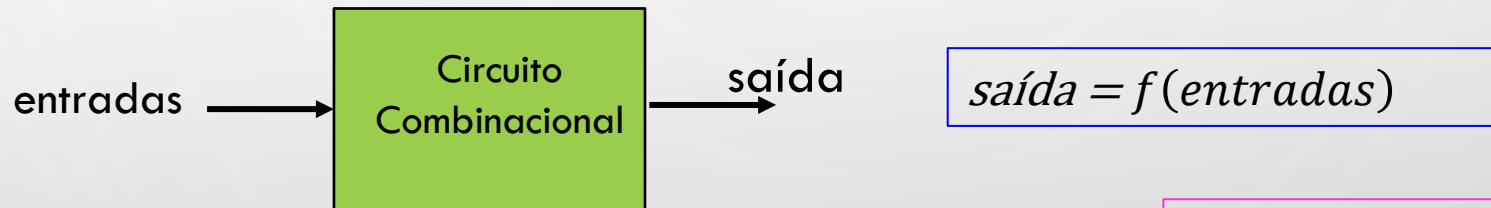
Profa. Luiza Maria Romeiro Codá

(luiza@sc.usp.br)

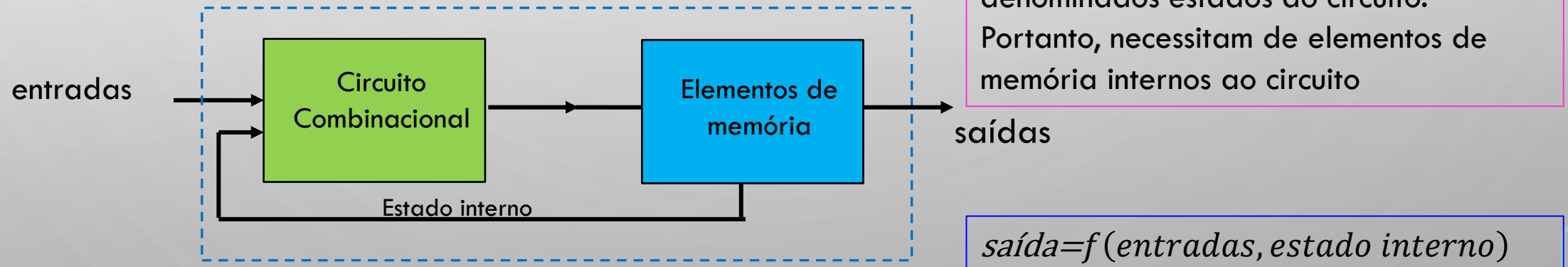
CLASSES DE CIRCUITOS LÓGICOS

Os circuitos digitais são divididos em duas classes

- **Circuitos Combinacionais:**



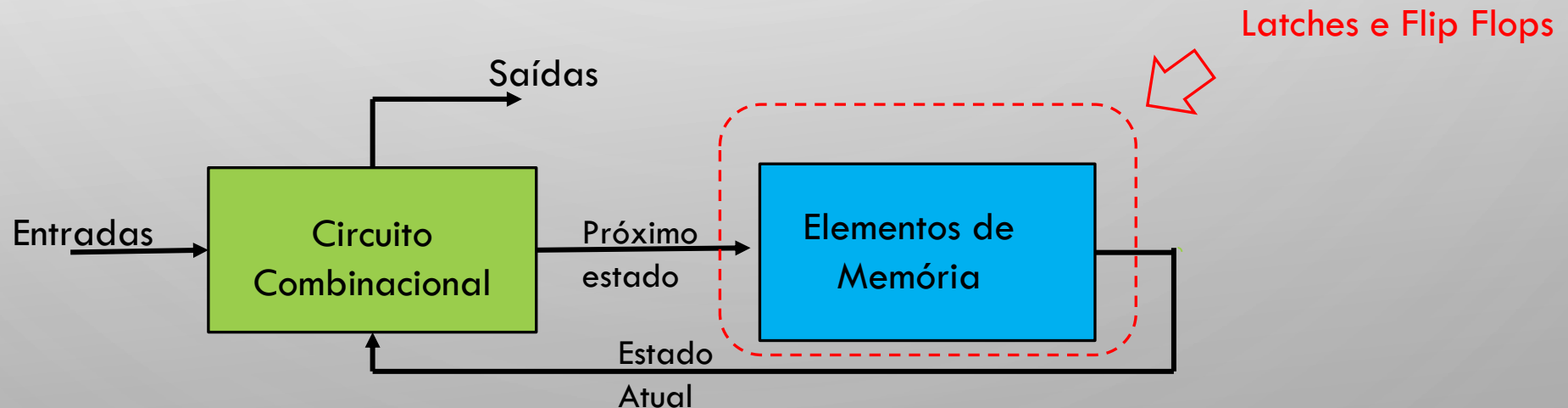
- **Circuitos Sequenciais:**



CIRCUITOS SEQUENCIAIS

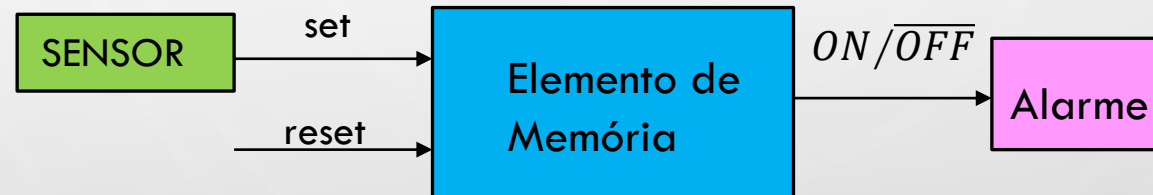
CIRCUITOS SEQUENCIAIS

- Circuito sequencial é aquele em que os valores das saídas são descritos como função dos valores instantâneos das entradas e de valores atuais das saídas;
- São constituídos de circuitos combinacionais e Elementos de Memória;
- Podem ser :
 - ✓ síncronos: todos circuitos internos mudam o estado ao comando de um único sinal (clock)
 - ✓ assíncronos: os circuitos internos são alterados por sinais diferentes



NECESSIDADE DE ELEMENTOS DE MEMÓRIA

Exemplo: Controle de Sistema de Alarme



Funcionamento: Após ser detectado algo estranho pelo sensor, esse envia um sinal que dá um “set” no elemento de memória (muda seu estado) acionando o Alarme (alarme acionado quando recebe nível 1.

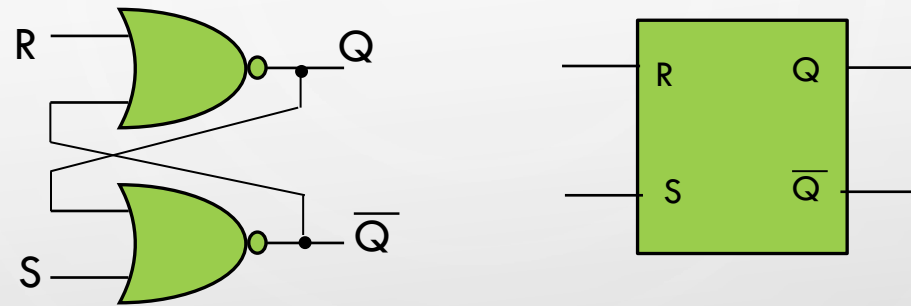
O alarme permanece acionado mesmo que o sensor não detecte mais algo e assim permanece até que seja realizado um “reset” no elemento de memória.

ELEMENTOS DE MEMÓRIA

- LATCH SR com portas NOR;
- LATCH SR com portas NAND;
- LATCH SR com Enable (LATCH sensível a nível de clock);
- LATCH tipo D com Enable (LATCH Tipo D sensível a nível de clock);
- LATCH com Preset e clear assíncronos
- LATCH JK
- FLIP FLOP JK mestre escravo
- FLIP FLOP tipo D mestre escravo
- FLIP FLOP mestre –escravo com PRESET e CLEAR assíncronos

LATCH SR COM PORTAS NOR

LATCH SR COM PORTAS NOR



Set	Reset	Q	\bar{Q}	Estados
0	0	Q_a	\bar{Q}_a	Latch (memória)
0	1	0	1	reset
1	0	1	0	Set
1	1	0	0	proibido

* Q_a é valor em intervalo de tempo anterior

LATCH SR COM PORTAS NOR

Estado de Reset:

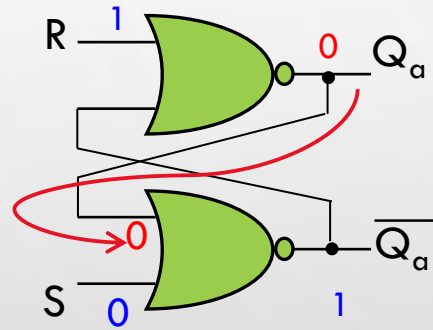


Tabela da NOR

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

R=1

Set	Reset	Q	\bar{Q}
0	0		
0	1	0	1
1	0		
1	1		

⇒ Zera a saída Q

LATCH SR COM PORTAS NOR

Estado de latch:

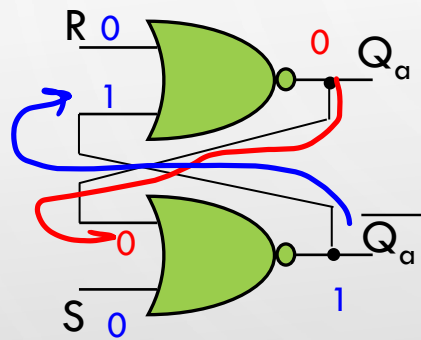


Tabela da NOR

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

S	R	Q	\overline{Q}
0	0	Q_a	$\overline{Q_a}$
0	1	0	1
1	0		
1	1		

As saídas não mudam =
Estado de memória

LATCH SR COM PORTAS NOR

Estado de Set:

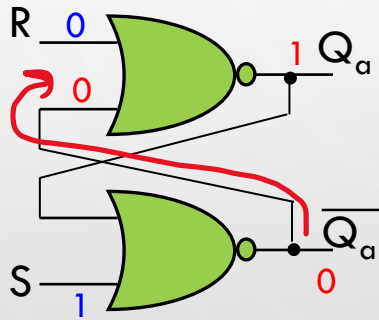


Tabela da NOR

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

S=1

S	R	Q	\overline{Q}
0	0	Q_a	$\overline{Q_a}$
0	1	0	1
1	0	1	0
1	1		



Seta a saída Q

LATCH SR COM PORTAS NOR

Estado de Set e Reset:

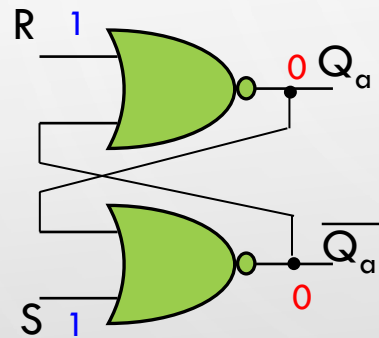


Tabela da NOR

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

S e R=1

S	R	Q	\bar{Q}
0	0	Q_a	\bar{Q}_a
0	1	0	1
1	0	1	0
1	1	0	0

Estado proibido ($Q = \bar{Q}$); Após este estado se forem colocadas as duas entradas S e R em 0, não tem-se a certeza de qual valor irá assumir a saída

ESTADO DO LATCH

Estado do latch quando energizado:

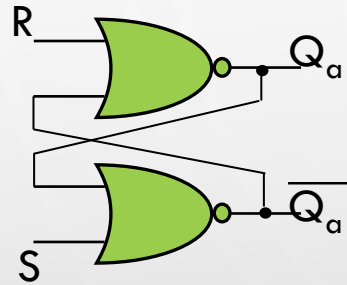
- Não é possível prever estado inicial da saída;
- Depende de fatores como atraso de propagação, capacitâncias parasitas e carga externa.;
- Para garantir uma operação adequada, o latch deve ser colocado em um estado desejado:

Se setado ($Q = 1$), ativa-se SET momentaneamente

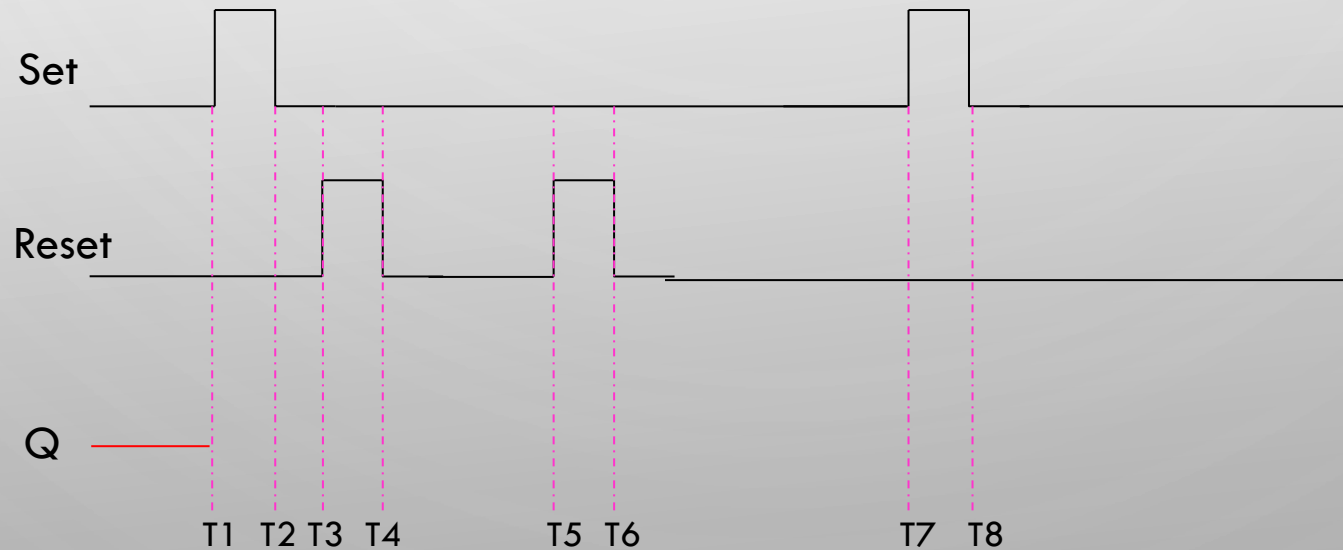
Se ressetado ($Q = 0$), ativa-se RESET momentaneamente.

Exercício N°1:

Assumindo $Q = 0$ inicialmente, determine a forma de onda da saída Q para o latch com portas NOR.

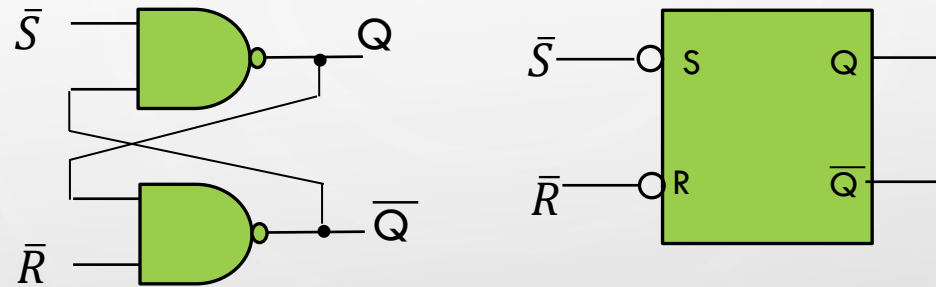


S	R	Q	\overline{Q}
0	0	Q_a	$\overline{Q_a}$
0	1	0	1
1	0	1	0
1	1	0	0



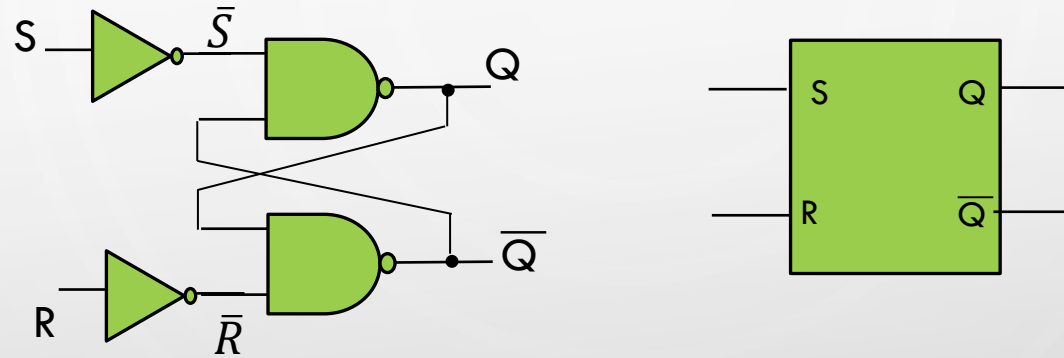
LATCH SR COM PORTAS NAND

LATCH SR COM PORTAS NAND



\bar{S} Set	\bar{R} Reset	Q	\bar{Q}	Estados
0	0	1	1	proibido
0	1	1	0	Set
1	0	0	1	Reset
1	1	Q_a	\bar{Q}_a	Latch (memória)

LATCH SR COM PORTAS NAND



S	R	Q	\bar{Q}	Estados
0	0	Q_a	\bar{Q}_a	Latch (memória)
0	1	0	1	Reset
1	0	1	0	Set
1	1	1	1	Proibido

LATCH CONTROLADOS

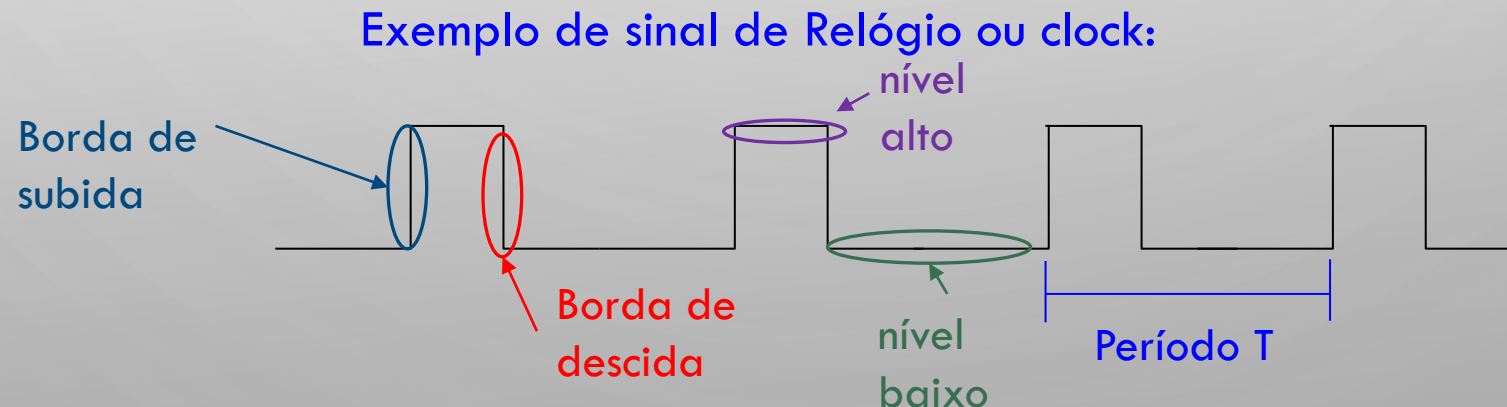
LATCHES CONTROLADOS OU LATCH COM CLOCK

Os latches controlados RS são ativados ou controlados pelo nível lógico do sinal de controle. Isso significa que, enquanto o sinal de controle estiver ativando o latch, eventuais variações das entradas R e S serão percebidas pelo latch e este poderá mudar de estado.

SINAIS DE CLOCK

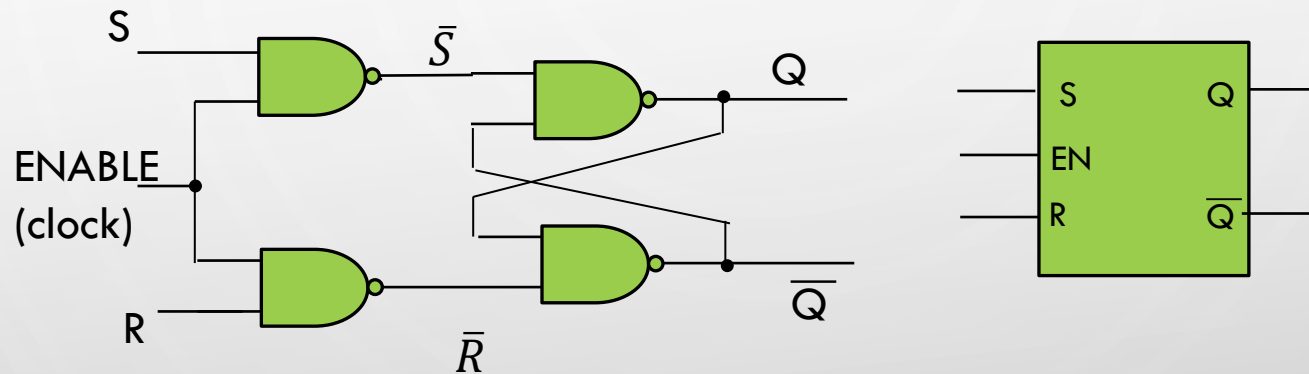
Circuitos digitais podem ser **síncronos** ou **assíncronos**:

- Em **circuitos assíncronos**, a saída do circuito pode mudar de estado a qualquer momento;
- Em **circuitos síncronos**, o instante exato em que uma saída pode mudar de estado é ditado por um sinal comumente denominado relógio “clock” (em inglês). As saídas mudam de estado ou em algum nível do clock ou na transição do sinal de clock (bordas).
 - O **clock** é geralmente um trem de pulsos retangulares (ideal), distribuídos por todo o circuito;



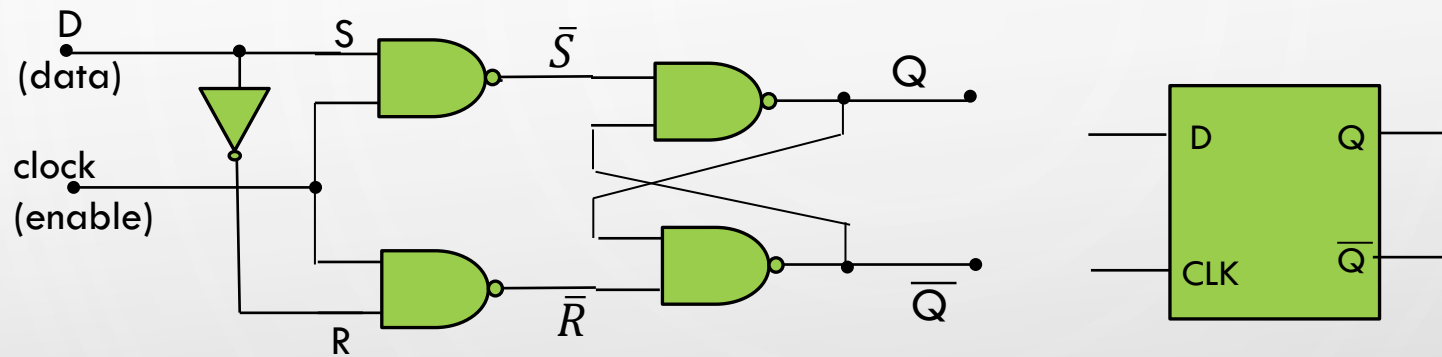
LATCH SR SENSÍVEL À NÍVEL ALTO DE CLOCK (ENABLE)

Latch SR sensível ao NÍVEL ALTO do clock: as variações da saída ocorrem apenas quando a entrada clock = 1



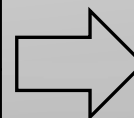
CLK	S	R	Q	Estados
0	X	X	Q_a	Latch (memória)
1	0	0	Q_a	Latch (memória)
1	0	1	0	reset
1	1	0	1	set
1	1	1	X	proibido

LATCH TIPO D SENSÍVEL À NÍVEL ALTO DE CLOCK (ENABLE)



Entrada D

CLK	S	R	Q	Estados
0	X	X	Q_a	Latch (memória)
1	0	0	Q_a	Latch (memória)
1	0	1	0	reset
1	1	0	1	set
1	1	1	X	proibido

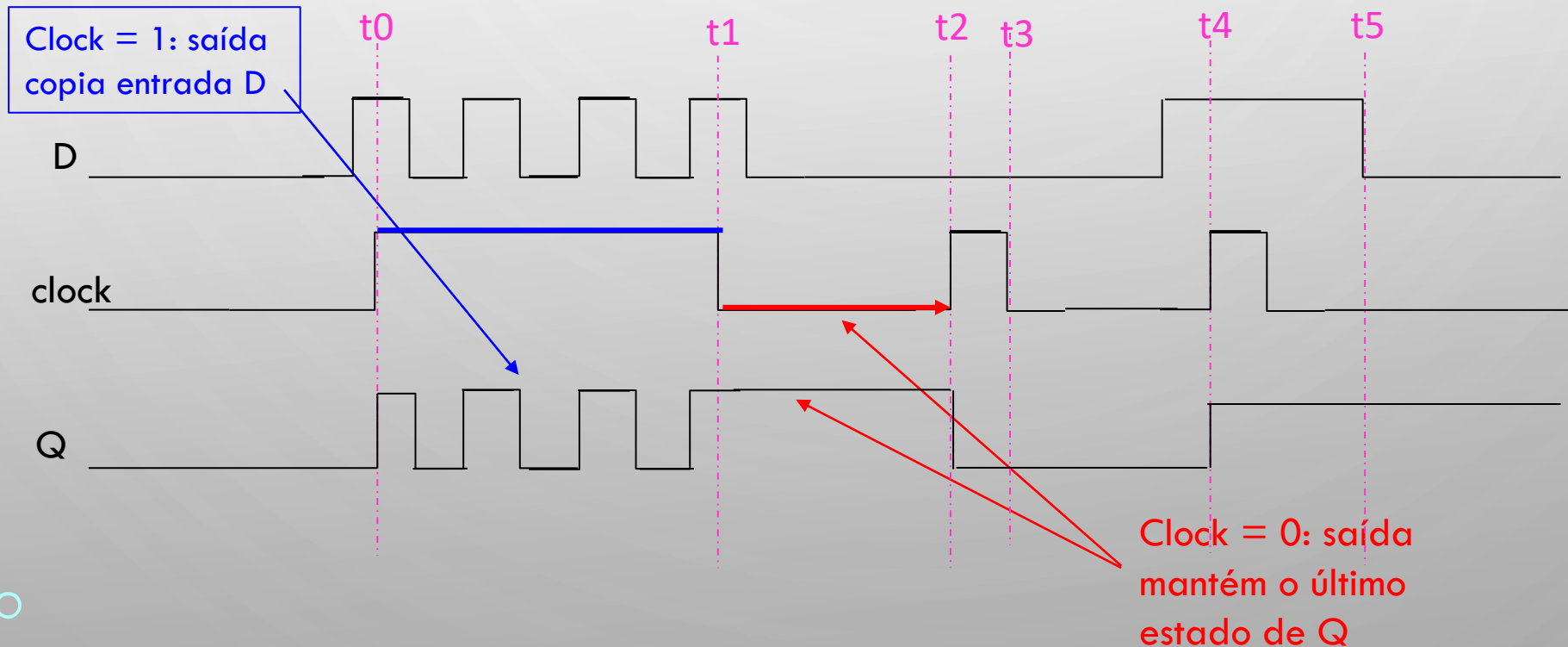


CLK	D	Q	Estados
0	X	Q_a	Latch (memória)
1	0	0	Armazena 0
1	1	1	Armazena 1

LATCH TIPO D SENSÍVEL À NÍVEL ALTO DE CLOCK (ENABLE)

Diagrama Temporal

CLK	D	Q	Estados
0	X	Q_a	Latch (memória)
1	0	0	Armazena 0
1	1	1	Armazena 1



LATCH SENSÍVEL À NÍVEL DE CLOCK

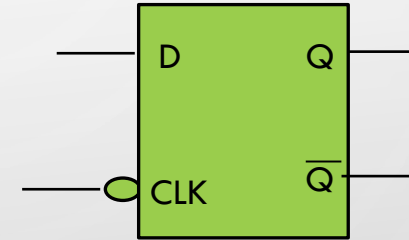
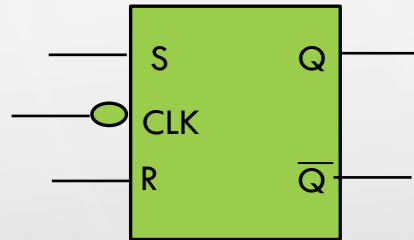
Os latches vistos até aqui apresentam lógica de ativação direta, isto é, estão ativados enquanto o controle (clock) estiver no **nível lógico 1** e desativados enquanto o controle estiver no nível lógico 0.

É possível inverter essa lógica de ativação pela simples inserção de um inversor antes da entrada de controle. Assim, um latch com lógica de ativação complementar (ou negada ou invertida) está ativado enquanto o controle estiver no nível 0 e desativado enquanto o controle estiver no nível 1.

LATCH SENSÍVEL À NÍVEL BAIXO DE CLOCK

Funcionamento do Latch com lógica Complementar:

Coloca-se um inversor na entrada de clock

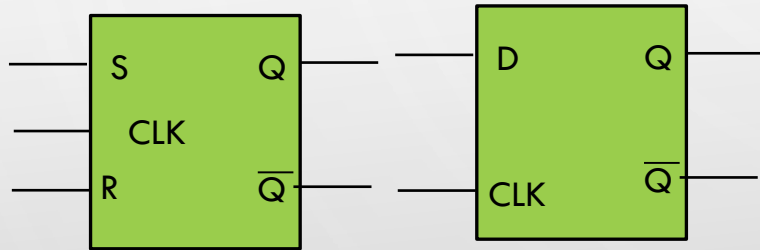


CLK	S	R	Q	Estados
1	X	X	Q_a	Latch (memória)
0	0	0	Q_a	Latch (memória)
0	0	1	0	reset
0	1	0	1	set
0	1	1	X	proibido

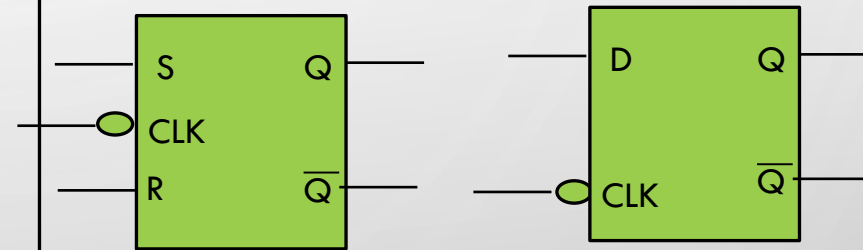
CLK	D	Q	Estados
1	X	Q_a	Latch (memória)
0	0	0	Armazena 0
0	1	1	Armazena 1

LATCH SENSÍVEL À NÍVEL DE CLOCK

Latch sensível ao nível 1 do clock:



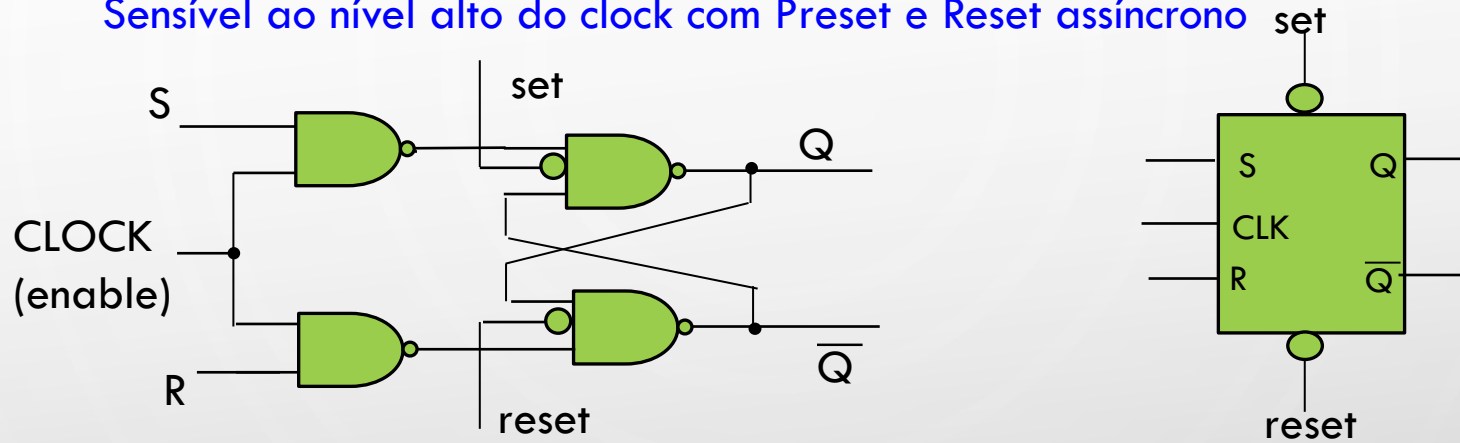
Latch sensível ao nível 0 do clock:



LATCH CONTROLADOS COM ENTRADAS DIRETAS PRESET E RESET ASSÍNCRONO

LATCH SR COM ENTRADAS DIRETAS

Sensível ao nível alto do clock com Preset e Reset assíncrono



CLK (enable)	Set	Reset	S	R	Q	\overline{Q}	Estados
0	1	1	X	X	Q_a	$\overline{Q_a}$	memória
0		1	X	X	1	0	preset
0	1		X	X	0	1	clear
1	1	1	0	0	Q_a	$\overline{Q_a}$	memória
1	1	1	0	1	0	1	reset
1	1	1	1	0	1	0	set
1	1	1	1	1	1	1	proibido

bloqueio

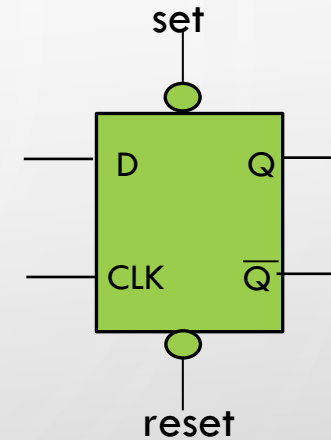
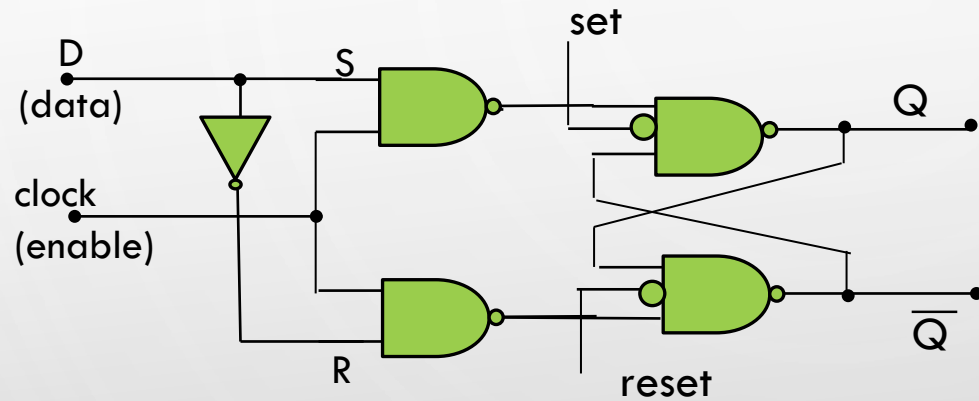
liberado

Estados para alterar valores armazenados (independe do clock)

Pulso negativo

LATCH TIPO D COM ENTRADAS DIRETAS

Sensível ao nível alto do clock com Preset e Reset assíncrono



	CLK	Set	Reset	D	Q	Estados
bloqueio	0	1	1	X	Q_a	memória
	0		1	X	1	Set
	0	1		X	0	Reset
liberado	1	1	1	0	0	Armazena 0
	1	1	1	1	1	Armazena 1

Estados para alterar valores armazenados (independe do clock)

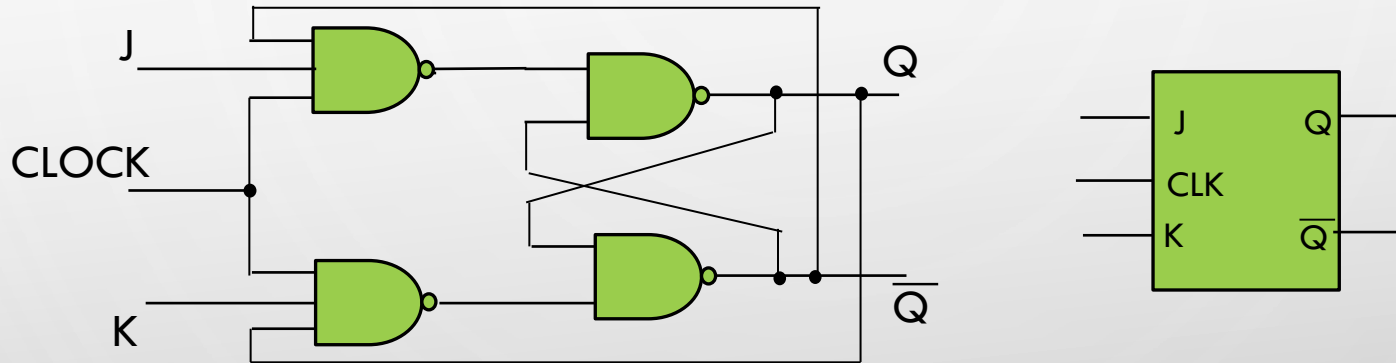
Pulso negativo

LATCH JK SENSÍVEL A NÍVEL DE CLOCK

LATCH JK SENSÍVEL A NÍVEL DE CLOCK

○ Latch JK difere do Latch SR por não apresentar o estado proibido

Sensível ao nível alto do clock



	CLK	J	K	Q	\bar{Q}	Estados
liberado	1	0	0	Q_a	\bar{Q}_a	Memória
	1	0	1	0	1	reset
	1	1	0	1	0	set
	1	1	1	\bar{Q}_a	Q_a	Inverte (toggle)
bloqueio	0	X	X	Q_a	\bar{Q}_a	Memória

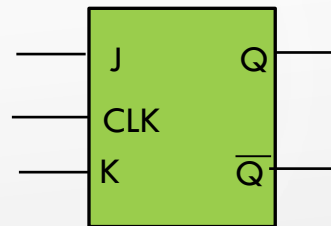
Estados para armazenar valores

Elimina estado proibido

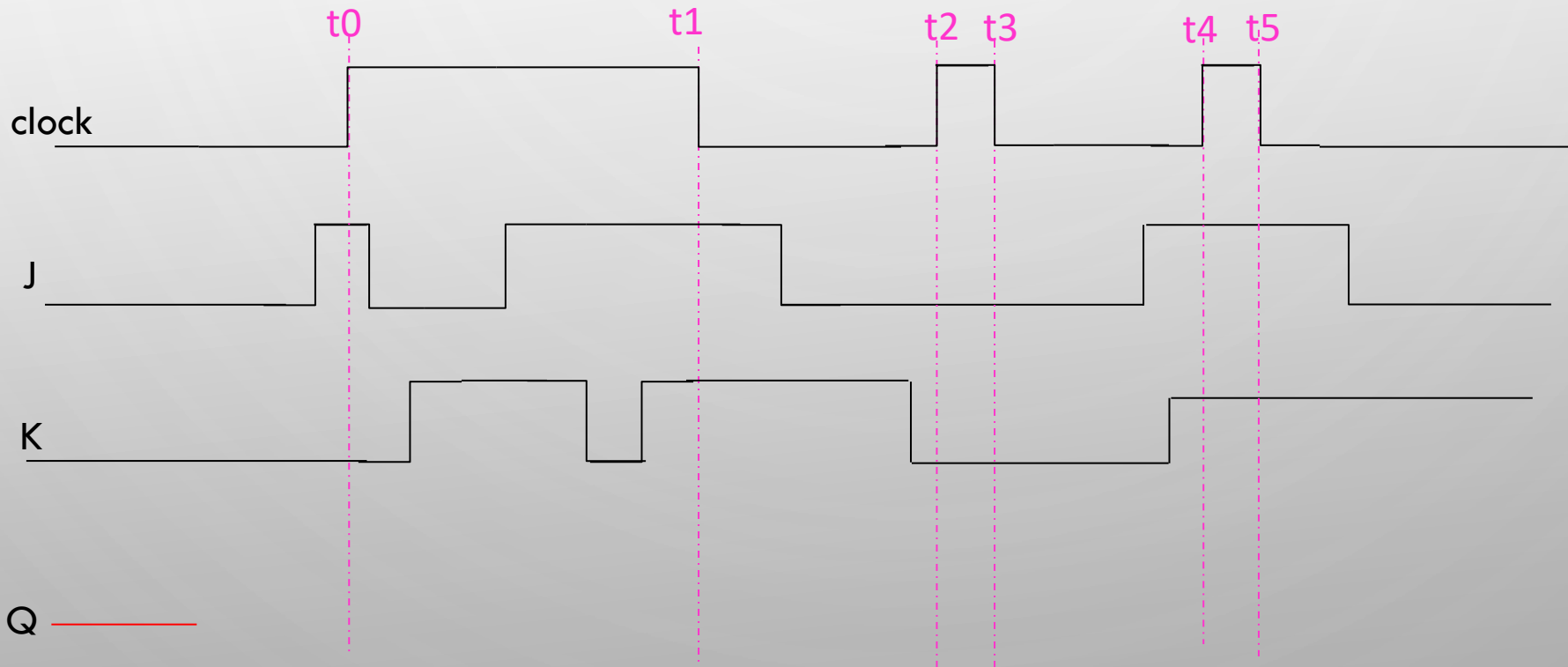
a saída muda de estado (Se Q_a Passa ser \bar{Q}_a e vice versa)

Exercício N°2:

Para o Latch JK da figura, assumindo $Q = 0$ inicialmente, determine a forma de onda da saída Q para o latch JK



CLK	J	K	Q	\bar{Q}	Estados
1	0	0	Q_a	\bar{Q}_a	Memória
1	0	1	0	1	reset
1	1	0	1	0	set
1	1	1	\bar{Q}_a	Q_a	Inverte
0	X	X	Q_a	\bar{Q}_a	Memória



CARACTERÍSTICA DOS LATCHES

- Latches RS, D e JK são ativados ou controlados pelo nível lógico do sinal de controle, ou seja, enquanto o sinal de controle (clock) estiver em um determinado nível (alto ou baixo) quaisquer variações das entradas R, S, D ou JK são levadas a uma mudança na saída;
- Essa característica nem sempre é desejável, como por exemplo em circuitos síncronos, onde deseja-se a variação apenas nas transições do sinal de clock (instantaneamente).

FLIP FLOP

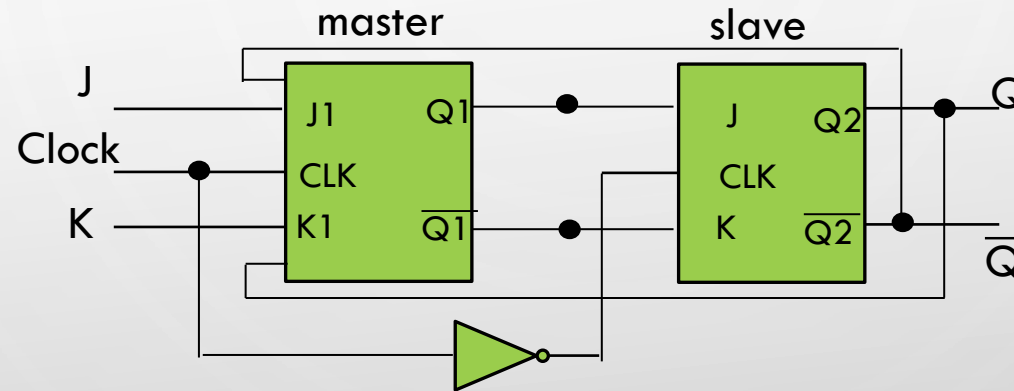
CARACTERÍSTICAS DO FLIP FLOP

- Os flip flops são circuitos derivados dos latches, porém ativados pela transição do sinal de controle (clock), i.e., pela borda (ou transição de nível desse sinal);
- A saída do flip flop só é alterada durante esse tempo pequeno que é a transição do sinal de controle;
- Entre duas transições sucessivas do mesmo tipo (ou subida ou descida) do sinal de controle, a saída do flip flop fica inalterada mantendo o último estado adquirido.
- Um flip-flop pode ser disparado pela transição de subida ou pela transição de descida do sinal de controle, dependendo da sua construção

FLIP FLOP TIPO JK MESTRE ESCRAVO

FLIP FLOP TIPO JK MESTRE ESCRAVO

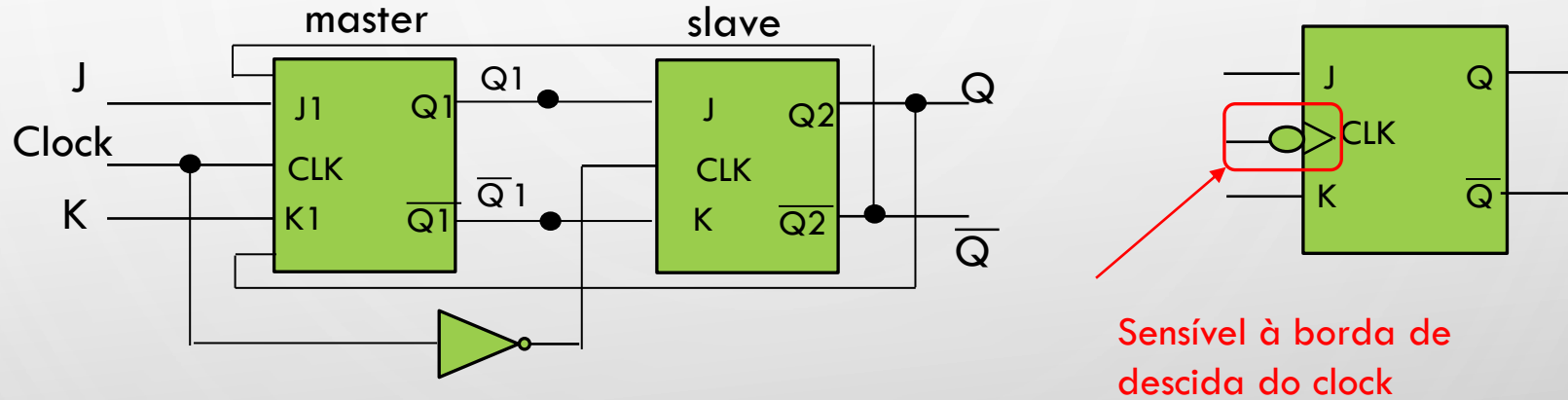
Sensível à borda de descida do clock



- O flip-flop JK mestre-escravo é composto por dois latches JK conectados em cascata;
- O primeiro é chamado de mestre e o segundo é chamado de escravo;
- O sinal de controle externo (clock) está conectado diretamente ao controle do latch mestre e ao inversor cuja saída está conectada ao controle do latch escravo.

FLIP FLOP TIPO JK MESTRE ESCRAVO

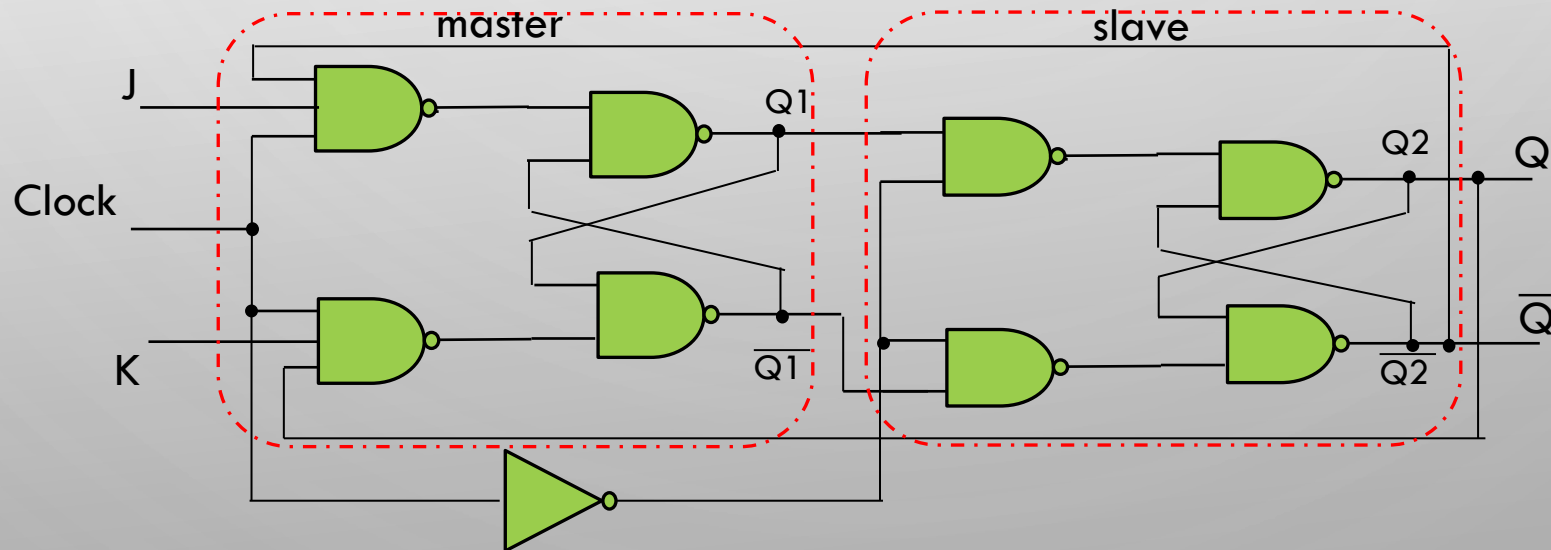
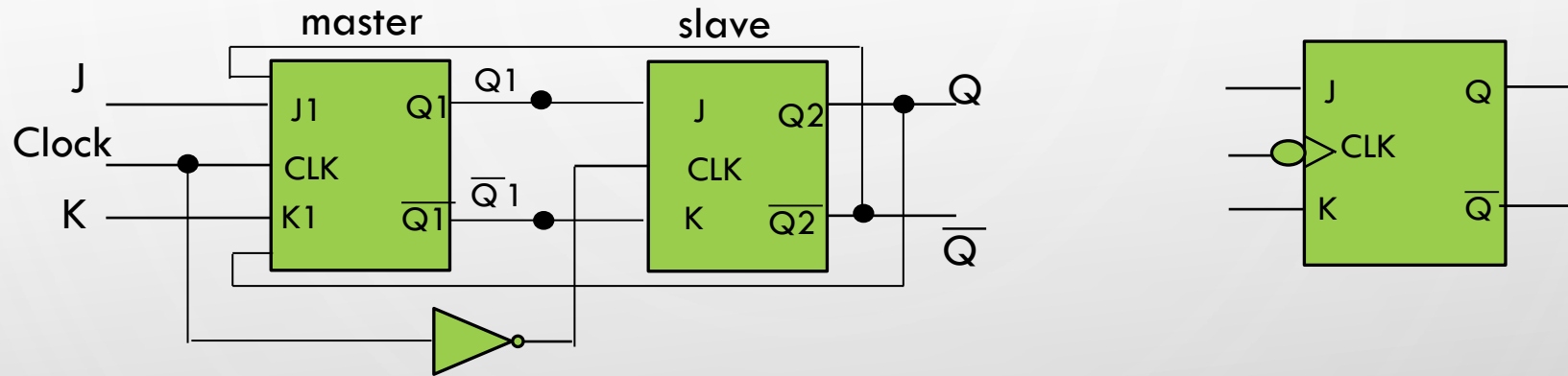
Sensível à borda de descida do clock



<p>Clock = 1</p>	<p>Mestre Ativo Escrvo Inativo</p>	<p>Variações de Je K alteram $Q1$ e $\overline{Q1}$</p>
<p>Clock = 0</p>	<p>Mestre Inativo Escravo Ativo</p>	<p>$Q1$ e $\overline{Q1}$ não se alteram e $Q2$ e $\overline{Q2}$ assumem valores que dependem de $Q1$ e $\overline{Q1}$</p>

FLIP FLOP TIPO JK MESTRE ESCRAVO

Sensível à borda de descida do clock

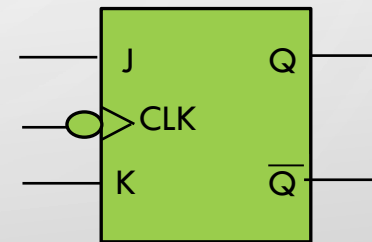


FLIP FLOP TIPO JK MESTRE ESCRAVO

Sensível à borda de Descida do clock

Tabela Funcional

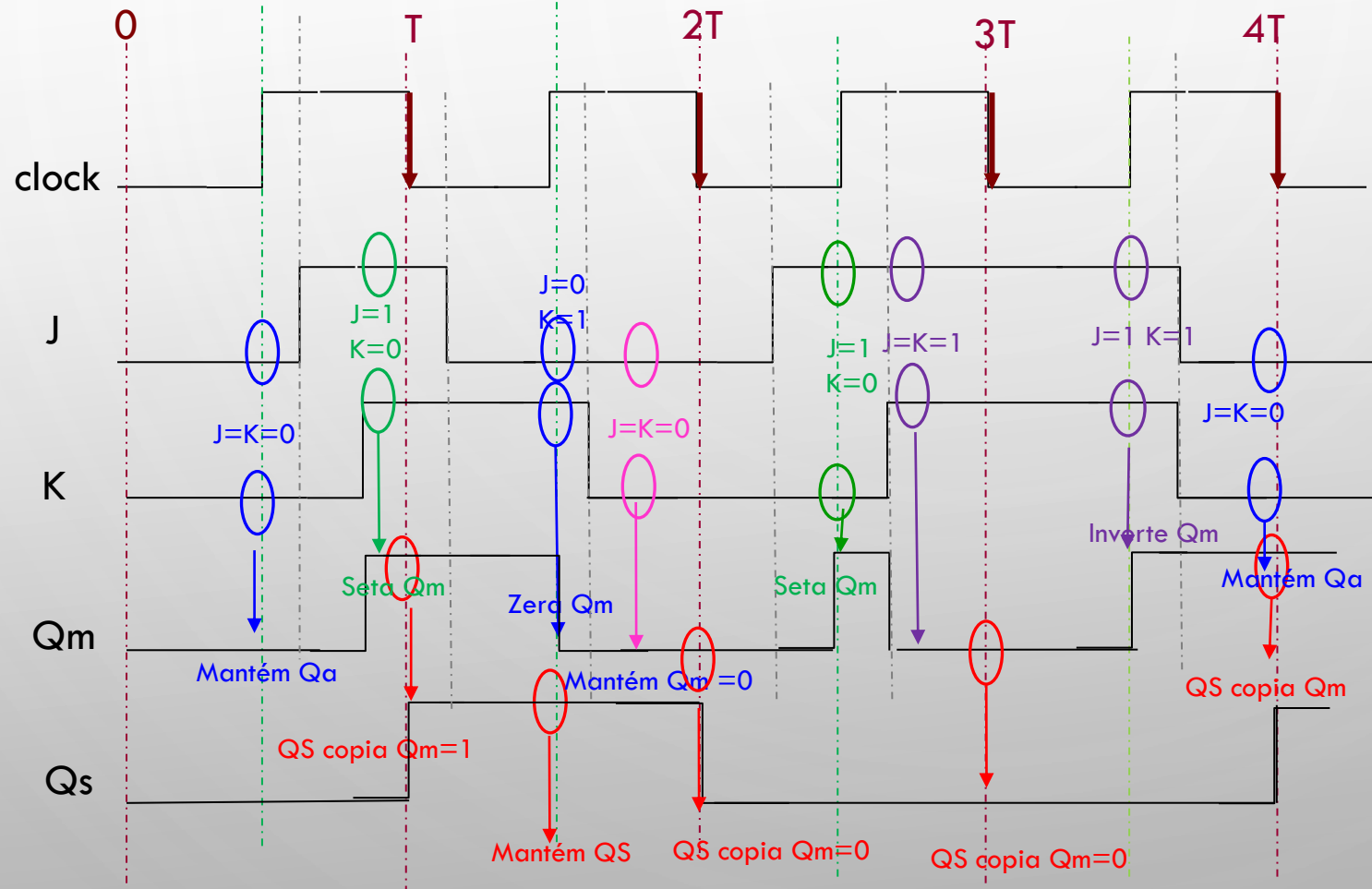
Clock	J	K	Q
X	X	X	Q_a
↓	0	0	Q_a
↓	0	1	0
↓	1	0	1
↓	1	1	toggle



o símbolo ↓ indica borda negativa ou descendente do clock

FLIP FLOP TIPO JK MESTRE ESCRAVO

Sensível à borda de Descida do clock

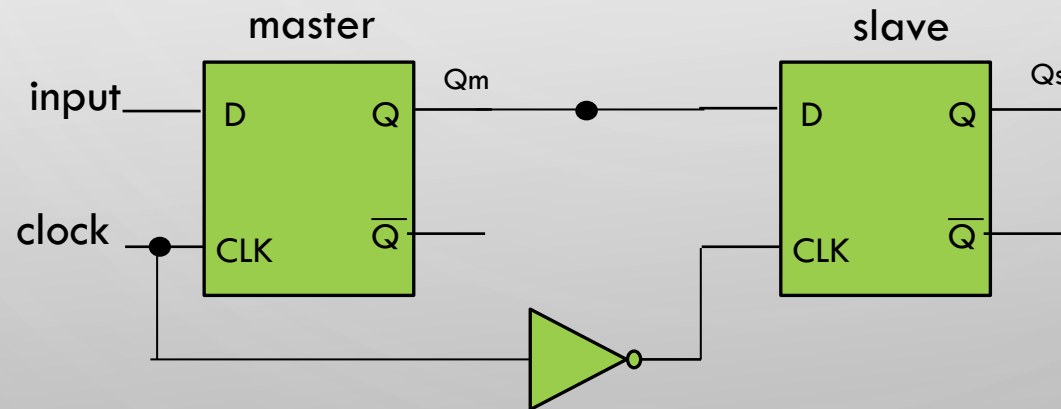


Clock	J	K	Q
X	X	X	Q_a
↓	0	0	Q_a
↓	0	1	0
↓	1	0	1
↓	1	1	toggle

FLIP FLOP TIPO D MESTRE -ESCRAVO

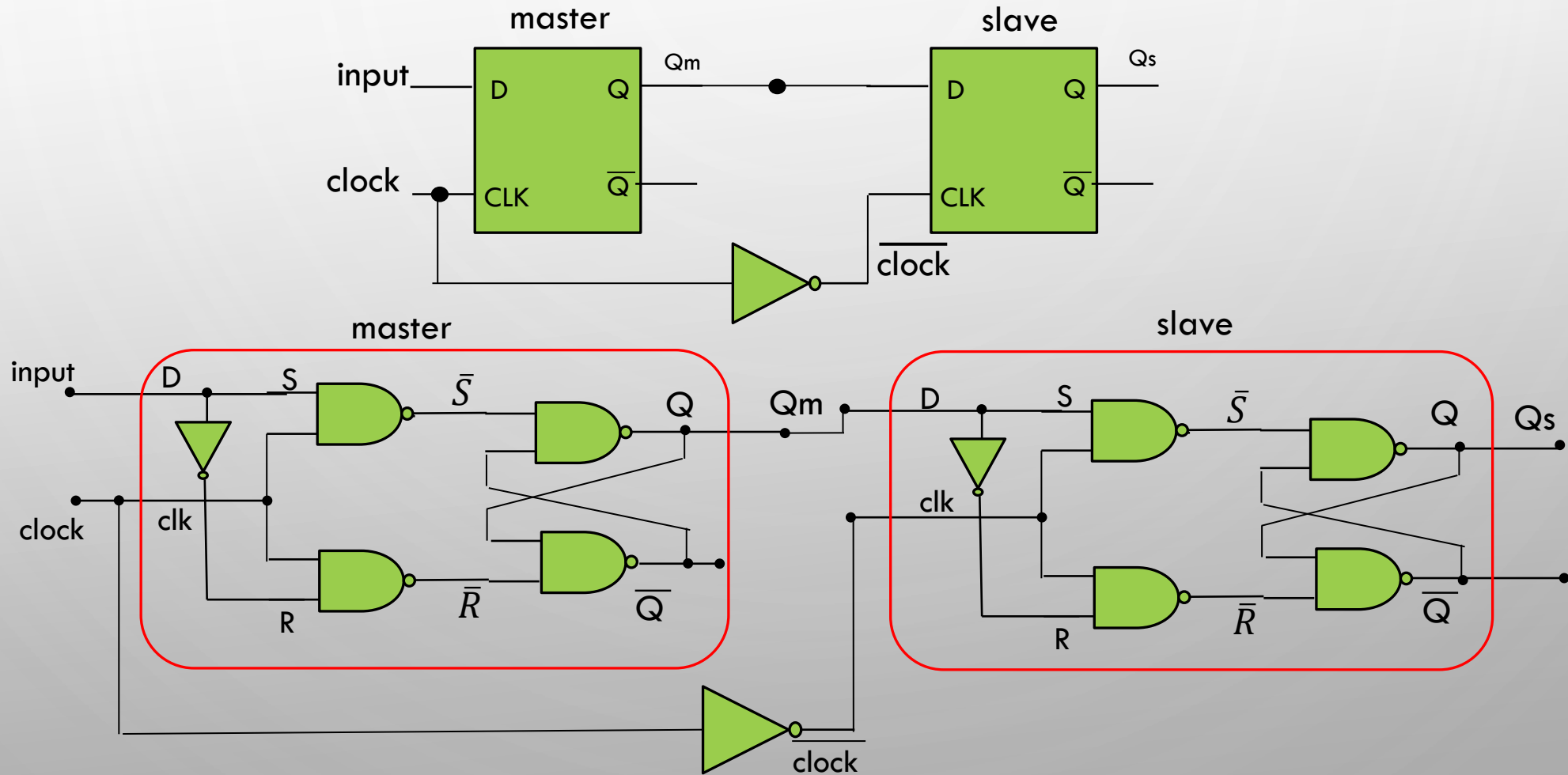
FLIP FLOP TIPO D MESTRE -ESCRAVO

- O flip-flop D mestre-escravo é composto por dois latches D conectados em cascata;
- O primeiro é chamado de mestre e o segundo é chamado de escravo;
- O sinal de controle externo (clock) está conectado diretamente ao controle do latch mestre e ao inversor cuja saída está conectada ao controle do latch escravo.



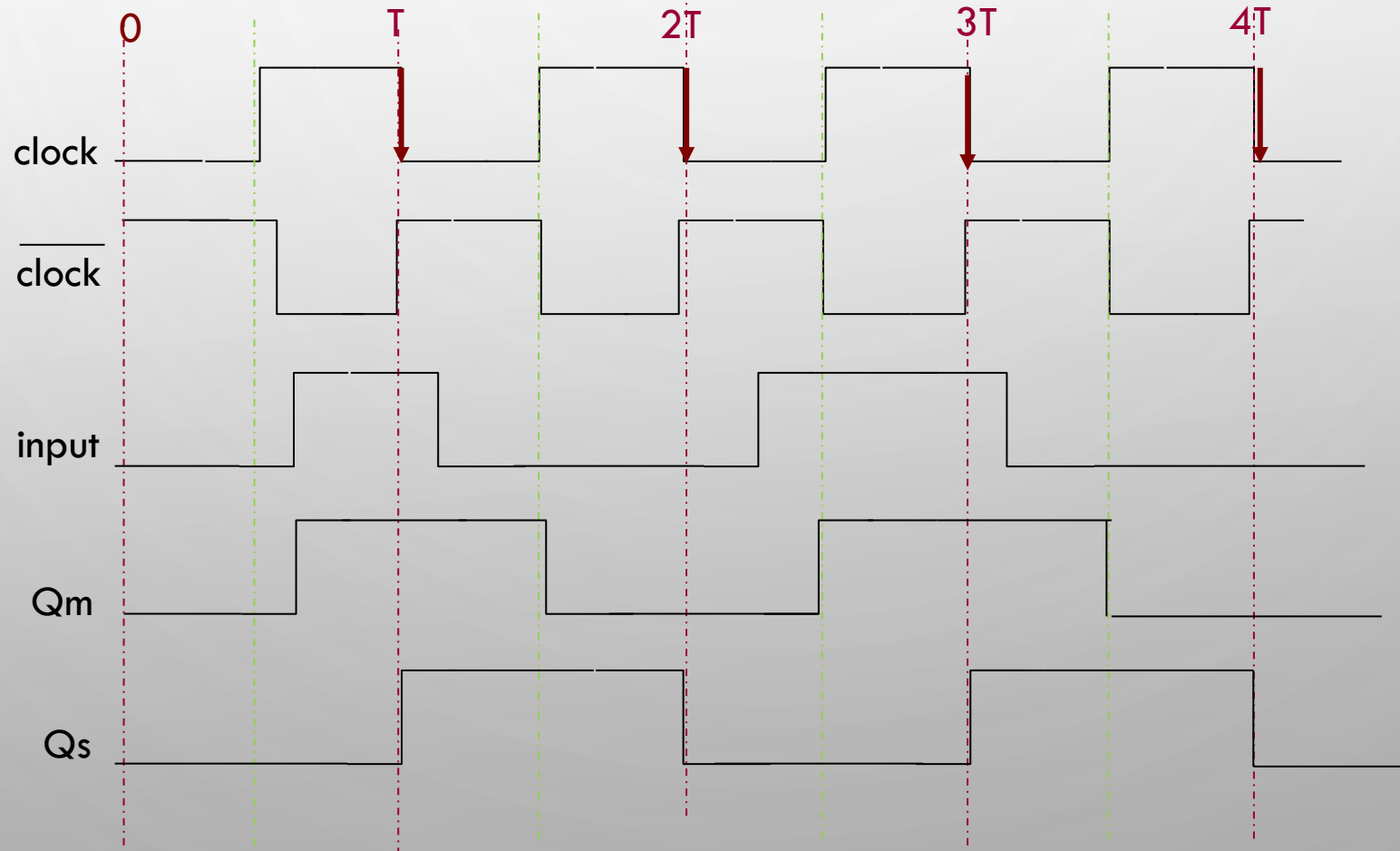
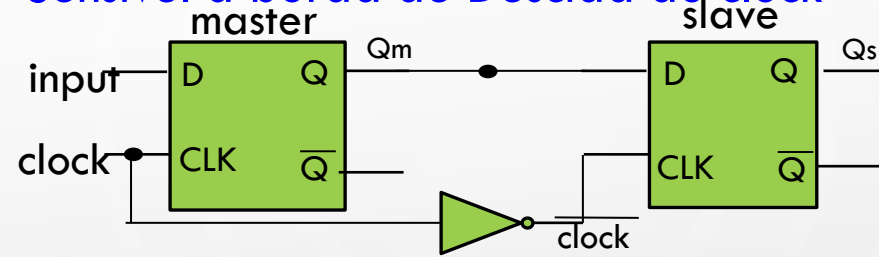
FLIP FLOP TIPO D MESTRE -ESCRAVO

Sensível à borda de Descida do clock



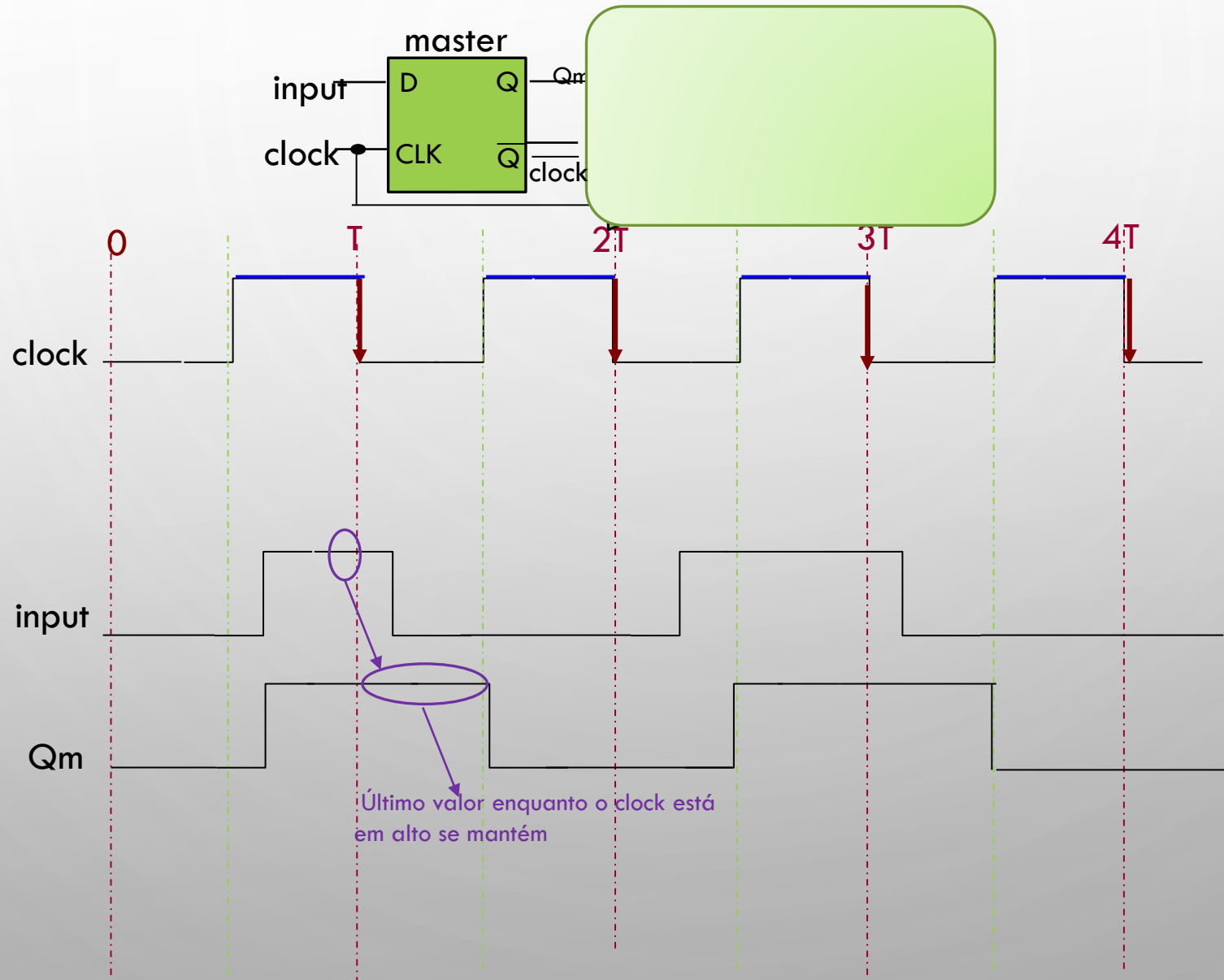
FLIP FLOP TIPO D MESTRE -ESCRAVO

Sensível à borda de Descida do clock



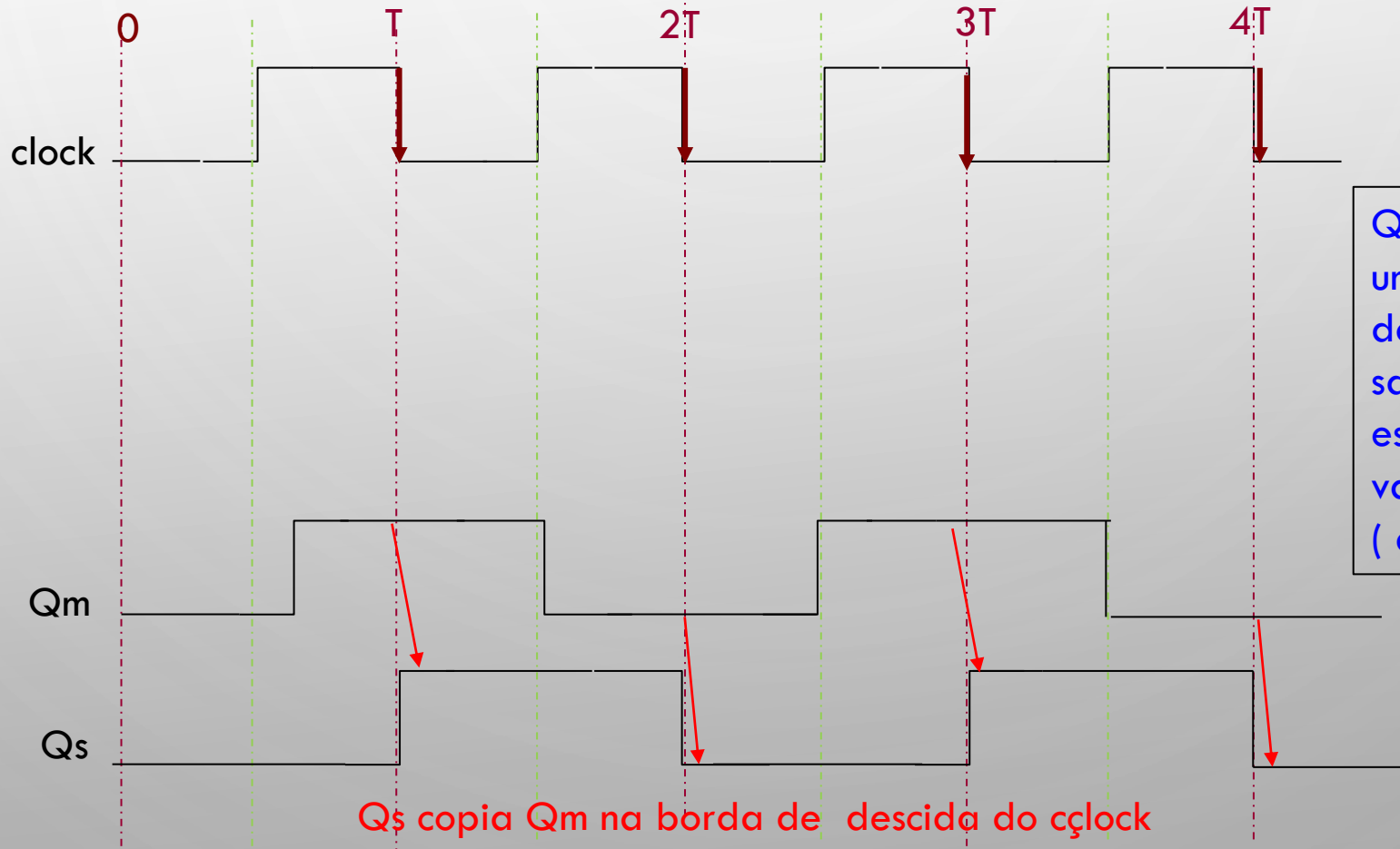
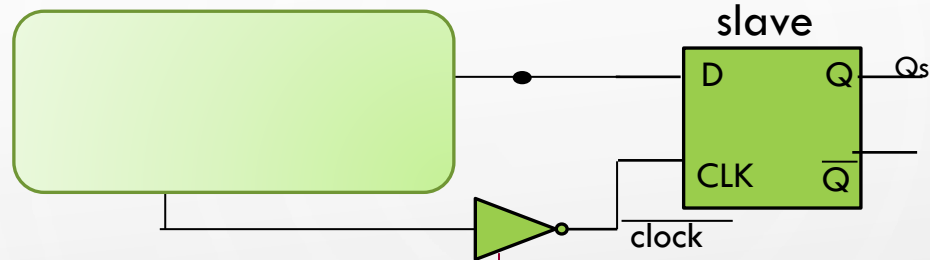
FLIP FLOP TIPO D MESTRE -ESCRAVO

Sensível à borda de Descida do clock



FLIP FLOP TIPO D MESTRE -ESCRAVO

Sensível à borda de Descida do clock

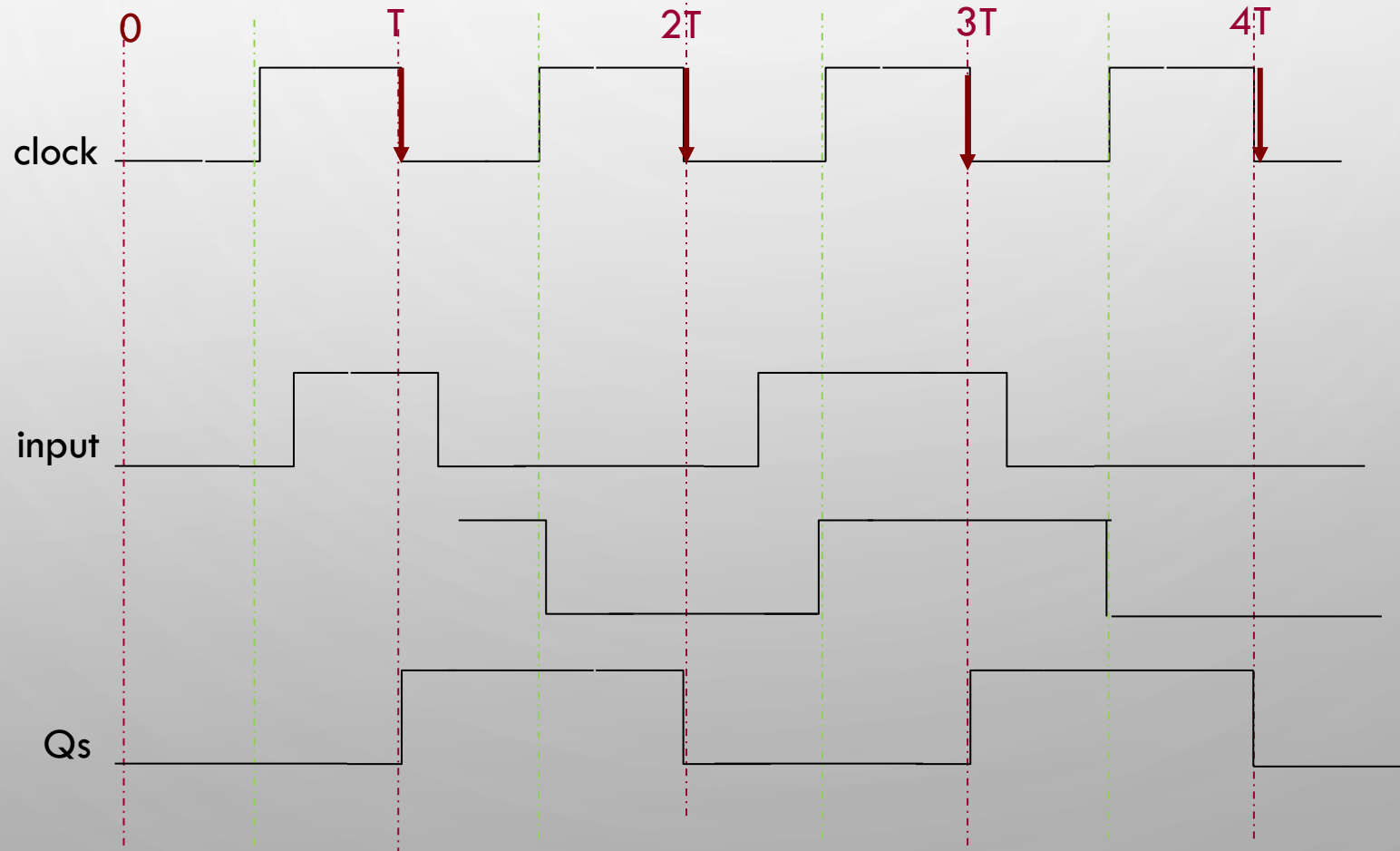
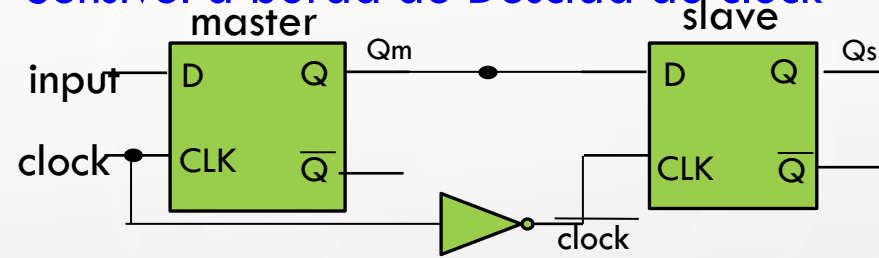


Quando ocorre uma borda de descida do clock a saída Qs (do escravo) copia o valor da saída Qm (do mestre)

Qs copia Qm na borda de descida do clock

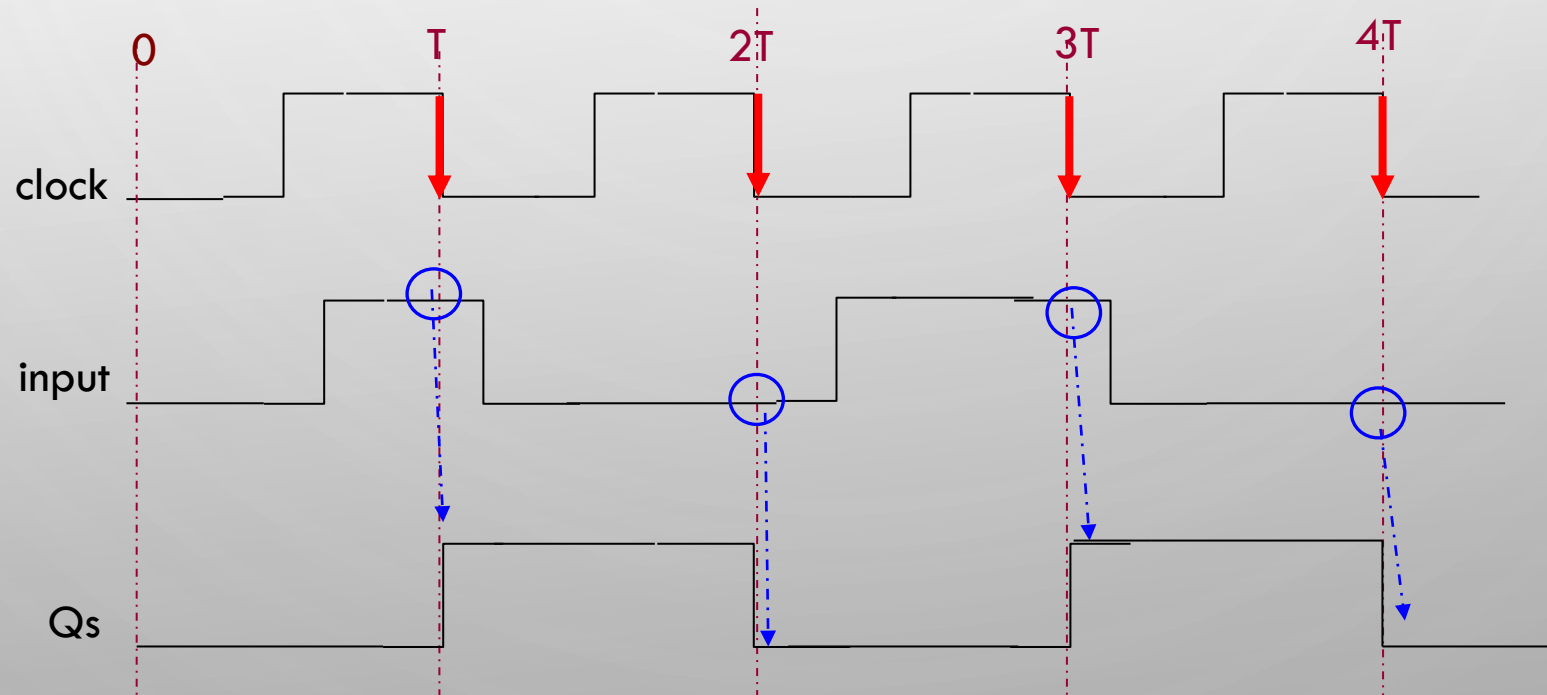
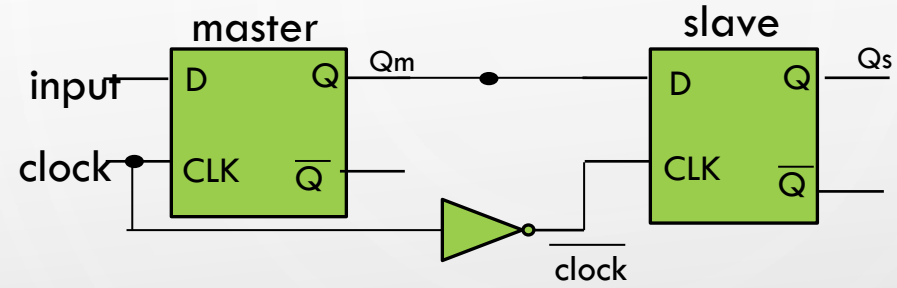
FLIP FLOP TIPO D MESTRE -ESCRAVO

Sensível à borda de Descida do clock



FLIP FLOP TIPO D MESTRE -ESCRAVO

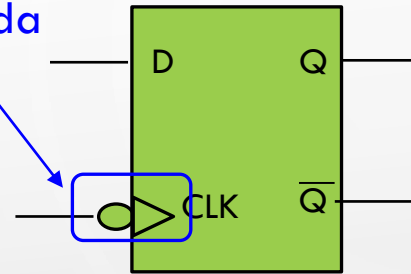
Sensível à borda de descida do clock



FLIP FLOP TIPO D MESTRE -ESCRAVO

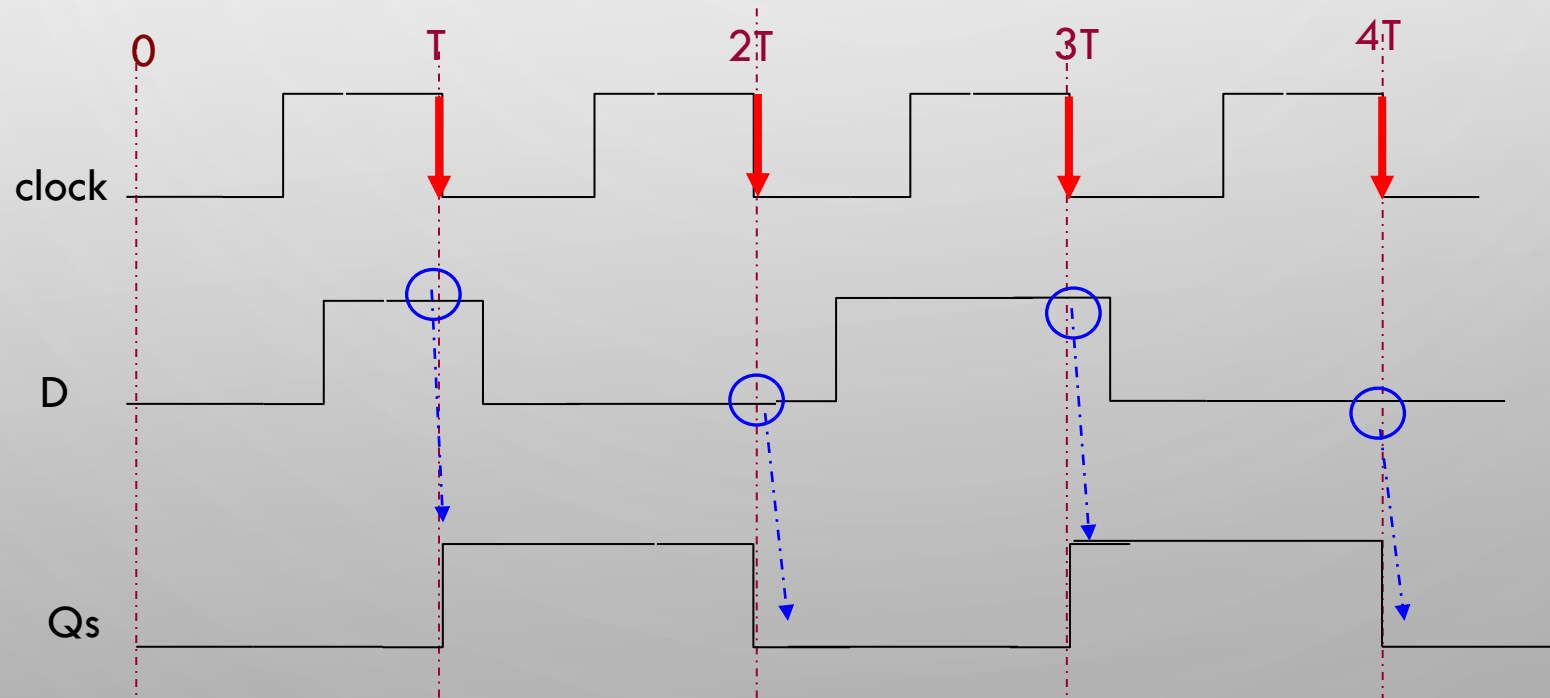
Sensível à borda de descida de descida

Obs: Triângulo e o círculo na entrada de clock CLK é usado para representar gatilhamento pela borda de descida



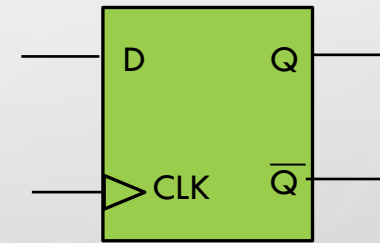
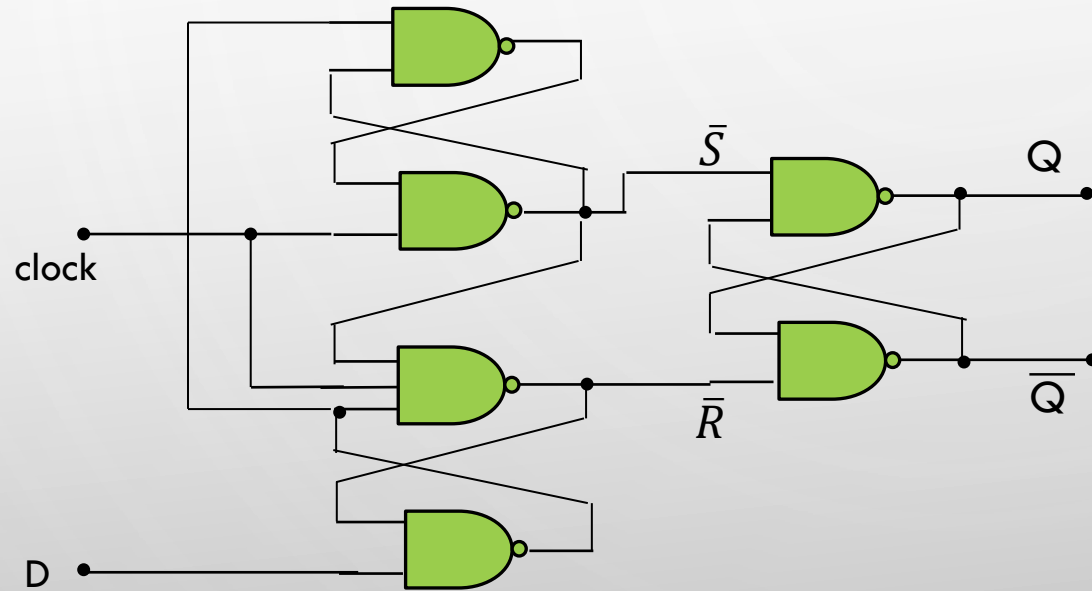
Clock	D	Q
X	X	Q_a
↓	0	0
↓	1	1

o símbolo ↓ indica borda negativa ou descendente do clock



FLIP FLOP TIPO D MESTRE -ESCRAVO

Sensível à borda de subida do clock

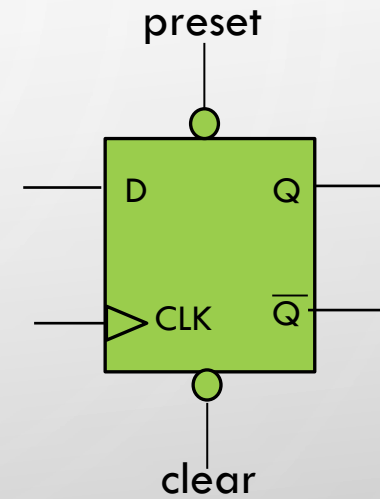
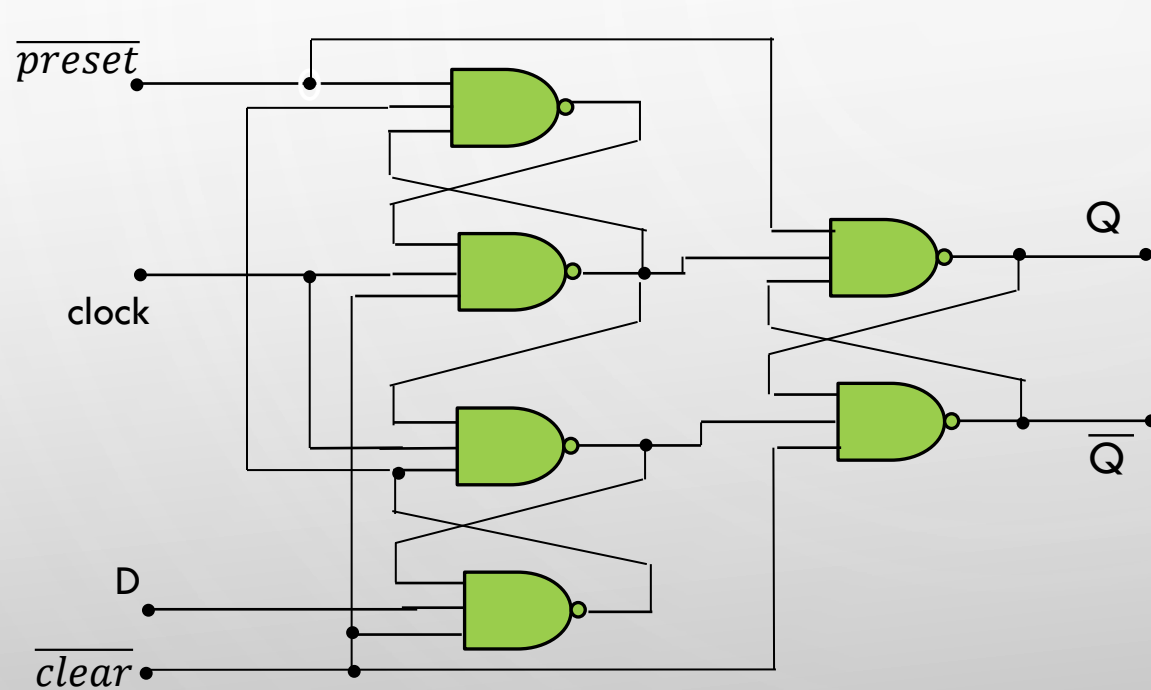


Clock	D	Q
X	X	Q_a
↑	0	0
↑	1	1

o símbolo ↑ indica borda positiva ou ascendente do clock

FLIP FLOP TIPO D MESTRE -ESCRAVO

Sensível à borda de subida com sinais Preset e Clear assíncronos



preset	clear	Clock	D	Q
H	H	X	X	Q_a
H	L	↑	0	0
L	H	↑	1	1

o símbolo ↑ indica borda positiva ou ascendente do clock

FLIP FLOP TIPO T MESTRE ESCRAVO

As entradas J e K são iguais ($T = J = K$)

Sensível à borda de descida do clock

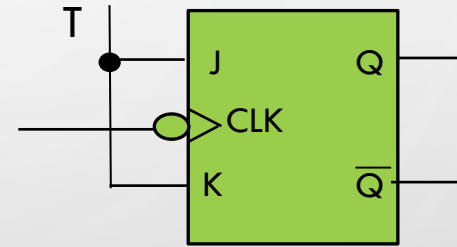
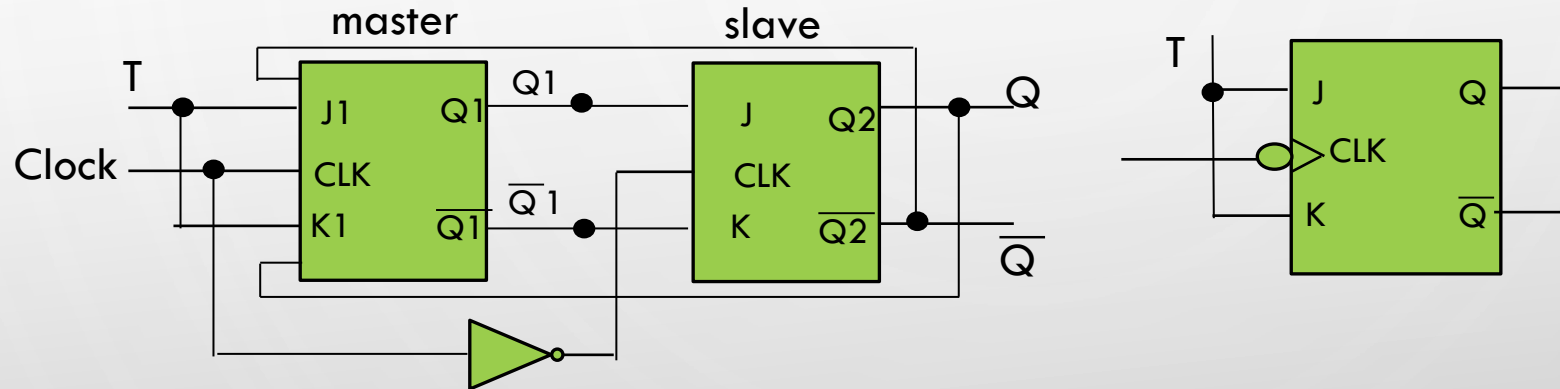
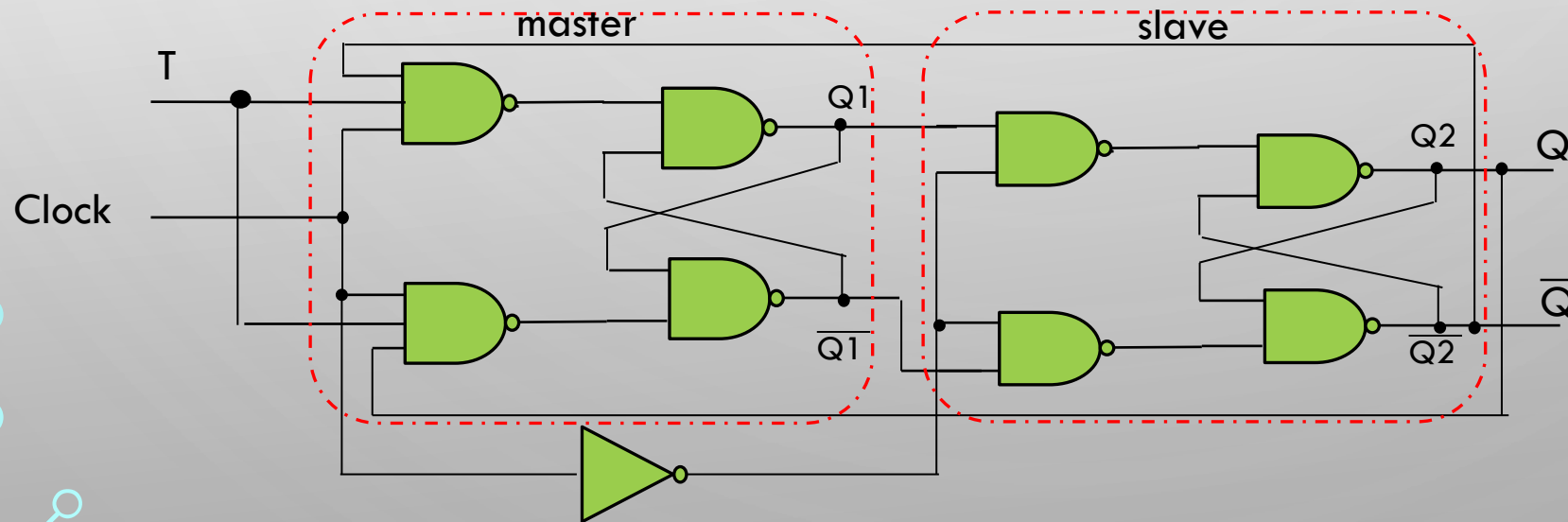


Tabela Funcional

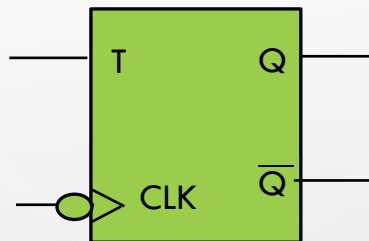
Clock	T	Q
X	X	Q_a
↓	0	Q_a
↓	1	toggle

o símbolo ↓ indica borda negativa ou descendente do clock



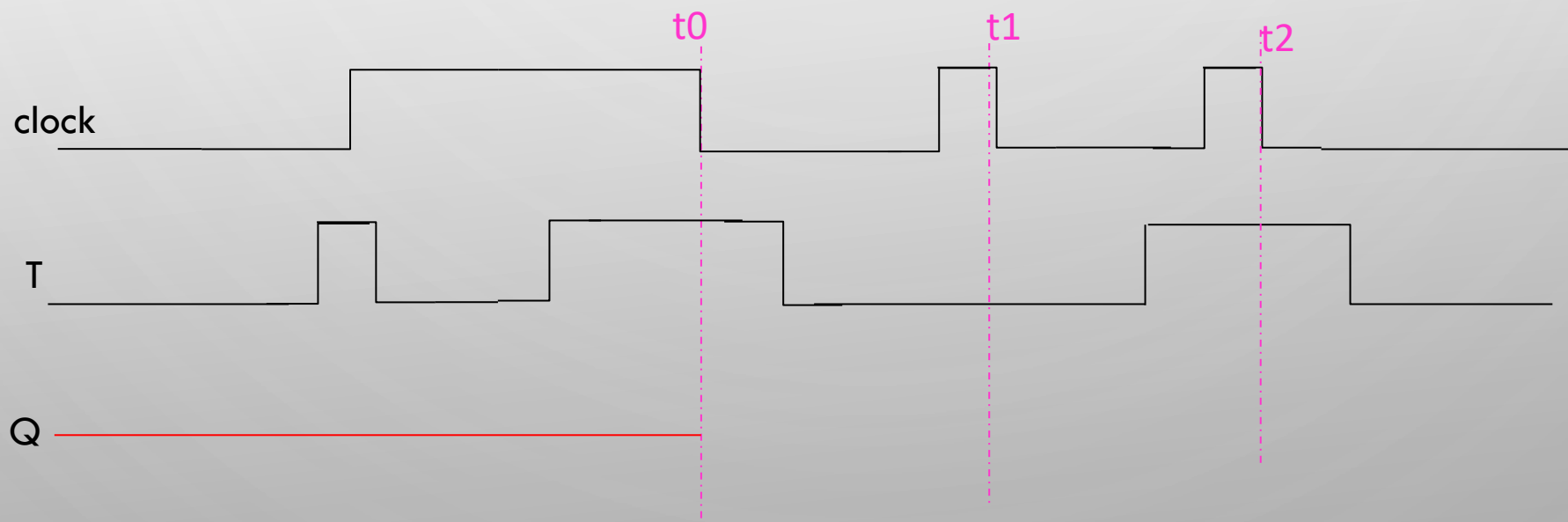
Exercício N°3: Resolução

Para o FF tipo T (mostrado na figura), onde J e K estão curto circuitados, assumindo $Q = 0$ inicialmente, determine a forma de onda da saída Q para o FF JK MS



Clock	T	Q
X	X	Q_a
↓	0	Q_a
↓	1	Toggle ($\overline{Q_a}$)

o símbolo ↓ indica borda de descida do clock



CIS COMERCIAIS COM ELEMENTOS DE MEMÓRIA

- 7470: Flip-Flop J-K com Preset e Clear com porta AND ativado por borda de subida;
- 74H71: Flip-flop JK mestre escravo com Preset com porta AND-OR;
- 74L71: Flip-flop RS mestre escravo com Preset e Clear com porta AND;
- 7472: Flip-Flop JK mestre escravo com Preset e Clear com porta AND;
- 7473: Dois Flip-Flops JK com Clear;
- 7474: Dois Flip-Flops tipo D com Preset e Clear ativos por borda de subida;
- 7475: Latch biestável de 4-bits;
- 7476: Dois Flip-Flops JK com Preset e Clear;
- 7477: Latch biestável de 4-bits;
- 74H78, 74L78: Dois Flip-Flops JK com Preset, Clear comum e Clock comum;
- 74LS78A: Dois flip-flops JK com Preset, Clear comum e clock comum ativos por borda de descida;
- 7479: Dois flip-flops D;
- 74100: Dois latch biestáveis de 4 bits;
- 74101: Flip-Flop JK ativo por borda de descida com Preset e com disparo por porta AND-OR;
- 74102: Flip-Flop JK ativo por borda de descida com Preset e Clear com disparo por porta AND
- 74103: Dois Flip-Flops JK ativos por borda de descida com Clear;
- 74104: Flip-Flop JK Mestre Escravo;
- 74105: Flip-Flop JK Mestre Escravo;

REFERÊNCIAS:

Tocci, R.J; Widmer. N. S; Moss, G. L. “ Sistemas Digitais : princípios e aplicações” 11ª. Ed. São Paulo: Pearson Prentice Hall, 2011

Capuano, F. G; Idoeta, I. V. “ Elementos de Eletrônica Digital” 40ª. Ed. São Paulo : Érica, 2008

REFERÊNCIAS : SLIDES DO PROF. DR. JOÃO PAULO CARMO

<https://www.youtube.com/watch?v=gMYuYmS3yzA>

https://www.youtube.com/watch?v=zQj0oDimU2I&list=PLXyWBo_coJnMYO9Na3t-oYsc2X4kPJBWf&index=65

[HTTPS://WWW.YOUTUBE.COM/WATCH?V=Q0HXFNU0EGW&LIST=PLXYWBO_COJNMYO9NA3T-OYSC2X4KPJBWF&INDEX=54](https://www.youtube.com/watch?v=Q0HXFNU0EGW&list=PLXYWBO_COJNMYO9NA3T-OYSC2X4KPJBWF&index=54)

FIM

PROFA. LUIZA MARIA ROMEIRO CODÁ

57