

Escola de Engenharia de São Carlos

Departamento de Engenharia Elétrica e de Computação

SEL 412 Tecnologia Digital

Profa. Luiza Maria Romeiro Codá

GABARITO Lista nº6 : Circuitos Combinacionais Parte 2

1. Implemente um circuito lógico que funcione de acordo com a tabela verdade (tabela1), utilizando dois multiplex conforme a Figura 1, e portas lógicas básicas se necessário.

Tabela 1

A	B	C	S
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

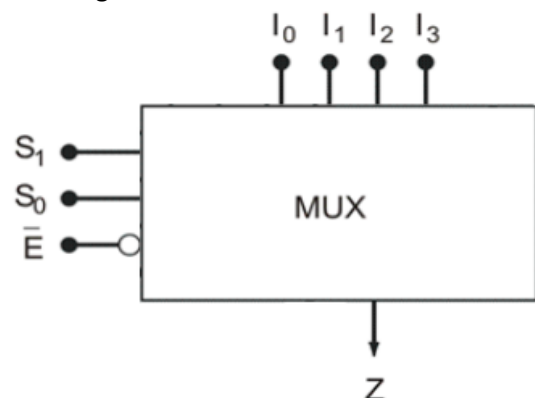


Figura 1

RESPOSTA:

$$S = \bar{A} \bar{B} C + \bar{A} B \bar{C} + \bar{A} B C + A \bar{B} \bar{C} + ABC$$

Tabela verdade do mux 4X1:

enable	S1	S0	Z
1	X	X	0
0	0	0	I0
0	0	1	I1
0	1	0	I2
0	1	1	I3

C	B	A	
enable	S1	S0	Z
1	X	X	0
0	0	0	I0
0	0	1	I1
0	1	0	I2
0	1	1	I3

Os termos $\bar{A} B \bar{C}$ e $A \bar{B} \bar{C}$ são obtidos através do MUX I, ou seja entrada enable = entrada C em zero ($\bar{C}$), $\bar{A} B$ acontece qdo $S_1 = 1$ e $S_0 = 0$ então a entrada I2 é conectada à saída do mux I, portanto I2 deve ser ligado ao Vcc. Da mesma forma $A \bar{B}$ acontece qdo $S_1 = 0$ e $S_0 = 1$ então a entrada I1 é conectada à saída do mux I, portanto I1 deve ser ligado ao Vcc. Então, para gerar esses dois termos as entradas I1 e I2 do MUX I devem estar ligadas no Vcc e as outras (I0 e I3) no terra.

Os termos $\bar{A} \bar{B} C$, $\bar{A} B C$ e $A B C$ são obtidos através do MUX II, ou seja entrada enable = entrada C em 1. O termo $\bar{A} \bar{B}$ é obtido quando $S_0 = 0$ e $S_1 = 0$, e nesse caso a entrada I0 é ligada à saída do MUX II, então liga-se I0 ao Vcc.

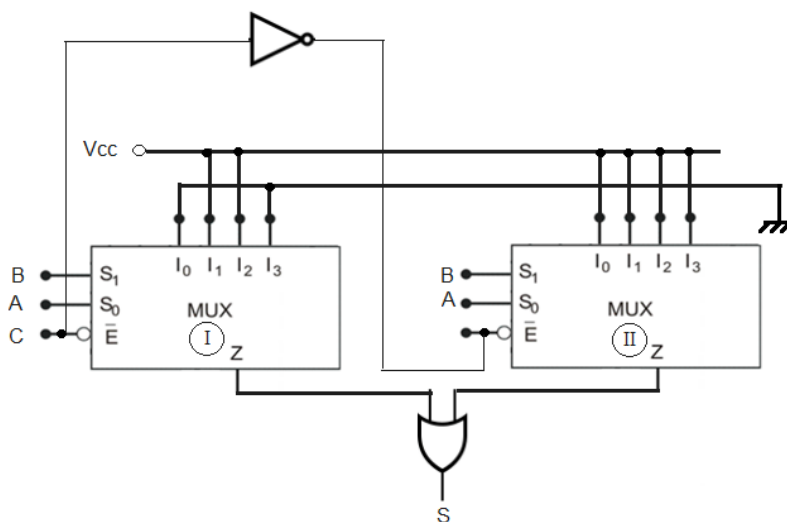
O termo $\bar{A} B$ é obtido quando $S_0 = 0$ e $S_1 = 1$, e nesse caso a entrada I2 é ligada à saída do MUX II, então liga-se I2 ao Vcc.

O termo $A B$ é obtido quando $S_0 = 1$ e $S_1 = 1$, e nesse caso a entrada I3 é ligada à saída do MUX II, então liga-se I3 ao Vcc.

Então, para gerar esses tres termos as entradas I0, I2 e I3 do MUX I devem estar ligadas no Vcc e a I1 ao terra.

A saída S é obtida passando as saídas de cada MUX por uma OR de 2 entradas.

Circuito Final:



- Um engenheiro necessita de um circuito eletrônico programável através do posicionamento de chaves e capaz de implementar expressões booleanas entre quatro sinais digitais (W, X, Y e Z). Ele montou o circuito apresentado na Figura 2, utilizando decodificadores 3 (três) entradas e 8 (oito) saídas, em que E_3 apresenta o bit mais significativo da entrada. Sabe-se que o pino do enable, do CI decodificador utilizado, quando desabilitado, faz com que todas as saídas do decodificador (S_0 até S_7) permaneçam em nível lógico alto ('1'). As chaves são independentes e apresentam duas posições de contato, conectadas à barra de +Vcc ou ao terminal do decodificador. Quais os números das chaves que deverão ser conectadas aos decodificadores para que a expressão booleana do sinal F seja $\bar{W}XY + W\bar{X}\bar{Z} + WX\bar{Y}Z$?

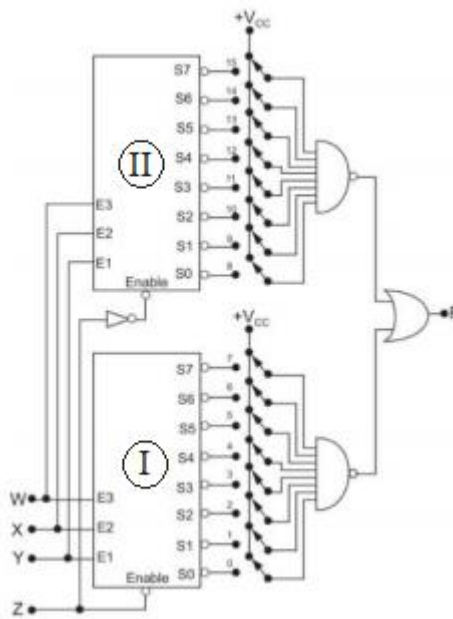


Figura 2

RESPOSTA:

O circuito da Figura 2 que apresenta 16 chaves nomeadas de 0 a 15, funciona assim: quando todas as chaves ligadas às saídas do decodificador estão abertas, elas estão no Vcc, e portanto a saída da porta NAND será '0'. Para que a saída da porta NAND seja '1', basta qualquer chave estar fechada e ter valor '0', para isso a saída do decodificador ligada à chave deve estar ativada (saída ativada = '0').

O enable habilita a decodificação, então pelo desenho ele é habilitado em nível baixo (por causa da entrada inversora deste pino). Tabela verdade do decodificador e do circuito é:

Tabela Verdade $\bar{W}XY + W\bar{X}\bar{Z} + WX\bar{Y}Z$

		W	X	Y									
	Enable	E3	E2	E1	S0	S1	S2	S3	S4	S5	S6	S7	F
Decodificador I (Z=0)	1	X	X	X	X	1	1	1	1	1	1	1	0
	0	0	0	0	0	1	1	1	1	1	1	1	0
	0	0	0	1	1	0	1	1	1	1	1	1	0
	0	0	1	0	1	1	0	1	1	1	1	1	0
	0	0	1	1	1	1	1	0	1	1	1	1	1
	0	1	0	0	1	1	1	1	0	1	1	1	1
	0	1	0	1	1	1	1	1	1	0	1	1	1
	0	1	1	0	1	1	1	1	1	1	0	1	0
	0	1	1	1	1	1	1	1	1	1	1	0	0
		E3	E2	E1	S0	S1	S2	S3	S4	S5	S6	S7	
	0	0	0	0	0	1	1	1	1	1	1	1	0
	0	0	0	1	1	0	1	1	1	1	1	1	0
	0	0	1	0	1	1	0	1	1	1	1	1	0
	0	0	1	1	1	1	1	0	1	1	1	1	1

Decodificador II (Z=1)	0	1	0	0	1	1	1	1	0	1	1	1	0
	0	1	0	1	1	1	1	1	1	0	1	1	0
	0	1	1	0	1	1	1	1	1	1	0	1	1
	0	1	1	1	1	1	1	1	1	1	1	0	0

Quando Z=0, o decodificador I está habilitado, pois sua entrada será ZERO na entrada enable do chip(e o II desabilitado). Quando Z = 1 o decodificador II que está habilitado (e o I desabilitado).

Conclusão:

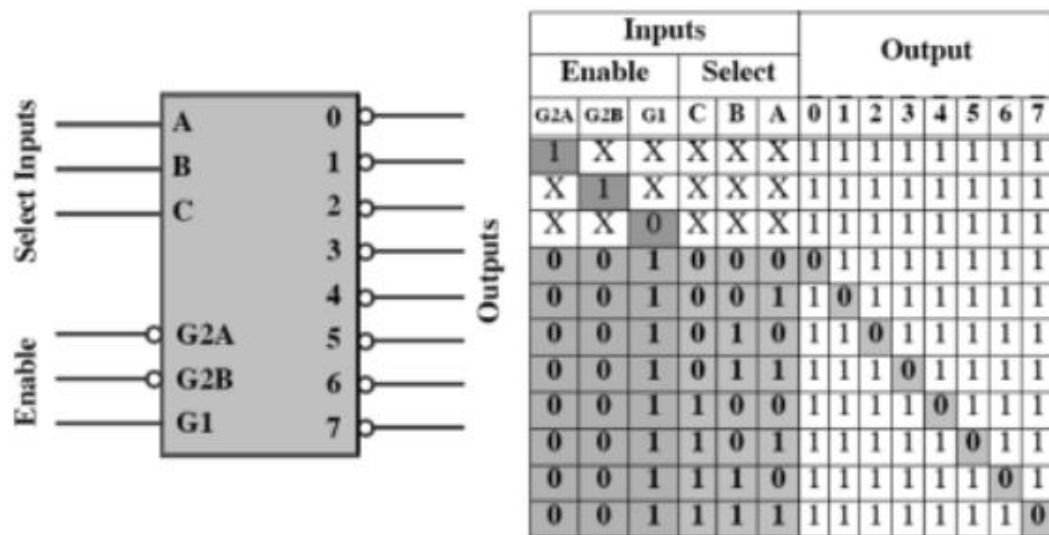
Quando a entrada for $\bar{W}\bar{X}Y$, (entradas E3= '0', E2 = '1' e E0 = '1'), neste caso a entrada Z pode ser tanto 1 como 0, então os dois decodificadores podem ser ativados. A combinação (E3= '0', E2 = '1' e E0 = '1'), ativa as saídas S3 dos decodificadores I e II que estarão em zero, portanto, as chaves 3 e 11 serão fechadas.

Quando a entrada for $W\bar{X}\bar{Z}$ (entradas E3='1', E2='0' e E0 pode ser '0' ou '1' e Z='0'), A entrada Z = '0' ativa apenas o decodificador I, então as saídas S4 (E3 = '1', E2='0' e E0='0') e S5(E3 = '1', E2='0' e E0='1') do decodificador I estarão em zero, portanto, as chaves 4 e 5 de I1 serão ser fechadas.

Quando a entrada for $WX\bar{Y}Z$ (entradas E3='1', E2='1' e E0 = '0' e Z='1') , a entrada Z = 1 ativa o decodificador II, então a saída S6 (E3 = '1', E2='1' e E0='0') do decodificador II estará em zero, portanto, a chaves 14 deve ser fechada.

Portanto, para que a saída $F = \bar{W}\bar{X}Y + W\bar{X}\bar{Z} + WX\bar{Y}Z$, as chaves 3, 4, 5, 11 e 14 do circuito devem estar fechadas.

3. Faça a associação de dois decodificadores 74138 (figura abaixo) para formar um decodificador de 4 entradas e 16 saídas.



RESPOSTA:

