

Departamento de Engenharia Elétrica e de Computação
SEL 323 – Lab. de Sistemas Digitais II
Profa. Luiza Maria Romeiro Codá

Prática nº2

Comparador de Igualdade- Descrição estrutural usando vetores

Utilizando o software QuartusII escreva o projeto em linguagem VHDL para o comparador de igualdade de 4 bits (Figura 1), usando arquitetura estrutural(interconexão de componentes com comando PORT MAP). Crie os PORTS e sinais como vetores.

Funcionamento: A saída "Igual" só assume nível lógico alto se as entradas forem iguais (A = B).

Simule para verificar o funcionamento do circuito. Verifique o RTL gerado. Insira a pinagem, como mostrada na Figura 2. Configure o circuito no dispositivo do módulo mercúrio IV (Família Cyclone IV-E dispositivo EP4CE30F23C-7). Verifique o funcionamento do circuito sintetizado, As chaves estão mostradas na Figura 3.

Envie pelo stoa moodle um arquivo pdf com a imagem do VHDL no Quartus II constando como comentário Nome do projeto, Nome e Número do aluno assim como comentários para compreensão do projeto. Inclua no arquivo pdf o RTL, as ondas da simulação do projeto e as respostas das questões (se houverem).

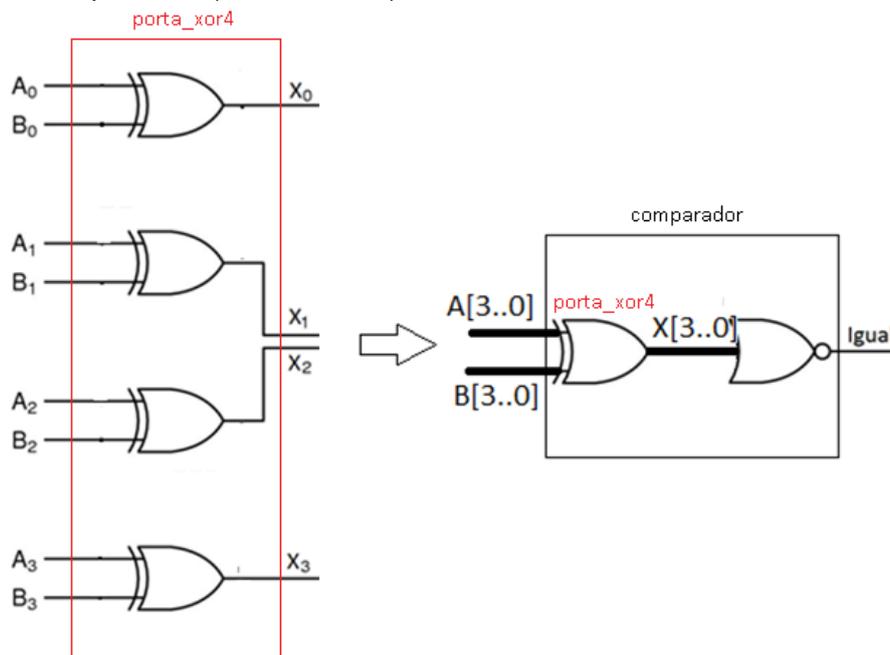


Figura 1 Circuito comparador de igualdade

Nome do sinal	Pino do FPGA	Módulo mercúrio
igual	E7	LED_B
A[0]	E16	Chaves da Placa expansora Grupo A
A[1]	H22	
A[2]	F16	
A[3]	F19	
B[0]	J21	Chaves da Placa expansora Grupo B
B[1]	K21	
B[2]	H20	
B[3]	H18	

Figura 2 Pinagem do módulo mercúrio IV

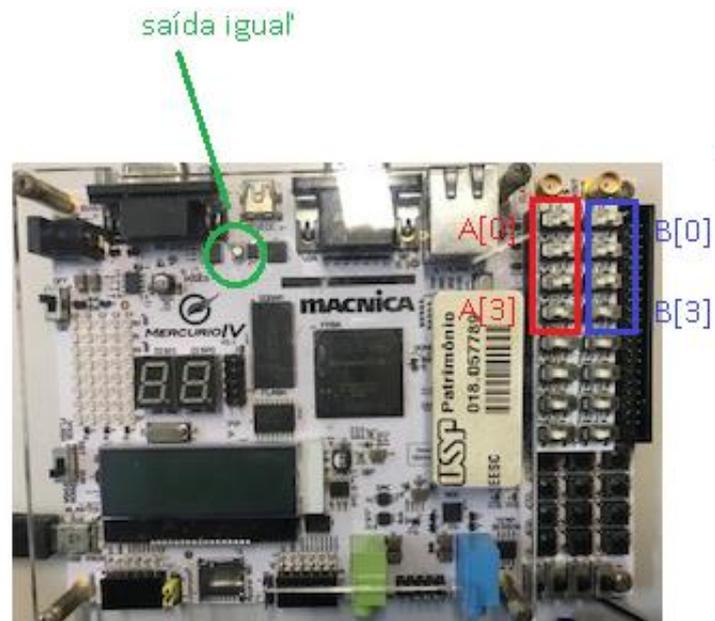


Figura 3 foto do módulo mercúrio