

# Interface com Sensor Ultrassônico de Distância

Versão LabEAD 2020

## RESUMO

Esta experiência tem por objetivo desenvolver um circuito que realiza a interface com o sensor ultrassônico de distância HC-SR04. A implementação será desenvolvida para a placa de desenvolvimento FPGA DE0-CV, usando a infraestrutura do LabEAD para acesso remoto ao Laboratório Digital.

## OBJETIVOS

Após a conclusão desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Medida de distância;
- Interface com Sensor ultrassônico;
- Desenvolvimento de Máquinas de estados;
- Projeto em FPGA.

## 1. ESPECIFICAÇÃO DO PROJETO

Uma trena é um equipamento de medida de distâncias. Elas podem variar desde uma fita métrica, passando pelas trenas com fitas de aço, até as trenas digitais com medidas a laser (figura 1).



Figura 1. Alguns medidores de distância.

O sensor de distância é um componente essencial das trenas digitais. Tais sensores normalmente emitem um sinal eletromagnético para realizar a medida, conforme ilustrado na figura 2. Este sinal emitido reflete no objeto de interesse e depois é detectado pelo medidor. O intervalo de tempo entre a emissão e a recepção do sinal determinam a distância entre a trena e o objeto.

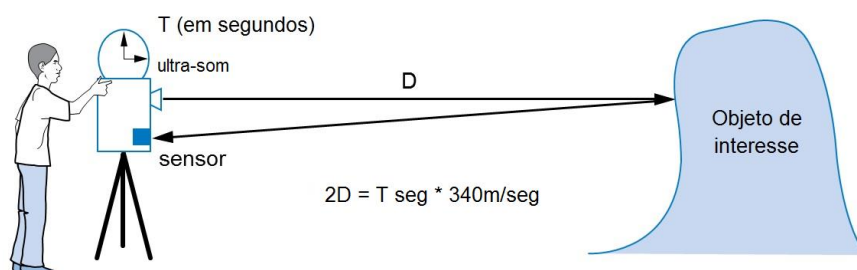


Figura 2. Esquema do processo de medida de distância com um sensor ultrassônico (adaptado de [Vahid, 2008]).

Caso seja adotado um sensor ultrassônico de distância, o medidor emite um sinal com frequência ultrassônica que trafega na velocidade do som (aproximadamente 340 m/s<sup>1</sup> a 15°C). Assim, a distância D pode ser obtida pela expressão abaixo.

$$D \cong \frac{T}{58,82}$$

onde a distância D é medida em centímetros e o intervalo de tempo T, em microssegundos.

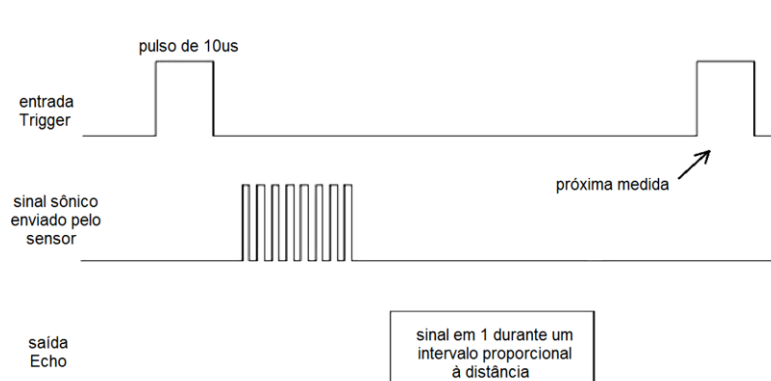
### 1.1. Interface do HC-SR04

O projeto desta experiência deve realizar a interface com o sensor ultrassônico de distância HC-SR04. A figura 3 abaixo ilustra os sinais de entrada e saída do sensor. Além dos pinos de alimentação (VCC e GND), o HC-SR04 possui um sinal de entrada TRIGGER e um sinal de saída ECHO. Convém notar que a especificação do sensor mostra que os sinais de sua interface seguem os níveis de tensão TTL, com VCC=5V.



**Figura 3. Sinais da interface do sensor ultrassônico HC-SR04.**

O acionamento do sensor é realizado pelo envio de um **pulso com 10μs** de largura no pino TRIGGER. Em seguida, o sensor envia oito pulsos ultrassônicos para o processo de medida. Depois da recepção dos pulsos refletidos, o sinal de saída ECHO apresenta um pulso de resposta, cuja largura é proporcional à distância. Este processo de medida é ilustrado na figura 4 abaixo.

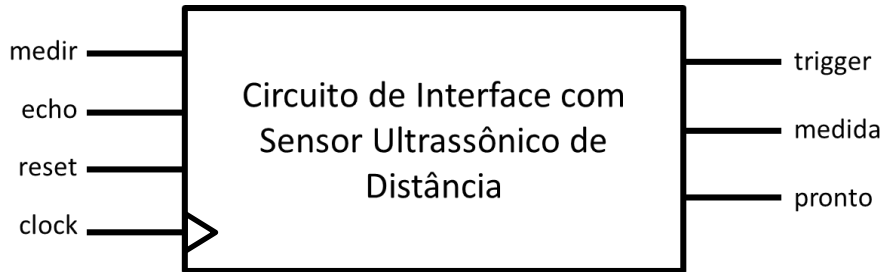


**Figura 4. Sinais do processo de medida com HC-SR04.**

<sup>1</sup> A velocidade do som se caracteriza pelo fato de depender de alguns fatores, em particular, da temperatura ambiente. Embora seja comum adotar o valor de 340 m/s como a velocidade nominal de propagação do som na atmosfera, ela varia desde 319 m/s a -20°C até 355 m/s a 30°C.

## 1.2. Interface do Circuito

O circuito deve somente iniciar sua operação com o acionamento do sinal MEDIR. Após o seu acionamento, o circuito deve gerar o pulso TRIGGER e aguardar o sinal de resposta ECHO. Em seguida, deve-se medir a largura do pulso de resposta, calcular a distância ao objeto na escala de 1 cm e apresentar a MEDIDA na saída e ativar o sinal PRONTO. A figura 5 apresenta os principais sinais da interface do circuito.



**Figura 5. Interface do circuito de interface com o sensor HC-SR04.**

Os sinais `trigger` e `echo` devem ser ligados ao sensor HC-SR04, e a saída `medida` composta por 4 dígitos BCD (totalizando 16 *bits*) de forma a permitir saídas de 0000 até 9999, correspondendo a distâncias de zero até cerca de 10 metros.

A definição da entidade VHDL para o circuito de interface é apresentada em seguida.

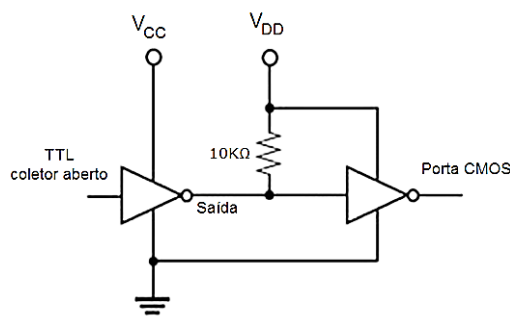
```
entity interface_hcsr04 is
  port (
    clock, reset: in  std_logic;
    medir:       in  std_logic;
    echo:        in  std_logic;
    trigger:     out std_logic;
    medida:      out std_logic_vector(15 downto 0);
    pronto:      out std_logic;
    db_estado:   out std_logic_vector(4 downto 0)
  );
end entity interface_hcsr04;
```

A verificação de funcionamento do projeto deve ser realizada através dos sinais em formato binário usando o software de simulação ModelSim. Detalhes do procedimento de síntese e testes do circuito na placa FPGA serão apresentados na seção 2.2.

## 1.4. Circuitos Integrados para Interfaceamento

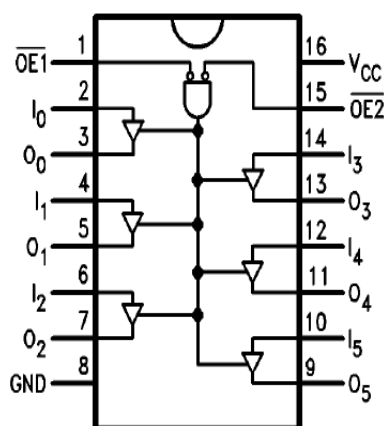
É comum em sistemas digitais incluir componentes que são alimentados com tensões diferentes. As tensões de alimentação podem variar desde tensões da ordem de 1V com circuitos LVCMOS (*Low Voltage CMOS*) ou 3,3V para LVTTTL até tensões de cerca de 15V para componentes CMOS.

Isto faz com que seja necessário o uso de componentes que realizam a conversão de níveis de tensão. Normalmente o uso de circuitos com saída em coletor aberto (TTL) ou dreno aberto (CMOS) realizam esta tarefa [Wakerly, 2006] como mostrado na figura 6.



**Figura 6. Interfaceamento com saída com coletor aberto.**

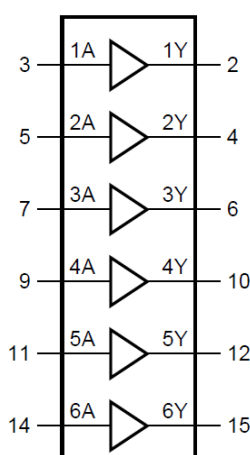
Atualmente, outras alternativas são permitidas. Esta seção apresenta dois circuitos integrados que serão usados nesta experiência. O primeiro é o **74LS365** que contém 6 *buffers* ou *drivers* de linha com capacidade de corrente alta. Uma saída TTL da série LS possui os parâmetros de corrente  $I_{OL}$  e  $I_{OH}$  iguais a 8 mA e -0,4 mA, respectivamente. Já o circuito 74LS365 apresenta valores iguais a 24 mA e -2,6 mA, respectivamente. A figura 7 mostra a pinagem deste circuito integrado



**Figura 7. Circuito integrado 74LS365.**

A alta capacidade de corrente permite que este circuito possa ser usado em vias de dados onde várias cargas podem ser conectadas entre si. Nesta experiência ele deve ser usado para ligar saídas LVCMOS da placa DE0-CV que possuem valores de até 3,3V para componentes discretos alimentados com  $V_{CC}=5V$ .

O segundo circuito integrado **74HC4050** contém 6 *buffers* com entradas tolerantes a sobretensão, ou seja, é possível que as entradas possuam tensão maior que o valor da alimentação. Esta característica permite sua utilização em aplicações em que é necessário o “abaixamento” de tensão: por exemplo, no interfaceamento de circuitos com  $V_{CC}=5V$  para circuitos com  $V_{CC}=3,3V$ . Para isto basta alimentá-lo com  $V_{CC}=3,3V$  e ligar suas entradas nos sinais do circuito de 5V. A figura 8 abaixo apresenta a interface deste circuito.



**Figura 8. Circuito integrado 74HC4050.**

Nesta experiência o 74HC4050 será usado para ligar a saída em 5V do sensor ultrassônico de distância para a entrada LVCMOS da placa FPGA DE0-CV.

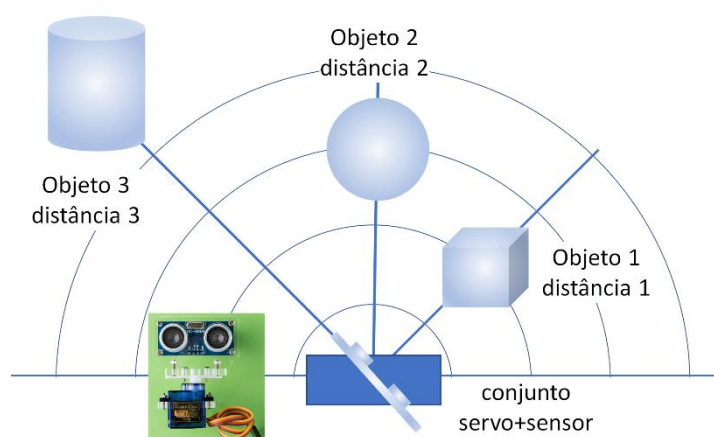
## 2. PARTE EXPERIMENTAL

### 2.1. Atividade 1 – Projeto do Circuito de Interface

- Desenvolva o **projeto** do circuito de interface com o sensor ultrassônico de distância, conforme especificação apresentada na seção 1.2. Apresente as decisões de projeto e detalhes do seu funcionamento no Planejamento. Anexe os diagramas de projeto referentes ao Fluxo de Dados e da Unidade de Controle.
- Elabore um plano de testes para a parte experimental.  
DICA: planeje como os sinais do sensor HC-SR04 devem ser monitorados na montagem prática usando ferramentas do Analog Discovery.
- Use o software **ModelSim** para verificar o funcionamento do circuito projetado. Será disponibilizado um arquivo VHDL de um testbench básico com a estrutura geral para os testes. Recomenda-se que o grupo melhore os testes realizados pelo testbench para incluir os casos de teste do item 2.1.b.
- Acrescente no Planejamento as formas de onda das simulações do sistema digital e de suas partes.
- Submeta o arquivo PDF do Planejamento (PCS3645-TurmaX-BancadaYY-Planejamento5.pdf) e o arquivo QAR (exp5\_txby.qar) do projeto desenvolvido.

### 2.2. Atividade 2 – Estratégia para o Teste de Funcionamento do Projeto

- Para a execução dos testes de funcionamento do circuito de interface com o sensor ultrassônico de distância em um ambiente remoto é necessário definir uma estratégia adequada. Para esta experiência, a montagem experimental na bancada remota do Laboratório Digital é composta por um módulo HC-SR04 montado sobre um servomotor e um conjunto de objetos dispostos espacialmente a distâncias pré-estabelecidas. A figura 9 ilustra esta montagem.



**Figura 9 – Disposição espacial da montagem na bancada remota do Laboratório Digital.**

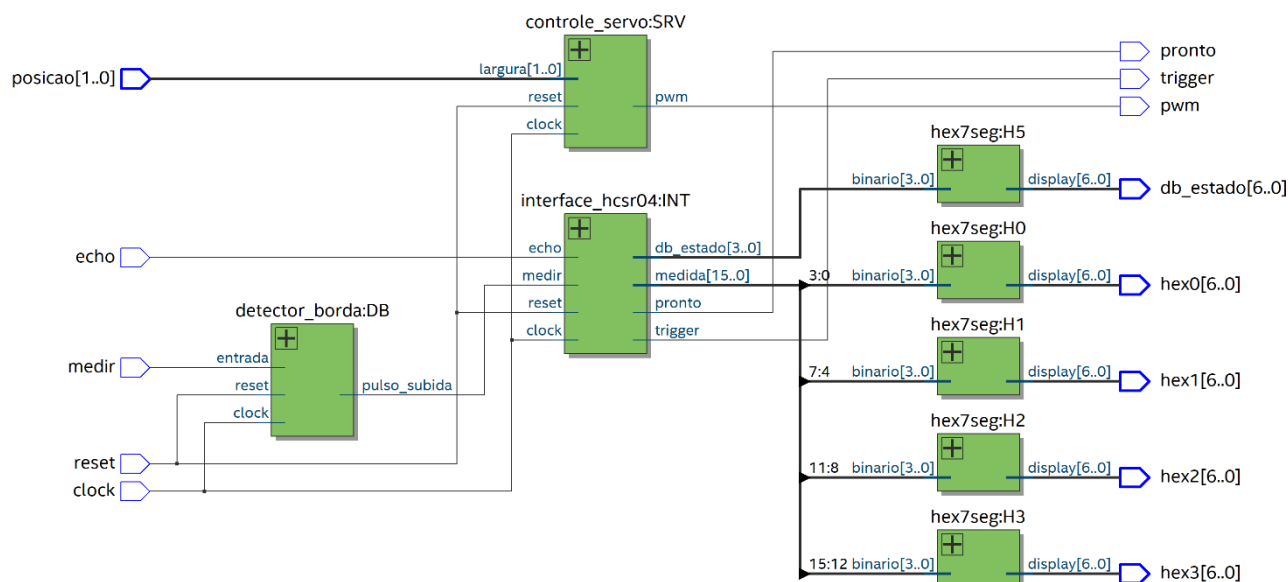
As medidas de distância deverão obedecer ao seguinte **protocolo** de atividades:

- Condição inicial dos circuitos digitais;
- Posicionamento do servomotor para uma posição pré-estabelecida;
- Acionamento do sinal de medida do circuito de interface com sensor ultrassônico de distância;
- Verificação da medida efetuada;
- Reposicionamento do servomotor para a próxima posição;
- Repetição dos passos 3 a 5 anteriores.

O posicionamento do conjunto servomotor e sensor deve ser realizado com o circuito desenvolvido na experiência “Controle de um servomotor”. No detalhe da figura 9 acima, vemos uma ilustração da montagem do sensor HC-SR04 sobre o servomotor.

## 2.3. Atividade 3 – Preparação do Projeto para Síntese na Placa FPGA

- g) Na implementação do projeto do circuito de interface com o sensor ultrassônico de distância na placa FPGA, o sinal *medida* deve ser apresentado em *displays* de 7 segmentos. Isto deve ser implementado através da adição de codificadores para *displays* de 7 segmentos (entidade *hex7seg*) que fazem a conversão de sinais binários para o código de 7 segmentos. A entrada *medir* também pode ser processada por um circuito detector de borda para transformá-la em um pulso. A figura 10 ilustra uma saída da ferramenta RTLViewer do Intel Quartus Prime.



**Figura 10 – Saída da ferramenta RTLViewer do circuito de teste para a experiência.**

- h) Além disto, o circuito a ser sintetizado na placa FPGA deverá incluir também o circuito de controle do servomotor desenvolvido anteriormente. Assim, o circuito projetado a ser sintetizado na placa FPGA DE0-CV deve seguir a seguinte designação mínima de sinais.

	sinal	pino	Analog Discovery	Blynk
comum	CLOCK	CLK_50	-	-
	RESET	GPIO_0_D0	-	Botão 0/1 – Switch – V10
interface com sensor	MEDIR	GPIO_0_D1	-	Botão 0/1 – Switch – V11
	ECHO	GPIO_0_D34	-	-
	TRIGGER	GPIO_1_D34	-	-
	MEDIDA	<i>displays</i> HEX0 a HEX3	-	-
	PRONTO	<i>led</i> LEDR[0]	-	-
	ESTADO	<i>display</i> HEX5	-	-
	db_trigger	-	osciloscópio	-
	db_echo	-	osciloscópio	-
servomotor	largura[0]	GPIO_0_D2		Botão 0/1 – Switch – V12
	largura[1]	GPIO_0_D3		Botão 0/1 – Switch – V13
	pwm	GPIO_1_Dx	servomotor ou osciloscópio	-

Defina um conjunto de sinais de depuração que podem ser mostrados em *leds* e *displays* disponíveis. O Planejamento deve conter uma tabela com a designação destes sinais adicionais. Observe que alguns sinais de depuração já foram definidos na tabela acima e devem ser observados.

Inicialmente a forma de onda do sinal *pwm* deve ser verificado antes de mapeá-lo no pino conectado ao **servomotor** (GPIO\_1\_D35) de forma a evitar qualquer dano ao componente. Durante os testes de medida de distância, os sinais *db\_trigger* e *db\_echo* devem ser monitorados e analisados para verificar o correto funcionamento do circuito.

## 2.4. Atividade 4 – Síntese e Teste do Projeto na Placa FPGA

- i) O teste na placa FPGA deve usar o *Blynk* para acionar os sinais de entrada do circuito para o posicionamento do servomotor e para iniciar a medida de distância. Para isto prepare o projeto no *Blynk* com os seguintes widgets apresentados na figura 11.



**Figura 11 – Widgets do projeto no Blynk para os testes.**

- j) Programe o projeto sintetizado na placa DE0-CV no Laboratório Digital e teste o circuito. Descreva quaisquer ocorrências experimentais no Relatório.
- k) Durante as atividades práticas, execute algumas medidas de sinais capturados do HC-SR04 (em função da distância e da posição do objeto de interesse) mapeando os **sinais de depuração** para os pinos da GPIO\_1 da placa FPGA ligados no osciloscópio do Analog Discovery.
1. Largura do pulso de *trigger*;
  2. Largura do pulso de *echo*;
  3. Diferença de tempo dentre os pulsos *trigger* e *echo*.

Dica: os pinos da GPIO\_1 mapeados nas entradas de osciloscópio são apresentados na tabela abaixo. Acertar os mapeamentos dos sinais que serão analisados a cada etapa de medida.

pino da GPIO	entrada do Analog Discovery	descrição
GPIO_1_D27	CH1+	canal 1 do osciloscópio
GPIO_1_D29	CH2+	canal 2 do osciloscópio

- l) Repita medidas para cada posição. Verifique a **precisão e estabilidade das medidas** realizadas. Se necessário, faça ajustes nas configurações do circuito.
- m) Submeta o arquivo PDF (PCS3645-TurmaX-BancadaYY-Relatorio5.pdf), o arquivo QAR do projeto testado no Laboratório Digital (exp5\_final\_txby.qar), junto com o arquivo VHDL do *testbench*.

## 2.5. Desafio

- n) Uma **modificação** será apresentada pelo professor. Implemente, documente e execute uma demonstração de seu funcionamento.
- o) Anote os resultados experimentais no Relatório.
- p) Submeta o arquivo QAR do projeto modificado (`exp5_desafio_txbyy.qar`) junto com o Relatório.

## 3. BIBLIOGRAFIA

- ALMEIDA, F.V. de; SATO, L.M.; MIDORIKAWA, E.T. **Tutorial para criação de circuitos digitais em VHDL no Quartus Prime 16.1**. Apostila de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2017.
- ALTERA. **DE0-CV User Manual**. 2015.
- ALTERA. **Quartus Prime Introduction Using VHDL Designs**. 2016.
- ALTERA. **Quartus Prime Introduction to Simulation of VHDL Designs**. 2016.
- D'AMORE, R. **VHDL - descrição e síntese de circuitos digitais**. 2ª edição, LTC, 2012.
- MIDORIKAWA, E.T. **Metodologia de Projeto com Dispositivos Programáveis**. Apostila de Laboratório Digital. PCS-EPUSP, 2016.
- TOCCI, R. J.; WIDMER, N.S.; MOSS, G.L. **Sistemas Digitais: Princípios e Aplicações**. Prentice-Hall, 11ª ed., 2011.
- VAHID, F. **Sistemas Digitais: Projeto, Otimização e HDLs**. Bookman, 2008.
- WAKERLY, John F. **Digital Design Principles & Practices**. 4<sup>th</sup> edition, Prentice Hall, 2006.

## 4. MATERIAL DISPONÍVEL

- Circuitos integrados para interface: 74LS365 e 74HC4050.
- 1 sensor ultrassônico HC-SR04.
- 1 servomotor.
- 1 *protoboard* ou outra plataforma de montagem.
- 1 kit Lab da plataforma LabEAD.

## 5. EQUIPAMENTOS NECESSÁRIOS

- 1 computador com software Intel Quartus Prime e ModelSim.
- 1 dispositivo Analog Discovery da Digilent.
- 1 placa de desenvolvimento FPGA DE0-CV com o dispositivo Cyclone V 5CEBA4F23C7N.

### Histórico de Revisões

E.T.M./2014 – versão inicial  
 E.T.M./2015 – revisão  
 E.T.M./2016 – revisão e adaptação  
 E.T.M./2019 – revisão e atualização  
 E.T.M./2020 – revisão e reorganização da experiência para acesso remoto.