

Circuito de Recepção Serial Assíncrona (Primeira Parte)

Versão LabEAD 2020

RESUMO

O objetivo desta experiência é realizar o projeto e a implementação de um circuito digital em VHDL que receba dados digitais (caracteres em código ASCII) de um terminal serial usando a linguagem de descrição de hardware VHDL e uma placa de desenvolvimento FPGA DE0-CV da Intel FPGA.

OBJETIVOS

Após a conclusão desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Comunicação serial assíncrona (RS232C);
- Metodologia de Projeto de Circuitos Digitais com FPGA;
- Projeto de circuitos com VHDL;
- Depuração com ferramentas.

1. PARTE EXPERIMENTAL

A parte experimental envolve a realização de um conjunto de atividades visando o desenvolvimento de um circuito digital para a recepção de dados para um terminal serial, usando a placa de desenvolvimento FPGA DE0-CV da Intel. Completa-se assim o estudo da comunicação serial assíncrona

1.1. Atividade 1 – Estudo Inicial para o Projeto do Circuito de Recepção

Estude a apostila “**Conceitos de Comunicação Serial Assíncrona**” sobre o uso da técnica de superamostragem no projeto do circuito de recepção. A figura 1 ilustra a relação dos principais sinais do circuito de recepção serial assíncrona.

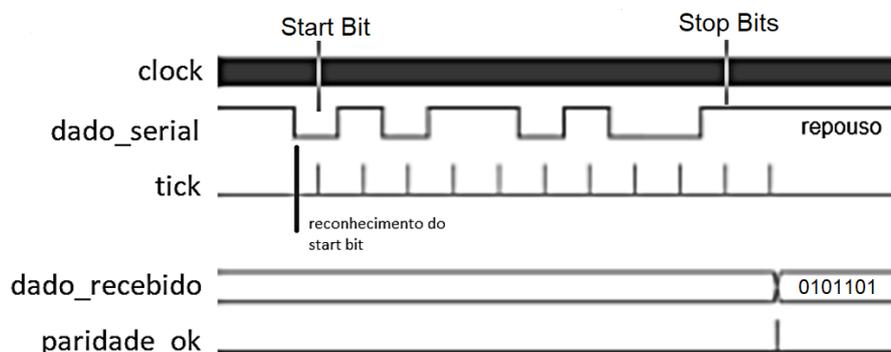


Figura 1 – Dados seriais, clock e tick na superamostragem da recepção serial assíncrona.

- Explique o funcionamento básico do circuito de recepção serial assíncrona em termos de componentes digitais (p.ex. registrador, contador, etc). Considere um circuito básico com a recepção de um *bit* por período de *clock*.
- Explique o funcionamento da técnica de superamostragem para o circuito de recepção serial assíncrona. Mostre a relação de frequência entre os sinais de *clock* e *tick*. Explique a ocorrência dos sinais de *tick* em relação aos *bits* de dados do sinal serial de entrada do circuito de recepção.
- Por que é importante usar a superamostragem no projeto da experiência? O que pode acontecer no caso de se optar por não a usar a técnica?
- Ao comparar o projeto do circuito da experiência com o projeto do circuito de transmissão serial, o que a adoção da superamostragem muda no desenvolvimento do fluxo de dados e da unidade de controle?

1.2. Atividade 2 – Projeto do Circuito Base de Recepção Serial

Esta atividade envolve o desenvolvimento do projeto lógico do circuito base de recepção serial assíncrona, com a transferência de 1 *bit* por ciclo de relógio (*clock*).

Especificação do Projeto. O circuito de recepção de dados seriais enviados a partir de um terminal serial deve ser projetado para detectar o acionamento de uma tecla no teclado do terminal, mostrar o código ASCII (**dado_recebido**) e acionar um *led* para indicar a recepção do dado (**pronto_rx**). Além disso, deve testar o *bit* de paridade recebido e indicar, por meio de um *led* (**paridade_ok**), se ocorreu um erro de comunicação. O circuito base deve ser desenvolvido de forma a executar a recepção de 1 *bit* por *clock*.

A documentação do circuito base deve detalhar os elementos do fluxo de dados e seu controle pela unidade de controle. A interface do circuito é mostrada na Figura 2. Sinais adicionais de depuração podem ser especificados e devem ser documentados no Planejamento. A configuração da comunicação serial a ser adotada no projeto é denominada **8E2**, ou seja, 8 *bits* de dados, paridade par (*even*) e 2 *stop bits*.



Figura 2 – Interface do Circuito de Recepção de Dados.

A configuração da comunicação serial a ser adotada no projeto é denominada **8E2**, ou seja, 8 *bits* de dados, paridade par (*even*) e 2 *stop bits*.

A entidade principal do circuito de recepção serial base deve seguir a especificação dada.

```
entity rx_serial_base is
  port
  (
    i_clock, i_reset: in std_logic;
    i_dado_serial: in std_logic;
    o_paridade_ok: out std_logic;
    o_pronto_rx: out std_logic;
    o_dado_recebido: out std_logic_vector (7 downto 0)
  );
end entity;
```

Note que adotamos uma padronização na nomenclatura dos sinais da entidade, definidos conforme a tabela abaixo.

prefixo	tipo de sinal
i_	sinal de entrada
o_	sinal de saída
db_	sinal de depuração
s_	sinal interno (<i>signal</i>)
v_	variável de um processo (<i>variable</i>)
g_	parâmetro genérico (<i>generic</i>)
t_	tipo definido pelo usuário

- Incluir na documentação do projeto os diagramas de funcionamento usados no projeto (diagrama ASM da unidade de controle, diagrama de blocos do fluxo de dados, etc).
- O Planejamento deve conter a descrição do projeto em VHDL de cada um dos componentes e módulos, uma explicação da integração destas partes e, finalmente, uma descrição do funcionamento do projeto completo.
- Defina os casos de testes devem ser executados para assegurar o correto funcionamento do circuito completo.

1.3. Atividade 3 – Simulação do Circuito Base de Recepção Serial

Esta atividade envolve a simulação do projeto lógico do circuito base de recepção serial assíncrona, usando o software ModelSim, disponível com o Intel Quartus Prime.

- h) Reproduza as simulações do circuito base de transmissão serial base mostradas nos vídeos sobre o uso do ModelSim presentes na página da experiência no e-disciplinas.
- i) Estude a descrição do *testbench* do circuito base de transmissão serial.
- j) Desenvolver um *testbench* para verificar o funcionamento do circuito de recepção serial. Documente o código VHDL no Planejamento.

Dica: use o circuito base de transmissão serial para gerar o sinal serial. A figura 3 apresenta a organização interna sugerida do *testbench*.

Para mais informações sobre a organização interna de *testbenches*, consulte a postagem do prof. Bruno Albertini disponível em [ALBERTINI, 2020].

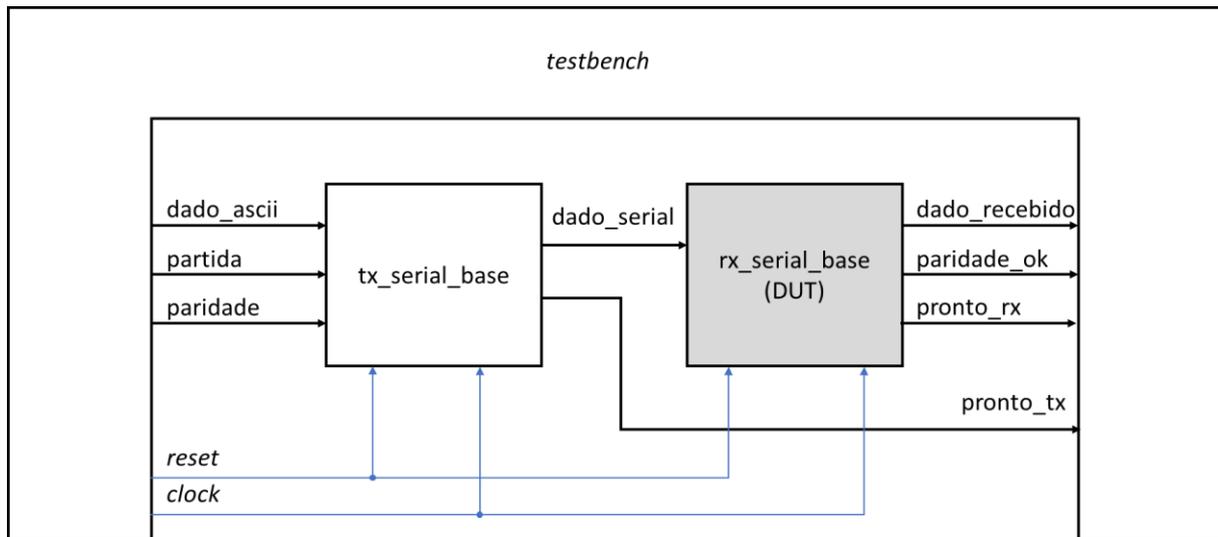


Figura 3 – Organização interna do *testbench* do circuito de recepção serial assíncrona.

- k) Simule a recepção de dados com o software ModelSim, empacotado com o Intel Quartus Prime e inclua as formas de onda no Planejamento. Use os casos de teste definidos no item g).
- l) Submeter o arquivo QAR junto com o Planejamento.

1.4. Atividade 4 – Projeto do Circuito de Recepção Serial

AVISO: esta atividade pode ser iniciada durante a etapa de Planejamento da experiência, mas deve ser concluída durante o horário da aula prática da disciplina. Os resultados obtidos (diagramas de projeto, codificação e formas de onda resultantes de simulação) devem ser apresentados até o final do período da aula da semana.

Esta atividade envolve a adaptação do circuito base aplicando a técnica de **superamostragem** ao projeto lógico do circuito base de recepção serial assíncrona, para usar o *clock* de 50 MHz da placa FPGA e taxa de comunicação de 115.200 *bauds*.

Incluir na documentação do circuito os casos de teste e cartas de tempos dos vários sinais do circuito, onde deve estar indicado o tempo de resposta máximo para a sincronização do relógio com a saída do terminal. O circuito deve seguir a mesma interface mostrada na Figura 2. A entidade VHDL do circuito deve seguir a especificação abaixo.

```
entity rx_serial is
  port
  (
    i_clock, i_reset: in std_logic;
    i_dado_serial:   in std_logic;
    i_recebe_dado:  in std_logic;
    o_paridade_ok:  out std_logic;
    o_pronto_rx:    out std_logic;
    o_tem_dado:     out std_logic;
    o_dado_recebido: out std_logic_vector (7 downto 0);
    db_estado:     out std_logic_vector (3 downto 0) -- estado da UC
  );
end entity;
```

Sinais adicionais de depuração podem ser especificados e devem ser documentados no Relatório.

Neste projeto, devem ser incluído um sinal de saída para indicar a presença de dado recebido pelo circuito (**dado_recebido**) que não foi registrado anteriormente. O acionamento do comando de registro do dado recebido (**recebe_dado**) faz com que o sinal *dado_recebido* seja desativado. Estes sinais fazem parte de um circuito de interface entre o circuito de recepção serial e o sistema digital que faz uso da comunicação serial.

- m) Incluir na documentação do projeto os diagramas de funcionamento usados no projeto (diagrama ASM da unidade de controle, diagrama de blocos do fluxo de dados, etc).
- n) O Planejamento deve conter a descrição do projeto em VHDL de cada um dos componentes e módulos, uma explicação da integração destas partes e, finalmente, do funcionamento do projeto completo. Sugere-se que sejam realizadas simulações para descrever o funcionamento de cada entidade VHDL.
- o) Defina os casos de testes devem ser executados para assegurar o correto funcionamento do circuito completo. Defina alguns sinais de depuração. Acrescente formas de onda no Planejamento.
- p) Simule a recepção de dados com o software ModelSim empacotado com o Intel Quartus Prime e inclua as formas de onda no Planejamento. Aplique o *testbench* do item h).
- q) Submeta o arquivo QAR do projeto junto com o Relatório da experiência.

As atividades envolvendo a síntese do projeto na placa FPGA e a realização dos testes de verificação de funcionamento serão apresentadas na apostila da próxima experiência.

2. BIBLIOGRAFIA

- ALBERTINI, B. **Testbenchs em VHDL**. https://balbertini.github.io/vhdl_testbench-pt_BR.html. Acesso em 14/09/2020.
- ALMEIDA, F.V. de; SATO, L.M.; MIDORIKAWA, E.T. **Tutorial para criação de circuitos digitais em VHDL no Quartus Prime 16.1**. Apostila de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2017.
- ALTERA. **DE0-CV User Manual**. 2015.
- ALTERA. **Quartus Prime Introduction Using VHDL Designs**. 2016.
- ALTERA. **Quartus Prime Introduction to Simulation of VHDL Designs**. 2016.
- CCITT - Fifth Plenary Assembly. Green Book. Vol. VIII, Geneve, December 1972.
- D'AMORE, R. **VHDL - descrição e síntese de circuitos digitais**. 2ª edição, LTC, 2012.
- Electronic Industries Association. **Interface Between Data Terminal Equipment and Data Communication Equipment Employing Serial Date Interchange EIA-RS-232-C**, Washington, August 1969.
- HELD, G. **Understanding Data Communications**. 6th ed., New Riders, 1999.
- MIDORIKAWA, E.T. **Introdução à Simulação de Circuitos em VHDL com ModelSim** (vídeos). Disponível em: <https://edisciplinas.usp.br/mod/page/view.php?id=3159059>. Acesso em: 14/09/2020.
- PCS-EPUSP. **Conceitos de Comunicação Serial Assíncrona**. Apostila de Laboratório Digital. 2020.
- TOCCI, R. J.; WIDMER, N.S.; MOSS, G.L. **Sistemas Digitais: Princípios e Aplicações**. Prentice-Hall, 11ª ed., 2011.
- WAKERLY, John F. **Digital Design Principles & Practices**. 4th edition, Prentice Hall, 2006.

3. EQUIPAMENTOS NECESSÁRIOS

- 1 computador com softwares Intel Quartus Prime e ModelSim.
- 1 dispositivo Analog Discovery da Digilent.
- 1 placa de desenvolvimento FPGA DE0-CV com o dispositivo Cyclone V 5CEBA4F23C7N.
- 1 *kit* Lab do LabEAD (para implementação do acesso remoto).

Histórico de Revisões

E.S.G. e F.N.A./2001 – revisão
 E.T.M./2004 – revisão
 E.T.M./2005 – revisão
 E.T.M./2008 – revisão
 E.T.M./2011 – revisão
 E.T.M./2012 – revisão
 E.T.M./2013 – revisão da parte experimental
 E.T.M./2014 – revisão
 E.T.M./2015 – revisão do texto
 E.T.M./2016 – revisão
 E.T.M./2017 – revisão
 E.T.M./2018 – revisão
 E.T.M./2019 – revisão
 E.T.M./2020 – revisão e reorganização da experiência para acesso remoto.