

# Departamento de Engenharia Elétrica e de Computação

rofa. Luiza Maria Romeiro Codá

## “APOSTILA DE LABORATÓRIO DE SISTEMAS DIGITAIS”

### **1. Objetivo do Laboratório:**

As disciplinas de laboratório de sistemas digitais visam dar ao estudante noções básicas de laboratório como acompanhamento do curso teórico (entender os princípios da tecnologia digital aplicada) e abordar, de maneira introdutória, os diferentes aspectos práticos relacionados com a utilização de circuitos lógicos digitais (eletrônica digital). Essa apostila introdutória tem por objetivo apresentar ao aluno os equipamentos, características experimentais dos circuitos utilizados na eletrônica digital e que não foram vistos na teoria.

## 2. Introdução:

Em sistemas analógicos as quantidades físicas como tensão ou corrente, variam continuamente dentro de uma faixa de valores, o valor real da corrente ou tensão são relevantes. Já em **sistemas digitais**, as quantidades físicas (de entrada ou saída) ou informações são representadas na forma digital, isto é, em valores discretos, podendo assumir um ou outro dentre os valores, ou seja, dentre dois níveis lógicos: nível lógico "1"(um) ou nível lógico "0"(zero). Estes dois níveis são freqüentemente representados por L e H (do inglês *low* - baixo - e *high* - alto -, respectivamente). Desta forma, os **circuitos digitais (ou circuitos lógicos)** são projetados para produzirem tensões de saída que se situam nesses dois níveis(alto, '1' ou baixo, '0'), a partir da excitação por entradas que também se situam em faixas consideradas nível alto ou baixo.

Esses circuitos digitais, graças a evolução da tecnologia semicondutora, apresentam-se na forma de **circuitos digitais integrados (CI)**. os quais possuem internamente vários componentes semicondutores, de dimensões extremamente reduzidas, interligados capazes de desempenhar muitas funções. E o número desses componentes vêm aumentando ao longo dos anos de tal maneira que hoje em dia um CI podem ser encontrados CIs com milhares de componentes.

### 3. Breve Histórico sobre a evolução da microeletrônica:

O avanço da microeletrônica nas últimas décadas permitiu uma drástica redução do custo por função implementada num circuito integrado (CI), viabilizando o desenvolvimento de sistemas eletrônicos cada vez mais complexos. Inicialmente, isto ajudou a popularizar os computadores pessoais e a conferir maior "inteligência" a diversos sistemas, sobretudo máquinas industriais, resultando num considerável aumento da produtividade industrial que sustentou a prosperidade econômica dos anos 90.

Desde o início da década de 60, o número de dispositivos num *chip* tem dobrado a cada 18 meses seguindo a chamada lei de Moore (Figura 3.1). O fundador da Intel, Gordon Moore, constatou que a cada 24 meses a capacidade de processamento dos computadores dobra, enquanto os custos permanecem constantes. Isto é, daqui a dois anos você vai poder comprar um chip com o dobro da capacidade de processamento pelo mesmo preço que você paga hoje.

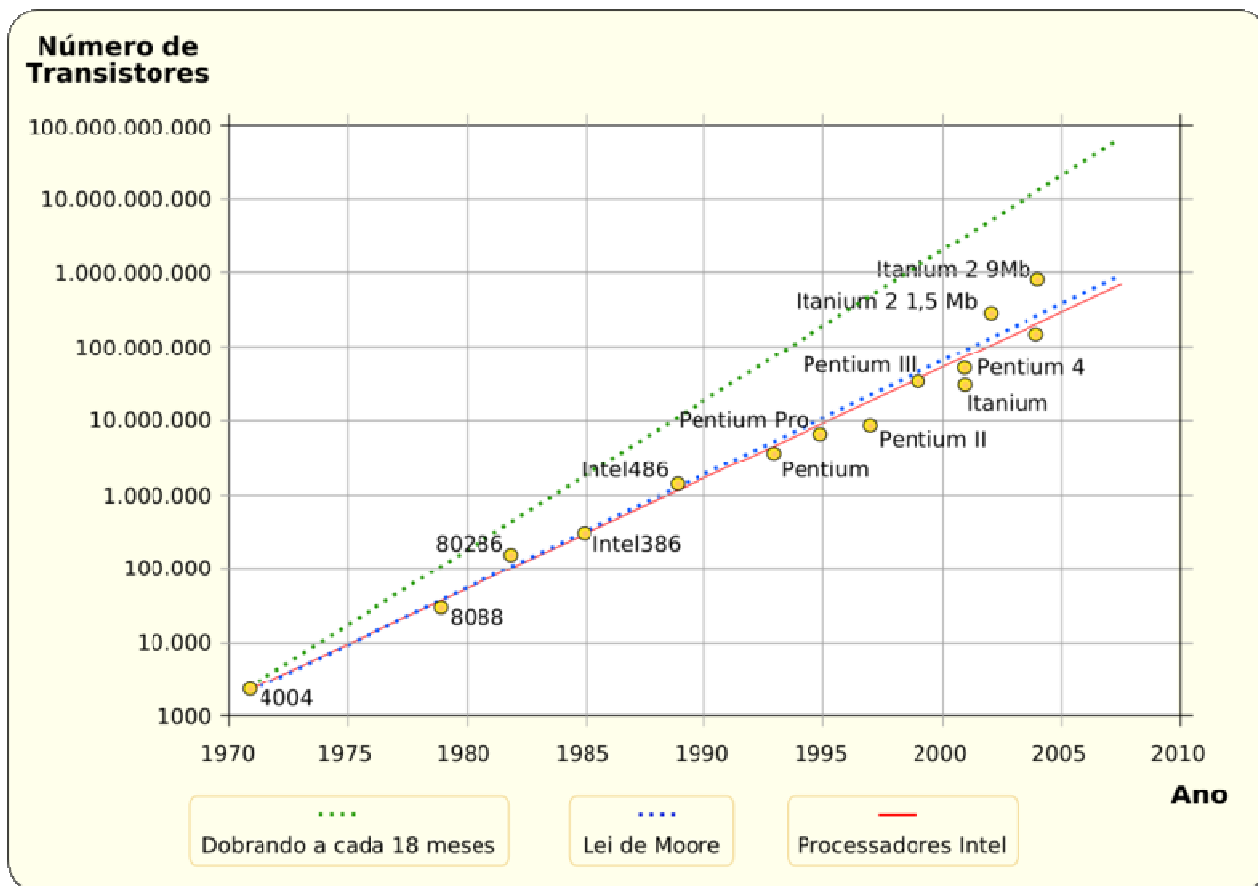
A escala de integração miniaturizou os componentes eletrônicos de tal forma que os circuitos integrados possuem o equivalente a milhares de componentes em sua constituição interna. Devido ao avanço da eletrônica, na década de oitenta foram desenvolvidas exponencialmente novas tecnologias para dopagem dos semicondutores e a fabricação seriada em alta velocidade.

Com componentes de larga escala de integração, (LSI), nos anos oitenta, e a extra larga escala de integração, (ELSI), nos anos noventa, vieram os microprocessadores de alta velocidade de tecnologia MOS, que nada mais são que muitos circuitos integrados numa só mesa epitaxial. Atualmente a Eletrônica está entrando na era da nanotecnologia. Os componentes eletrônicos se comportam de maneiras diferentes do que na eletrônica convencional e microeletrônica, nestes a passagem de corrente elétrica praticamente não altera o seu estado de funcionamento. Nos nanocomponentes, a alteração de seu estado em função da passagem de corrente deve ser controlada, pois existe uma sensibilidade maior às variações de temperatura, e principalmente às variações dimensionais. Estas causam alterações nas medidas físicas do componente de tal forma, que podem vir a danificá-lo. Por isso a nanotecnologia é tão sensível sob o ponto de vista de estabilidade de temperatura e pressão.

De acordo com as últimas previsões, esta evolução deverá prosseguir por mais 20 anos. Desse modo, no ano de 2020, as memórias em uma única pastilha atingirão um trilhão de *bits*. O nível de complexidade se tornou tão alto que, internacionalmente, está se desenvolvendo rapidamente o conceito de Sistemas Complexos em Pastilha (*Systems On-a-Chip - SoC*). Desta forma, *Software* e *Hardware* estarão contidos diretamente em pastilha de silício que serão utilizados em sistemas eletrônicos embarcados, equipamentos e instrumentos. (Obs: Eletrônica Embarcada representa todo e qualquer sistema eletro-eletrônico montado em uma aplicação móvel, seja ela um automóvel, um navio ou um avião).

A importância da integração está no baixo custo e alto desempenho, além do tamanho reduzido dos circuitos aliado à alta confiabilidade e estabilidade de funcionamento. Uma vez que os componentes são formados ao invés de montados, a resistência mecânica destes permitiu montagens cada vez mais robustas a choques e

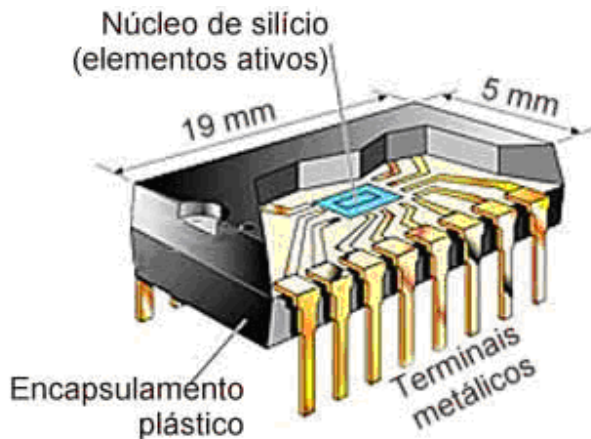
impactos mecânicos, permitindo a concepção de portabilidade dos dispositivos eletrônicos.



**Figura 3.1 Lei de Moore.**

#### 4. Circuito Integrado:

Um **circuito integrado(CI)**, também conhecido por **chip**, é um dispositivo microeletrônico que consiste de muitos transistores e outros componentes fabricados, isto é, integrados sobre a mesma pastilha de silício, os quais são interligados capazes de desempenhar muitas funções. Suas dimensões são extremamente reduzidas, os componentes são formados em pastilhas de material semicondutor, como mostra a Figura 4.1.



<http://www.forumpcs.com.br/coluna.php?b=135976>

**Figura 4.1 Circuito Integrado mostrado internamente.**

O CI ou "chip" é encapsulado em uma embalagem de plástico ou de cerâmica, a partir da qual saem alguns pinos para tornar possível a conexão do CI com outros dispositivos através de uma placa de circuito impresso. Esta conexão pode ser feita através de solda ou por força mecânica aplicada por molas ou por um soquete. A maioria das placas de circuito impresso modernas usam tecnologia de montagem superficial(SMT), embora anteriormente fosse comum inserir os pinos em orifícios abertos na placa. Como encapsulamentos menores são mais baratos e ecologicamente mais seguros, a maioria dos encapsulamentos modernos são pequenos demais para instalação manual por seres humanos. Os microprocessadores modernos podem ter mais de 1000 pinos, de modo que a tecnologia de fabricação e instalação do encapsulamento deve ser muito confiável.

As vantagens de se utilizar CI em relação à circuitos discretos podem ser listadas como:

- Redução de custos, peso e tamanho.
- Aumento da confiabilidade.
- Maior velocidade de trabalho.
- Redução da capacitâncias parasitas.
- Menor consumo de energia.
- Redução de erro de montagem.
- Simplificação da produção industrial.

## 5. Tipos de Encapsulamento dos CIs:

O encapsulamento é o invólucro protetor de um CI e possui terminais de metal ou "pinos", os quais são resistentes o suficiente para conectar elétrica e mecanicamente o CI a uma placa de circuito impresso. O encapsulamento do CI apresenta as seguintes funções:

- ✓ fazer a Comunicação da matriz de silício com a placa de circuito;
- ✓ possibilitar a manipulação;
- ✓ dissipar de calor;
- ✓ Proteger o *Chip* contra umidade e corrosão;

O material do encapsulamento de um CI pode ser: Metálicos, Cerâmicos e Poliméricos (plásticos). Os CIs digitais utilizam apenas encapsulamento cerâmicos e poliméricos

Os diversos encapsulamentos de CIs diferem um do outro de acordo com as seguintes características :

- ✓ dissipação de calor;
- ✓ temperatura de operação;
- ✓ blindagem contra interferência / ruídos;
- ✓ número de pinos / vias;
- ✓ nível de integração / quantidade de portas lógicas em cada Chip.
- ✓ De acordo com as aplicações (aplicações especiais: EPROMs, Smart Cards, etc..)
- ✓ tecnologia de montagem de placa: convencional ou SMT (Surface Mounted Technology).

Os tipos de pinos do encapsulamento dos CIs variam de acordo com o tipo de tecnologia de montagem de placa empregada, ou seja, **montagem through-hole (ou convencional)** ou **montagem Superficial (SMT)**.

- **Montagem through-hole**, também denominada **tecnologia through-hole**, refere-se a um esquema de montagem usado em componentes eletrônicos e que envolve o uso de pinos dos componentes que são inseridos em buracos abertos nas placas de circuito impresso e soldados a superfícies no lado oposto. Esses componentes são geralmente chamados de componentes PTH (pin through hole), Figura 5.1. Ou podem ser inseridos no circuito através de soquetes.



PTH

Ref: <http://smdsystems.com/smtpth.htm>

Figura 5.1 Montagem de placa utilizando tecnologia **through-hole**

- **Tecnologia de montagem superficial (SMT)**, Figura 5.2 é um método de montagem de circuitos eletrônicos nos quais os componentes são montados diretamente sobre a superfície da placa de circuito impresso, permitindo o aproveitamento de ambas as faces. Dispositivos eletrônicos produzidos desta forma são denominados *dispositivos de montagem superficial* ou **SMDs**. Na indústria, tem substituído em ampla escala o método de montagem through-hole.



SMT

Ref: <http://smdsystems.com/smtpth.htm>

Figura 5.2 Montagem de placa utilizando tecnologia **SMT**.

## 5.1 Tipos de encapsulamento mais utilizados na tecnologia de Montagem through-hole:

### 5.1.1 Encapsulamento "dual-in-line Package" (DIP ou DIL):

É o tipo mais comum de encapsulamento, mostrado na Figura 5.3, podem ser fabricados em material plástico ou cerâmico. Foi até muito recentemente o tipo de encapsulamento mais usado.

Este tipo de encapsulamento recebe este nome devido as suas duas linhas paralelas de pinos serem numeradas no sentido anti-horário a partir de 1, quando vistos de cima da embalagem de cerâmica ( ou plástico) em relação a um ponto de identificação em um dos lados do "chip", mostrado na Figura 5.3b. O número de pinos varia de acordo com o CI, podendo ter 14, 16, 20, 24, 28, 40 e 64 pinos. Na parte superior do CI têm-se inscrições com letras e números as quais identificam o CI. A Figura 5.3c mostra internamente como estariam ligados os pinos. No caso desse exemplo, são quatro portas NAND de duas entradas. Para cada CI são necessárias

ligações terra e de alimentação; para o exemplo da Figura 5.3 são os pinos 7 e 14, respectivamente. Os pinos são numerados com relação a uma marca de referência no topo do encapsulamento.

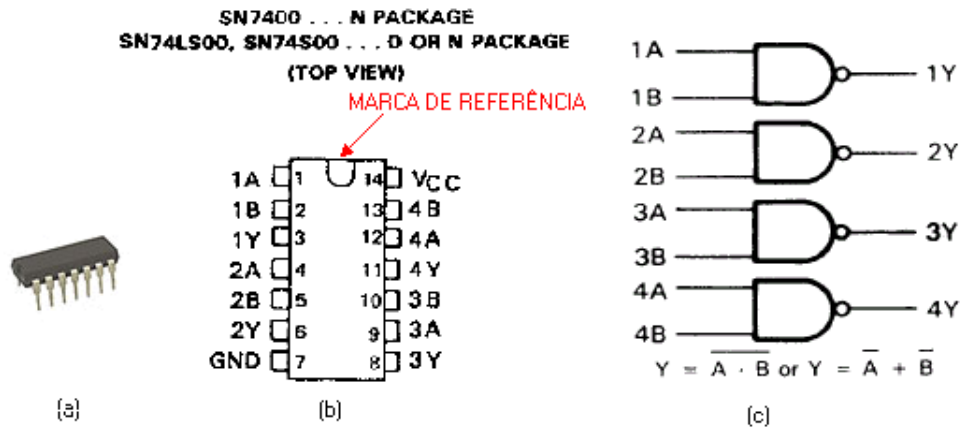


Figura 5.3: Encapsulamento "dual-in-line" (DIP):  
 (a) embalagem DIP;  
 (b) vista superior mostrando a numeração dos pinos;  
 (c) interligação interna das portas.

**Variações de acordo com o tipo da tecnologia de montagem:**

**5.1.2 Leaded Chip Carrier (LCC) –** Padrão de encapsulamento em que os terminais saem dos quatro lados do circuito integrado, Figura 5.4a e seus terminais são dobrados para baixo e necessita de soquete apropriado para ser encaixado, Figura 5.4 b. É a versão do encapsulamento QFP para soquete. Sua versão mais comum é a **PLCC (Plastic Leaded Chip Carrier)**.

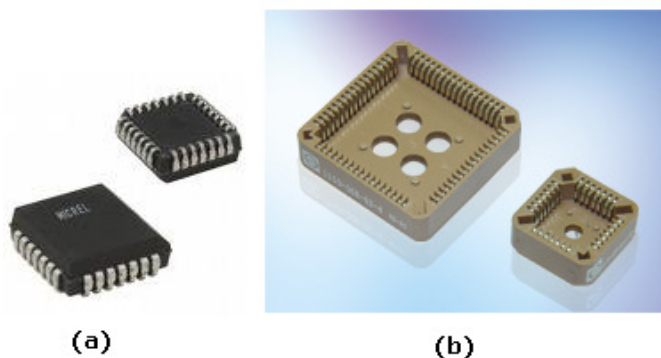


Figura extraída do site <http://www.clubedohardware.com.br/dicionario/termo/65>

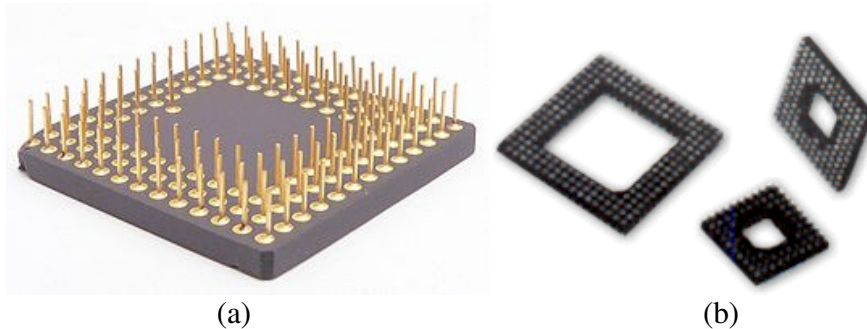
**Figura 5.4 (a) Encapsulamento PLCC.  
 (b) Soquete para PLCC.**



### 5.1.3 Encapsulamento "Pin-Grid-Array"(PGA):

Utilizados em circuitos com quantidades maiores de pinos( $\geq 100$ ). O circuito integrado é quadrado com os terminais em sua parte inferior formando uma matriz quadrada em cujo centro se assenta o circuito, mostrada na Figura 5.5 a, e é encaixado em soquete apropriado, Figura 5.5b

Possui diversas variações, dependendo do material utilizado no encapsulamento: Cerâmico (CPGA), Plástico (PPGA) ou Orgânico (OPGA).



**Figura 5.5 (a) Encapsulamento PGA de um CI.  
(b) soquetes para CI tipo PGA.**

## 5.2 Tipos de encapsulamento mais utilizados na tecnologia de Montagem Superficial(SMT):

### 5.2.1 Small-Outline Integrated Circuit (SOIC):

Como mostra a Figura 5.6, é semelhante a um DIP em miniatura e com os pinos dobrados

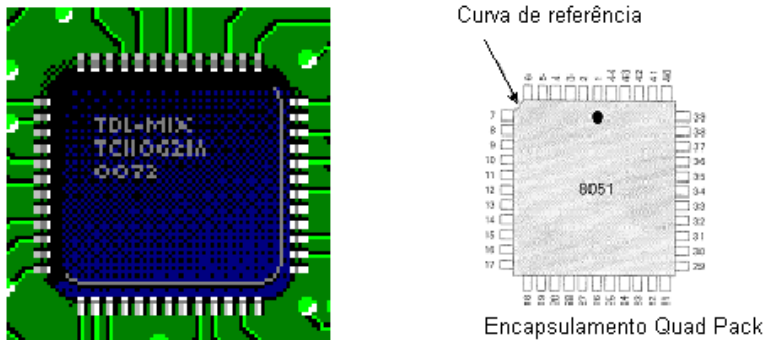


**Figura 5.6 Encapsulamento SOIC**

### 5.2.3 Quad Flat Package (QFP):

É um encapsulamento quadrado, Figura 5.7 parecido com o LCC, sendo que seus terminais são soldados diretamente em placas de circuito impresso, não necessitando de soquete. Quando o seu encapsulamento é cerâmico é chamado de

CQFP e quando é plástico chama-se PQFP. Uma das suas sub-variações é o TQFP (Thin Plastic Quad Flat Package).



**Figura 5.7 Encapsulamento QFP.**

#### **5.2.4 Thin Plastic Quad Flat Package(TQFP):**

É um Encapsulamento Plástico Quadrado Fino parecido com o LCC e bem mais fino do que o QFP, Figura 5.8.

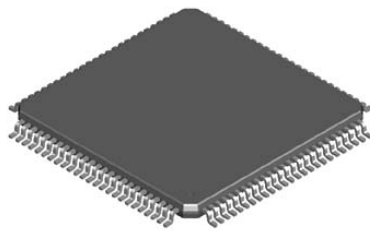


Figura do site: <http://www.clubedohardware.com.br/dicionario/termo/80>

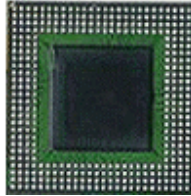
**Figura 5.8 Encapsulamento TQFP.**

**5.2.4 Leadless Ceramic Chip Carrier(LCCC):** não tem pinos, no seu lugar existem uns contatos metálicos moldados na cápsula cerâmica, como mostra a Figura 5.9.



**Figura 5.9 Encapsulamento LCCC.**

**5.2.5 Ball Grid Array (BGA):** Padrão de encapsulamento de circuitos integrados baseado no PGA onde os pinos são pequenas bolas, mostrado na Figura 5.10. É soldado à placa de circuito impresso através de soldagem SMD. É também conhecido como PBGA (Plastic Ball Grid Array).

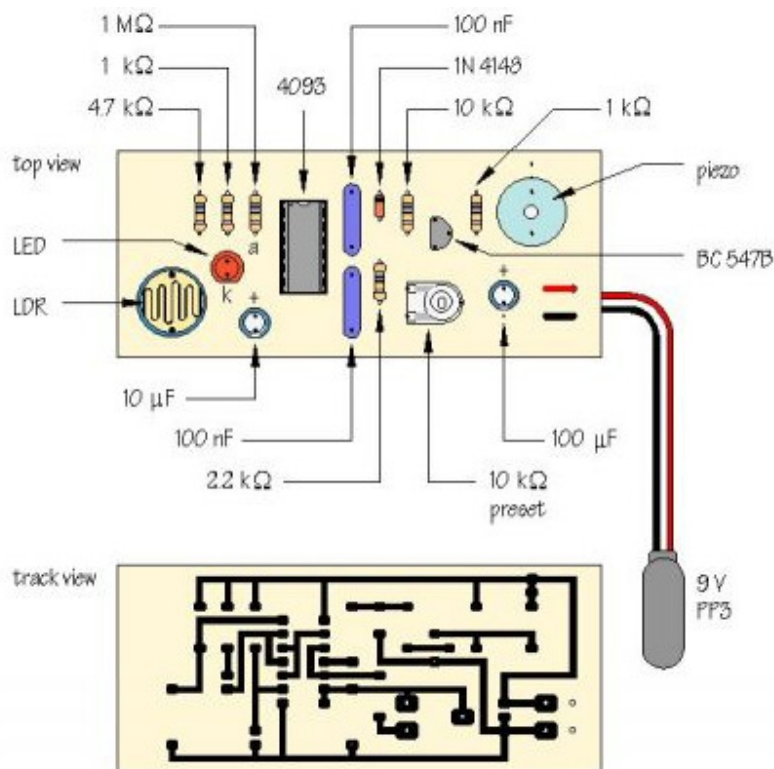


**Figura 5.10 Encapsulamento BGA.**

## 6. Circuito Impresso:

Com o advento dos transistores e posteriormente dos CIs surgiram os “circuitos impressos”. Um circuito impresso tem esse nome porque, em vez de usar fios e cabos para conduzir a eletricidade, emprega condutores metálicos que parecem desenhados (ou “impressos”) em uma lâmina de material isolante, como teflon ou fibra de vidro.

Seu emprego e o uso dos transistores e CIs, revolucionou o campo dos circuitos eletrônicos. Os projetos passaram a assumir o aspecto do mostrado na Figura 6.1



[http://static.forumpcs.com.br/galeria/albums/userpics/35074/normal\\_FPC\\_AC20051107b.jpg](http://static.forumpcs.com.br/galeria/albums/userpics/35074/normal_FPC_AC20051107b.jpg)

**Figura 6.1 Circuito eletrônico montado em um circuito impresso e diagrama**

O circuito inteiro é montado em uma lâmina retangular de material isolante. Tipicamente, como no circuito da Figura 6.1, na face superior, mostrada no alto da figura, ficam os componentes. Na face inferior, mostrada na parte de baixo da figura, fica o circuito propriamente dito, formado pelas listras negras (de cobre, que funcionam como condutores). Os pontos mais largos no corpo das listras e nas suas extremidades correspondem aos locais onde serão soldados os terminais metálicos dos componentes. Os projetos mais atuais utilizam placas que podem ser utilizadas para montagem dos componentes nas duas faces.

## 7 . Classificação dos CIs:

### 7.1 Quanto à complexidade de integração:

Os CIs disponíveis comercialmente podem ser classificados devido a complexidade de seus circuitos , medida pelo número de portas lógicas existentes no seu substrato. Existem atualmente cinco graus de complexidade de integração:

**SSI** - Integração em pequena escala (até doze portas lógicas por CI)

**MSI**- Integração em média escala (de treze até noventa e nove portas por CI)

**LSI** - Integração em larga escala (de cem a mil portas)

**VLSI**-Integração em muito larga escala ( de mil a 100 mil portas lógicas )

**ULSI**- Integração em ultra-larga escala (acima de 100 mil portas lógicas) ou

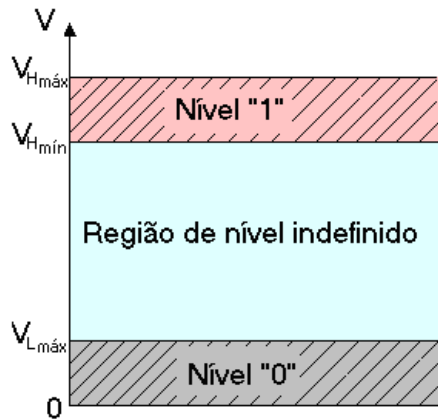
**ELSI**- Integração em Extra larga escala.

### 7.2 Quanto ao componente principal utilizado na integração :

- **CI's bipolares** : são aqueles que utilizam o transistor de junção bipolar (NPN ou PNP) como seu principal elemento do circuito.Ex: família TTL.
- **CI's unipolares:** são aqueles que usam os transistores por efeito-de-campo (CMOSFETs canal-P ou canal-N) como seu principal elemento de circuito. Ex; família CMOS.

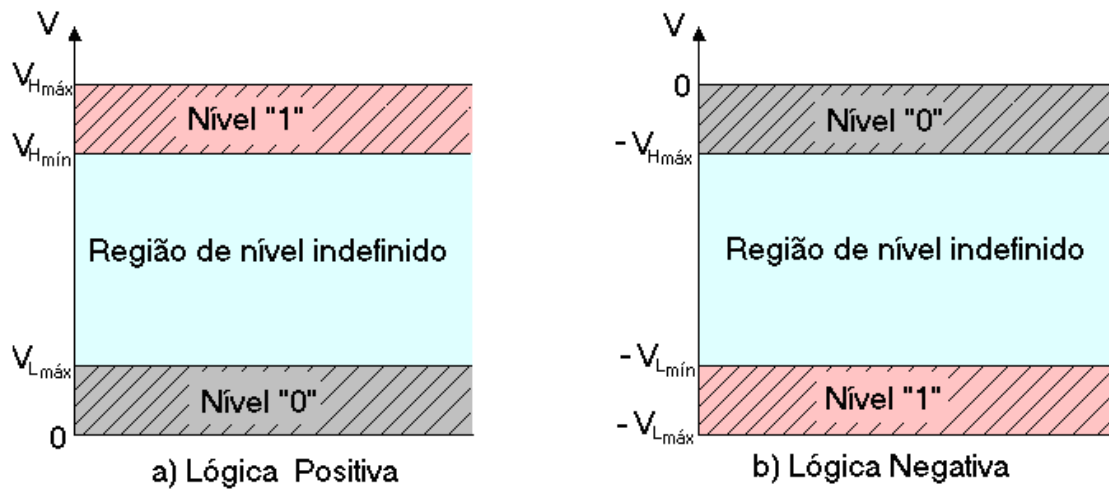
## 8. Níveis Lógicos associados aos CIs:

Os circuitos digitais ou circuitos lógicos, são projetados para produzirem em sua saída níveis lógicos, baixos ou altos, em resposta aos níveis lógicos (baixos ou altos) aplicados às suas entradas de acordo com um conjunto de regras lógicas associadas a cada circuito. Porém, a cada nível lógico alto, ou baixo é associada uma faixa de tensão como mostra a Figura 8.1. O nível lógico "1"(um) representa uma faixa de tensão entre um valor mínimo ( $V_{H\text{mín}}$ ) e um valor máximo de tensão ( $V_{H\text{máx}}$ ), e o nível lógico "0"(zero) representa uma faixa de tensão próxima do zero, entre 0V (zero volts) e um valor máximo de tensão ( $V_{L\text{máx}}$ ). Os valores de tensão compreendidos entre a faixa considerada nível alto e a faixa considerada nível baixo, e portanto entre  $V_{L\text{máx}}$  e  $V_{H\text{mín}}$ , correspondem à ruído, ou seja, são valores de tensão os quais não representam nem nível alto nem baixo e portanto proibidos.



**Figura 8.1** Faixas de tensão associadas ao nível lógico alto e baixo.

Quando ao potencial mais positivo é atribuído o **nível lógico "1"**, diz-se que o sistema digital é baseado em **lógica positiva** e quando ao potencial mais positivo é atribuído o **nível lógico "0"**, o **circuito digital** é baseado em **lógica negativa**, como mostra a Figura 8.2. A maioria dos sistemas digitais utiliza lógica positiva.

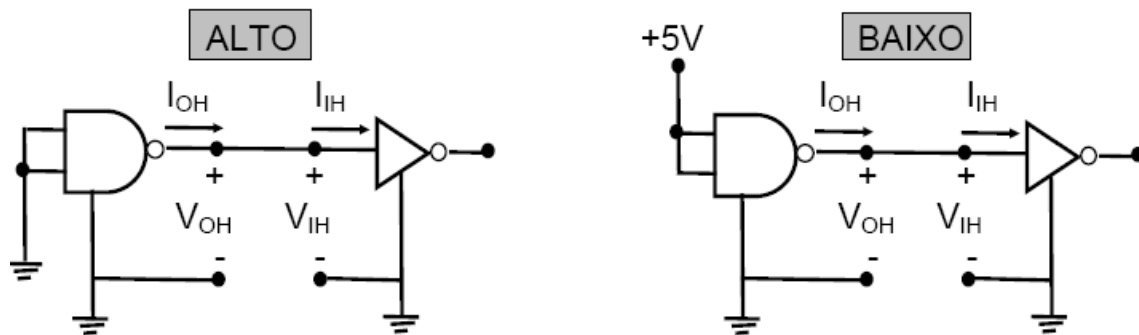


**Figura 8.2** Faixas de tem são associadas à Lógica Positiva e Negativa

## 9. Terminologia dos CIs:

A Terminologia dos CIs utilizada pelos fabricantes para os parâmetros de Tensão e Corrente e indicadas na Figura 9.1, são:

- $V_{IH}$  - Tensão de entrada correspondente ao nível alto ("1") na entrada.
- $V_{IL}$  - Tensão de entrada correspondente ao nível baixo ("0") na entrada.
- $V_{OH}$  - Tensão de saída correspondente ao nível alto ("1") na saída.
- $V_{OL}$  - Tensão de saída correspondente ao nível baixo ("0") na saída.
- $I_{IH}$  - Corrente de entrada correspondente ao nível alto ("1") nesta entrada.
- $I_{OH}$  - Corrente de saída correspondente ao nível alto ("1") nesta saída.
- $I_{OL}$  - Corrente de saída correspondente ao nível baixo ("0") nesta saída..
- $I_{IL}$  - Corrente de entrada correspondente ao nível baixo ("0") nesta entrada.



<http://academicos.cefetmg.br/admin/downloads/2114/ED%20-%20-%20Transp%208.pdf>

**Figura 9.1 Parâmetros de tensão e corrente.**

A faixa de tensão em que varia o nível lógico "0" (zero) ou o nível lógico "1" (um), ou seja, os valores de tensão associados à  $V_{Lmáx}$ ,  $V_{Hmín}$  e  $V_{Hmáx}$  depende da família a que o circuito integrado (CI) pertence portanto, depende do tipo de dispositivo que foi utilizado na sua fabricação.

O fabricante convencionou o sinal das correntes como sinal positivo(+) a corrente que entra na porta e sinal negativo a corrente que sai da porta como mostra a Figura 9.2

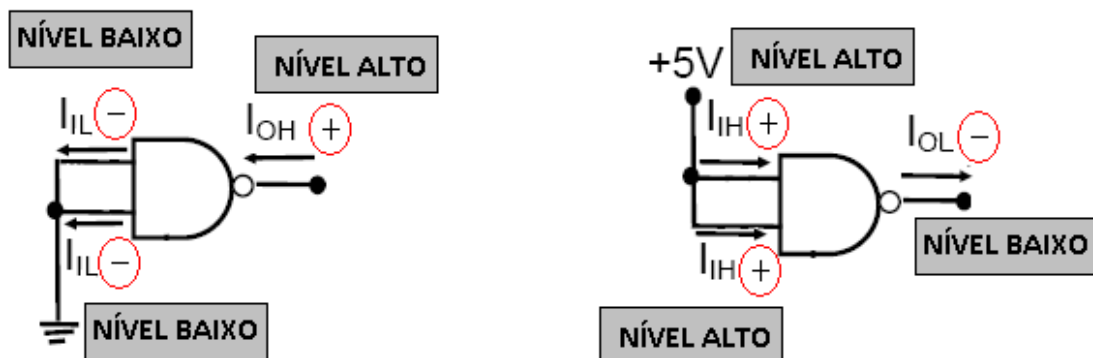


Figura 9.2 convenção do sinal das correntes nos terminais de uma porta lógica.



## 10. Famílias de CIs:

As famílias dos CIs se distinguem umas das outras pelo tipo de dispositivo semicondutor que incorporam e como os dispositivos semicondutores (e resistores) são interligados para formar a porta lógica, ou seja, de acordo com a tecnologia empregada na fabricação. Dentre as tecnologias utilizadas tem-se algumas aqui citadas:

**RTL** (Lógica Resistor-Transistor): utiliza apenas resistores e transistores em seus circuitos. É uma das primeiras famílias transpostas para os CIs.

Tempo de Atraso: 12 ns, Fan-out = 5.

**DTL** (Lógica Diodo-Transistor): utiliza diodos e transistores em seus circuitos funcionando em dois estados, saturado e cortado. Possuem tempo de atraso alto.

Tempo de Atraso de 30 ns a 80ns, Fan-out = 7

**ECL** (Lógica Acoplada pelo Emissor): usa muitos transistores bipolares por porta. Nessa família é a corrente elétrica que carrega a informação e não a tensão, sendo este o inconveniente (é mais difícil medir corrente). Possui alta velocidade de comutação e é usada em integração pequena e média escala. Possuem alta velocidade e alto consumo de potência.

Tempo de atraso: 3 ns . Fan-out =25.

**TTL** (Lógica Transistor-Transistor): utiliza transistor bipolar como elemento principal. Evoluiu da família DTL substituindo os diodos por transistores. É usada em circuitos de pequena e média integração. Apresenta boa imunidade ao ruído.

Tempo de atraso = 10ns, Fan-out = 10.

**MOS** (Lógica Metal-Óxido Semicondutor): Utiliza o MOSFET sem a necessidade de uso de resistores, e por esse motivo ocupam pouco espaço, e então são apropriados para integração em média e muita larga escala. Portanto, possuem alta densidade de integração, baixo consumo de potência, porém baixa velocidade de operação.

Tempo de atraso: 300ns. Fan-out=50.

N-MOS utilizam apenas MOSFET por indução canal N, são mais rápidos e possuem integração maior do que os P-MOS que utilizam apenas MOSFET por indução canal P.

**CMOS** (Lógica com MOS de Simetria Complementar): Utiliza o MOSFET tanto canal P como canal N. São mais complexos do que os MOS e possuem menor densidade, porém possuem alta velocidade de operação e consumo de potência extremamente baixo. Permite larga escala de integração, porém mais baixa do que os dispositivos MOS.

Tempo de Atraso = 60ns, Fan-out >50.

**BiCmos** combina os circuitos bipolar e CMOS no mesmo CI. Apresentam as vantagens de ambas tecnologias, tais como, baixas potência, alta impedância de entrada e amplas margens de ruído do CMOS aliadas à alta velocidade de operação dos transistores bipolares. A família BiCMOS

procura combinar o melhor das tecnologias CMOS e bipolar para obter uma classe de circuitos que é muito útil, quando se necessita de capacidades de fornecimento de corrente superiores às disponíveis na tecnologia CMOS. Além disso, a tecnologia BiCMOS possibilita a realização de funções analógicas e digitais no mesmo chip, tornando o possível o "sistema em um chip" ("system on a chip"). Portanto, permite o desenvolvimento de circuitos VLSI com alta densidade, velocidade e potência. Como sempre, existe um preço a pagar, que é uma tecnologia mais complexa e mais cara que a CMOS.

A tecnologia bipolar foi a precursora dos circuitos digitais e pode ser vantajosa em termos de velocidade comparada às tecnologias baseadas em dispositivos unipolares(MOS). No entanto, é uma solução pior em termos de consumo de potência e não possibilita a implementação de circuitos em larga escala devido à área que uma porta lógica ocupa. As famílias bipolares utilizadas atualmente são a TTL e ECL, utilizadas respectivamente, para circuitos genéricos e de muito alta velocidade. Atualmente, as famílias TTL e CMOS são as mais usadas, sendo empregadas em uma grande quantidade de equipamentos digitais, computadores e periféricos. Porém, a tecnologia dominante é a CMOS devido ao seu baixo custo e à grande quantidade de portas que pode integrar por unidade de área. Como as famílias mais utilizadas são a TTL ,CMOS e ECL, segue mais detalhes sobre elas:

### 10.1 Família TTL:

A família lógica TTL(*Transistor –Transistor Logic*) foi o primeiro ramo da família lógica bipolar a surgir, em 1963, desenvolvida pelo fabricante norte-americano *Sylvania*, sendo os primeiros a serem fornecidos em forma de CI integrado. Hoje tem a mais extensa opção em tipos de circuitos básicos, graças ao fabricante *Texas Instruments*. Apresentam um vasto repertório de módulos funcionais catalogados em famílias com prefixos 74 e 54.

Um circuito interno básico de uma porta NAND TTL é mostrado na Figura 10.1.

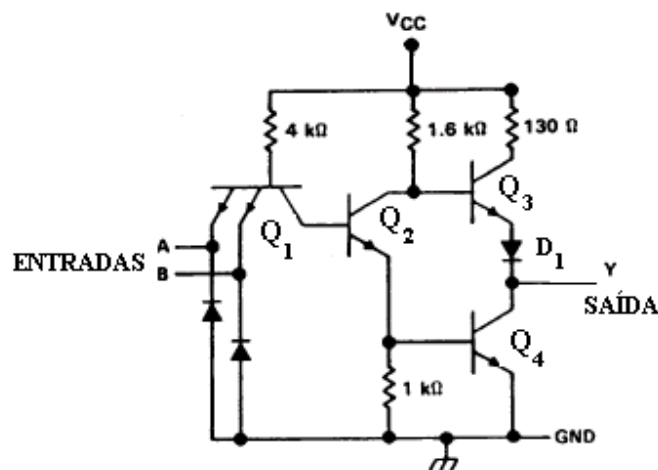


Figura 10.1 Porta NAND de duas entradas da família TTL padrão

Devido aos avanços nas técnicas de manufatura surgiram diversas ramificações na família TTL consistindo em várias sub-famílias ou séries. A Tabela1 lista cada uma destas séries, as quais surgiram a partir da década de 90, com o prefixo utilizado para identificar os vários CIs de uma mesma família pertencentes a cada sub-família ou série, consumo de potência e tempo de retardo.

A diferença entre os dispositivos de cada uma das séries TTL residem em suas características elétricas, como dissipação de potência, tempo de retardo e velocidade de comutação. Eles não diferem na disposição de seus pinos ou nas operações lógicas realizadas por seus circuitos internos.

**Tabela 1 Diversas séries da família TTL**

Séries TTL	Prefixo	Hex NOT	Potência Dissipada por porta (mW)	Tempo de Atraso (ns)
TTL padrão	74	7404	10	10
TTL de baixa potência	74L	74L04	1	33
TTL de alta velocidade	74H	74H04	23	6
TTL Schottky	74S	74S04	20	3
TTL Schottky de baixa potência	74LS	74LS04	2	10
TTL Schottky avançada	74AS	74AS04	7	1,5
TTL Schottky avançada de baixa potência	74ALS	74ALS04	1,2	4
TTL padrão	74	7404	10	10

**10.1.1 Família TTL Padrão(Standard) (54/74) :** introduzida em 1964 pela *Texas Instruments*, foi o primeiro ramo da família bipolar a surgir cuja porta dissipa 10mW e tempo de atraso de 10ns.

**10.1.2 Família TTL Baixa Potência(Low Power) (54L/74L):** o circuito é o mesmo da série padrão, com exceção do valor de seus resistores serem 10 vezes maior reduzindo a demanda de potência para 1mW por porta, Porém a redução de potência provoca um aumento no tempo de retardo o qual atinge a ordem de 33ns.

**10.1.3 Família TTL de alta velocidade (54H/74H):** utilizam os mesmos dispositivos da TTL padrão, com a diferença que os resistores possuem valores mais baixos e o transistor  $Q_3$  é substituído por um par Darlington. Essas modificações resultam em um tempo de retardo baixo, da ordem de 6ns, mas um consumo de potência alto de 23mW.

**10.1.4 Família TTL Schottky (54S/74S):** Utiliza transistores Schottky, os quais drenam o excesso de corrente de base, tornando o tempo de comutação mais rápido,

tempo de retardo em torno de 3 ns. Os resistores utilizados possuem valores menores do que os da família TTL padrão provocando um maior consumo de potência, 20mW. A série 54S/74S opera com o dobro da velocidade da 54H/74H, consumindo a mesma potência, tornando assim a série 54H/74H obsoleta.

**10.1.5 Família TTL Schottky de Baixa Potência (54LS/74LS):** Nessa família conseguiu-se atingir reduções em potência cerca de 5 vezes menos do que a família padrão TTL devido à utilização de diodos *Schottky* os quais reduzem a perda de tempo provocada pelos transistores saturados. Consome uma potência muito menor comparada à família padrão TTL, em torno de 2mW e um tempo de retardo de 10 ns.

**10.1.6 Família TTL Schottky de Baixa Potência Avançada (54ALS/74ALS):** Essa família fornece o dobro de velocidade, consumindo metade da potência quando comparada à família LS. Isso é conseguido devido à modernos processos de fabricação onde os componentes são construídos em pequenas dimensões podendo obter circuitos mais densos e mais complexos. Sua dissipação de potência típica é em torno de 1mW e seu tempo de retardo de 4ns.

**10.1.7 Família TTL Schottky Avançada (54AS/74AS):** é mais rápida do que a família ALS. Possui na saída uma estrutura de circuitos denominada *Miller Killer Network*, a qual melhora o tempo de subida e reduz a potência consumida. A dissipação de potência típica é em torno de 7mW e o tempo de retardo de 1,5ms.

**10.1.8 Família TTL Fast (54F/74F):** é a mais moderna, fornecendo velocidades próximas da família AS, porém consumindo uma potência menor, 2ns e 5mW, respectivamente. Isso é obtido devido à sua configuração diferente dos padrões típicos TTL, onde suas entradas apresentam três alternativas diferentes: com diodos, lembrando a família DTL, com transistores PNP e com transistores NPN. Apresenta um fan-out elevado.

### ■ Características das séries TTL:

A tabela 2 abaixo mostra a comparação entre as séries TTL quanto a velocidade e consumo de potência:

**Tabela 2 comparação entre as séries TTL**

Velocidade		Consumo de Potência	
Mais rápida	AS	Baixo	L
↓	F	↓	ALS
	S		LS
	ALS		F
	LS		AS
	Padrão		Padrão
Mais lenta	L	Alto	S

• **Fonte de Alimentação:**

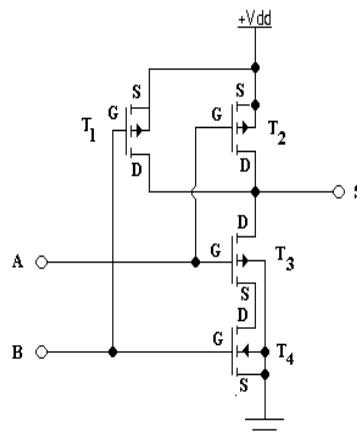
Série 74 → versão comercial     $0 < T < +70^{\circ}\text{C}$      $V_{cc} = 5V \pm 10\%$   
 Série 54 → versão militar     $-55 < T < +125^{\circ}\text{C}$      $V_{cc} = 5V \pm 5\%$

- **Atraso de propagação:**

Transistores bipolares podem ser chaveados muito rapidamente, portanto o atraso de propagação é de poucos nanossegundos.

## 10.2 Família CMOS:

A tecnologia CMOS (*Complementary Metal-Oxide Semiconductor* ou *semicondutor complementar de metal óxido*), desenvolvida na década de 70, transformou-se em uma importante e viável alternativa aos componentes TTL. Um circuito básico de uma porta inversora é mostrado na Figura 10.2.



**Figura 10.2** Porta NAND de duas entradas da família CMOS.

O circuito utilizado são chamados de MOSFET (*transistores de efeito de campo MOS*), os quais podem ser fabricados em tamanho muito menores do que os transistores bipolares, cerca de  $0,3\mu\text{m} \times 1\mu\text{m}$ , podendo então serem criados vários milhões de dispositivos em uma única pastilha de silício a qual possui de 1 a 2cm de lado. Este nível de densidade permite que circuitos digitais complexos, como microcontroladores, sejam integrados em apenas uma unidade de baixo custo. CMOS é sinônimo de baixo consumo. No início, também significava elevado tempo de retardo, o qual foi resolvido com o desenvolvimento de novas técnicas.

A família CMOS possui uma determinada faixa para representar os níveis lógicos de entrada e de saída, porém estes valores dependem da tensão de alimentação e da temperatura ambiente.

A família CMOS, assim como a TTL também possui várias sub-famílias ou séries disponíveis comercialmente, listadas na Tabela 3 onde constam o consumo de potência

e tempo de retardo. Tais séries possuem quase as mesmas funções lógicas disponíveis nas séries da família TTL, porém não foram projetadas para sempre serem compatíveis em pinagem com os dispositivos TTL.

Ao contrário da família TTL, que é produzida com as mesmas características elétricas por todos os fabricantes, a CMOS, embora padronizada na nomenclatura e pinagem, apresenta grandes variações na capacidade de saída e velocidade de operação de um fabricante para outro. Algumas vezes até as funções são diferentes e incompatíveis.

**Tabela 3 Diversas séries da família CMOS**

<b>Séries CMOS</b>	<b>Prefixo</b>	<b>hex NOT</b>	<b>Potência estática dissipada por porta</b>	<b>Tempo de atraso (ns)</b>
CMOS metal-gate	40 ou 140	4069	1 $\mu$ W	50
CMOS metal-gate :pinagem compatível c/ TTL (C)	74C	74C04	10 $\mu$ W	60
CMOS silicon-gate de alta velocidade pinagem compatível c/ TTL(HC)	74HC	74HC04	2,5 $\mu$ W	8
CMOS silicon-gate de alta velocidade eletricamente compatível c/ TTL(HCT)	74HCT	74HCT04	1,25 $\mu$ W	11
CMOS silicon-gate de alta velocidade avançado pinagem compatível c/ TTL Advanced High-Speed (HVC)	74AHC	74AHC04	0,5 $\mu$ W	5,2
CMOS avançada(AC)	74AC	74AC04	0,5 $\mu$ W	5
CMOS avançada compatível comTTL(ACT)	74ACT	74ACT04	0,5 $\mu$ W	5
CMOS LV Low-Voltage(LV)	74LV	74LV04	20 $\mu$ A	13
CMOS LVC-(Low-Voltage CMOS )(LVC)	74LVC	74LVC04	20 $\mu$ A	6,5
CMOS Advanced Very-Low-Voltage(ALVC)	74ALVC	74ALV04	40 $\mu$ A	2
CMOS Advanced Ultra-Low-Voltage (AUC)	74AUC	74AUC04	10 $\mu$ A	3,3
CMOS-Advanced Ultra-Low-Power (AUP)	74AUP1	74AUP1G04	0,9 $\mu$ A	3,9
CMOS Advanced Very-Low-Voltage (AVC)	74AVC	Não tem	0,04 $\mu$ A	1,7
Fast CMOS Technology(FCT)	74FCT	Não tem		

### ■ Características das séries CMOS:

**10.2.1 Família CMOS série CD4000:** Foi a primeira série CMOS lançada. Inicialmente lançada como série 4000A e sucedida pela série 4000B a qual suportava correntes mais altas do que a 4000A. Da família CMOS é a série que fornece a maior tensão de alimentação, até 20V e também a que tem o maior número de funções disponível.

**10.2.2 Família CMOS série 74C:** é compatível pino a pino e função com dispositivos TTL, isso possibilita a substituição de circuito TTL por seu equivalente em CMOS. Possui o desempenho semelhante à série 4000.

**10.2.3 Família CMOS série 74HC:** é uma versão melhorada da série 74C, a qual suporta correntes mais altas na saída e possui um tempo de atraso dez vezes menor que a série 74C, sua velocidade é comparável a dos dispositivos TTL 74LS.

**10.2.4 Família CMOS série 74HCT:** possui alta velocidade e é compatível em termos de tensões com CIs TTL, isso possibilita que CIs HCT possam ser alimentados por saídas TTL sem precisar de circuitos externos para compatibilização (semelhante à LS).

**10.2.5 Família CMOS série 74AHC:** apresentam menor ruído do que a série HC, um consumo de potência que corresponde à metade do obtido com a série HC e uma velocidade que equivale a 3 vezes a obtida com dispositivos HC. A série AHC pode ser utilizada para tensões de alimentação de 5V ou 3,3V.

**10.2.6 Família CMOS série 74AC:** A Lógica CMOS Avançada (AC), séries AC e ACT, foram desenvolvidas para aumentar mais a velocidade de operação e a corrente de acionamento da saída dos dispositivos CMOS. Essa lógica adota a arquitetura "flowthrough", na qual os pinos de alimentação estão localizados no centro de cada lado do CI. Essa série de dispositivos é manufaturada em CMOS de  $1\mu$  e tem mais de 70 funções incluindo portas flip-flops, contadores. Fornece baixa potência. Fabricada na configuração padrão, ou na configuração com VCC e GND central essa última produzida com circuito OEC (output- edged control) o qual ajuda a reduzir ruído de chaveamento simultâneo associado à lógica de alta velocidade. Devido à tecnologia utilizada na sua fabricação, números altos de funções podem ser implementados utilizando uma área pequena.

**10.2.7 Família CMOS série 74ACT:** mesmas características da série AC, porém tem entradas eletricamente compatíveis com a família TTL.

**10.2.8 Família CMOS série LV:** uma melhor flexibilidade em sistemas de 3,3V ou 5V. Oferecem um atraso de propagação de até 13 ns para tensões de 3,3V.

**10.2.9 Família CMOS série LVC:** foi especialmente projetada para tensões de alimentação de 3V. Essa série é uma versão de alta performance com processo de tecnologia CMOS de  $8\mu$ , apresenta 6,5ns de atraso de propagação. Essa série inclui bus de interface e portas com 50 funções diferentes.

**10.2.10 Família CMOS série ALVC:** especialmente projetada para tensões de alimentação de 3V, apresenta um baixo tempo de retardo para tensões de alimentação baixas em torno de 3.3 V, 2.5 V, and 1.8 V o que possibilita um alto desempenho fornecendo um baixo ruído. A série ALVC (Advanced Low-Voltage CMOS) é utilizada para projetos em 3,3V.

**10.2.11 Família CMOS série AUC:** é a primeira família lógica que é otimizada em 1,8V, mas é operacional de 0,8V a 2,5V. Essa família sub-1V opera em baixa potência e alta velocidade, mantendo toda a integridade do sinal, para uso em equipamentos de telecomunicações, estações de trabalho de alto desempenho e eletrônicos portáteis.

**10.2.12 Família CMOS série AUP:** é a família lógica de potência mais baixa aumentando o tempo de vida da bateria em 73% para  $V_{cc}$  de 3V. Dispositivos de baixa potência podem consumir uma significativa quantidade de potência em aplicações portáteis. Dispositivos AUP fornecem projetos com capacidade de consumir 91% menos de potência do que a indústria padrão de tecnologia de baixa voltagem. Fornecem um atraso de propagação de 2,0ns em 3V(3ns para 1,8V)

**10.2.13 Família CMOS série AVC:** foi a primeira família lógica a obter atraso de propagação menos que 2ns para 2,5V. Apresenta os menores tempos de propagação para 1,8V(3,2ns), 2,5V(1,9ns) e 3,3V(1,7ns). Isso possibilita um desempenho mais rápido enquanto fornece um baixo ruído. Foi projetada para as próximas gerações de PC e estações de trabalho.

**10.2.14 Família CMOS série FCT:** foi projetada para altas correntes (dezenas de mA) em aplicações de interface de bus. Esses produtos são otimizados para operar em 5V e são compatíveis função/pino com as famílias CMOS

- **Fonte de Alimentação:**

CI's CMOS apresentam uma larga faixa de tensão de alimentação. Alguns CI's podem operar em uma grande faixa de valores (de 5v a 18V, ou de 3V a 15V), e outros, que trabalham com baixa tensão podem operar numa faixa entre 1V a 3,6V. Projetos mais atuais utilizam 3,3V ou menos. Uma tensão de alimentação pequena é interessante, pois o consumo de potência é menor e conseqüentemente o aquecimento também é menor.. Além disso, este nível de alimentação possibilita o projeto de sistemas alimentados com bateria.

- **Atraso de propagação:**

Nas séries mais comuns, o tempo de atraso de propagação médio é da ordem de dezenas de ns, constituindo-se em uma grande desvantagem. O problema foi superado com o aparecimento das versões apropriadas para uso em alta velocidade (HC/HCT), com parâmetros compatíveis com os das versões TTL para a mesma finalidade. Podendo-se chegar a um atraso de propagação da ordem de 0,1ns ou menos. Circuitos mais complexos possuem um atraso de propagação da ordem de vários nanossegundos.

## 10.3 Comparação entre TTL e CMOS:

### 10.3.1 Vantagens da família CMOS sobre os componentes TTL:

- Baixo consumo
- Fan-out maior
- Ampla faixa de alimentação, não necessitando de regulagem precisa na fonte como no caso da família TTL.
- Maior imunidade ao ruído
- Densidade maior por componente

### 10.3.2 Desvantagens da família CMOS sobre os componentes TTL:

- Elevado tempo de atraso
- Custos mais altos
- Menor disponibilidade de alternativas funcionais



## 10.4 Família ECL:

É uma outra família baseada em transistores de junção bipolares. Diferente da família TTL, onde os transistores operam no modo saturado e com isso sua velocidade fica limitada ao tempo de atraso de armazenamento associado ao transistor que é levado ao ponto de saturação, a família ECL opera com o princípio da comutação de corrente, onde uma corrente de polarização fixa menor que  $I_{C(sat)}$  é comutada do coletor de um transistor para outro. É a mais rápida dentre todos os circuitos lógicos de silício e foi utilizada vários anos na construção dos grandes computadores, mas como seu consumo de potência é alto, foi substituída pelos CMOS. Porém ainda é utilizada em circuitos de alta velocidade, como os utilizados em redes de fibra óptica e outros sistemas de comunicação, como os telefones sem fio mais modernos. Apresenta margem de ruído baixa e fan-out alto devido à baixa impedância das saídas. Na Figura 10.3 é mostrado um circuito básico de uma porta ECL OR/NOR, onde observa-se que em um circuito ECL duas saídas são geradas uma o complemento da outra.

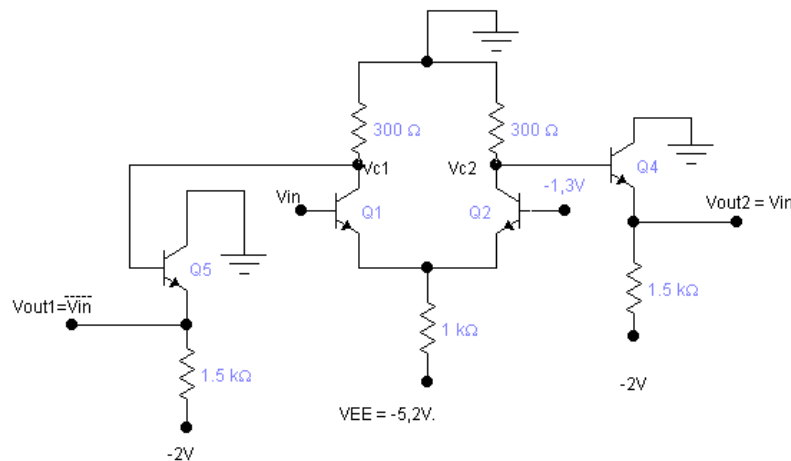


Figura 10.3 Porta OR/NOR de duas entradas da família ECL.

## 10.5 Comparação entre ECL e TTL / CMOS:

A família ECL não é tão utilizada quanto a TTL ou CMOS, exceto em aplicações de altíssima frequência, quando sua velocidade de operação é superior a das famílias citadas. Sua imunidade de ruído relativamente baixa e seu alto consumo de potência são grandes desvantagens quando comparados com as demais famílias. Outra desvantagem é o fato de seus níveis lógicos serem representados por tensões negativas (utiliza lógica negativa), o que a torna incompatível com as outras famílias.

- **Fonte de Alimentação:**

Os circuitos ECL utilizam lógica negativa, onde a fonte de tensão fornece o terra e a tensão negativa chamada  $V_{EE} = -5,2V$ .

- **Atraso de Propagação:**

O atraso de propagação típico de um circuito ECL é em torno de 0,05ns ou menos.

### 10.6 Escolhendo a Sub-família:

A escolha da sub-família a ser adotada no projeto dependerá de quatro fatores básicos:

- Repertório: Disponibilidade de tipos diferentes de CIs
- Velocidade que o projeto requisita
- Consumo de energia.
- Custo.

### 10.7 Ciclo de vida das famílias lógicas:

Embora a lógica TTL de 5V ainda tenha aplicação, novas tecnologias de baixa tensão estão sendo colocadas no mercado e estão deslocando a tecnologia de 5V.A

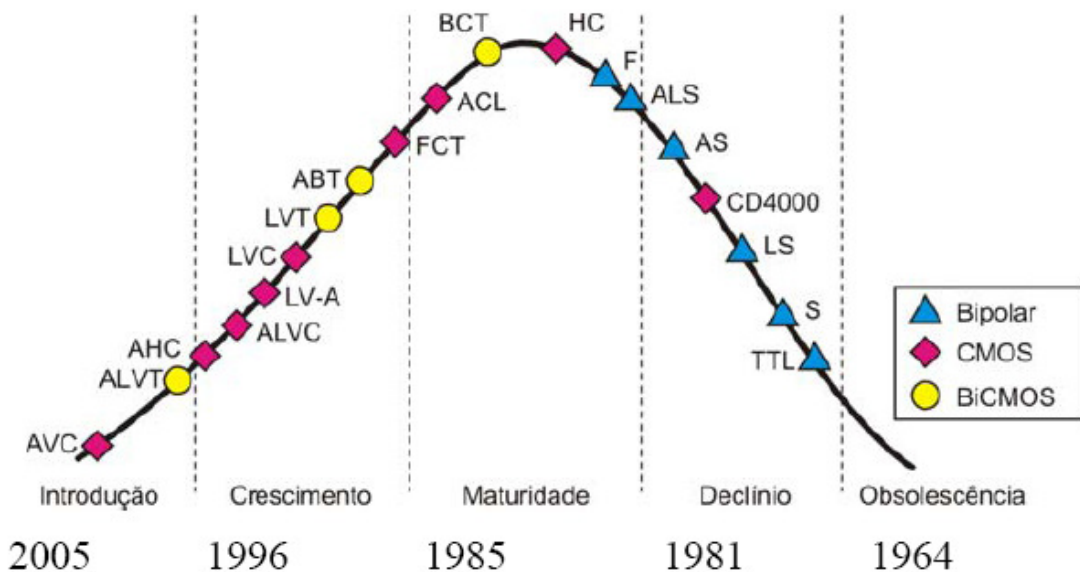


Figura 10.3 mostra o ciclo de vida das várias famílias lógicas na visão da Texas Instruments.

**Figura 10.3 Ciclo de vida das famílias lógicas.**

## 11. Características Elétricas dos CIs:

Essa seção apresenta as principais características e parâmetros das famílias TTL e CMOS.

### 11.1 Tensão de alimentação:

Cada CI terá obrigatoriamente um pino para ligação ao pólo negativo da alimentação e outro ao pólo positivo também designado de Alimentação. Em circuitos TTL, o pino de ligação ao pólo positivo, ou seja, a alimentação é designado com o mnemônico  $V_{CC}$ , (o "c" é de "coletor", pois nos circuitos TTL os coletores de vários transistores estão ligados ao pólo positivo da alimentação), e nos circuitos CMOS, o pino de alimentação é chamado de  $V_{DD}$  (o "d" é de "dreno", pois nos circuitos CMOS os drenos de vários transistores estão ligados ao pólo positivo da alimentação). Como muitos CIs CMOS são empregados juntos com TTL, então  $V_{CC}$  também é usado para designar o pino de alimentação desses CIs CMOS. Já o pino para ligação ao pólo mais negativo, para CIs TTL aparece, geralmente, com o mnemônico GND (abreviatura de "ground", ou seja "terra") e o pólo de ligação mais negativo dos CIs CMOS aparecem com o mnemônico Vss (o "s" é de "source", pois nos circuitos CMOS esse terminal do MOSFET deve ser ligado ao pólo negativo da alimentação).

- **tensão de alimentação em TTL  $V_{CC}$  corresponde a 5V e o GND corresponde a 0V.**
- **tensão de alimentação do CMOS,  $V_{DD}$ , pode estar na faixa de +3 a +18V( embora +5V seja a tensão mais usada, principalmente quando CMOS está sendo empregado no mesmo circuito que TTL) e  $V_{SS}$  corresponde a 0V.**

### 11.2 Valores de tensão associados aos níveis lógicos:

Para estabelecer limites de operações aceitáveis, os fabricantes listam os dados sobre os valores máximos, mínimos e típicos para os níveis de tensão de saída, como visto no exemplo da Figura 11.1.

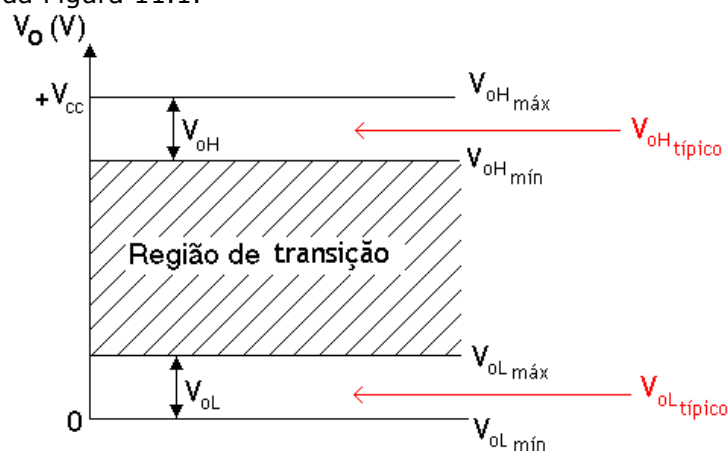
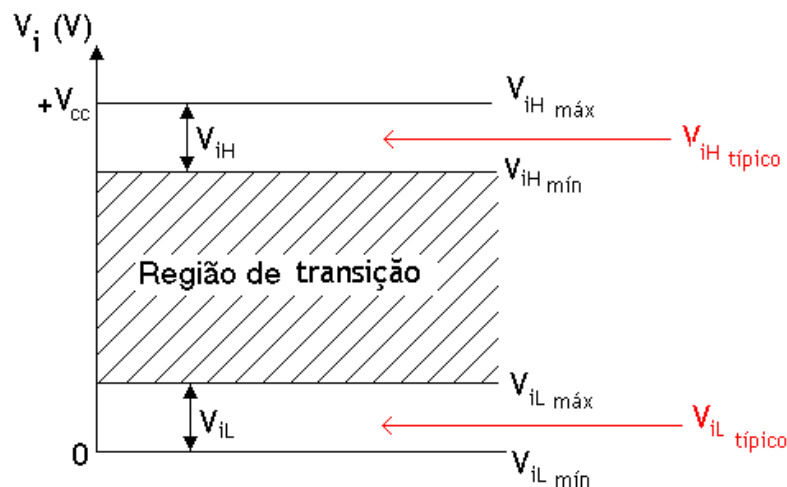


Figura 11.1 – Níveis de tensão de saída de uma porta

A tensão de saída de uma porta lógica deve sempre ter valores compreendidos dentro da banda alta ou baixa. A região de transição na Figura 11.1 é, portanto, proibida.

Como a saída de uma porta lógica pode ser usada como entrada para outra porta lógica ou outras portas lógicas, os fabricantes estabelecem os limites dos níveis de tensão de entrada, a fim de assegurar que todos os circuitos lógicos sejam compatíveis uns com os outros.

Esses níveis de tensões de entrada aceitáveis, de uma porta, estão indicados na Figura 11.2.

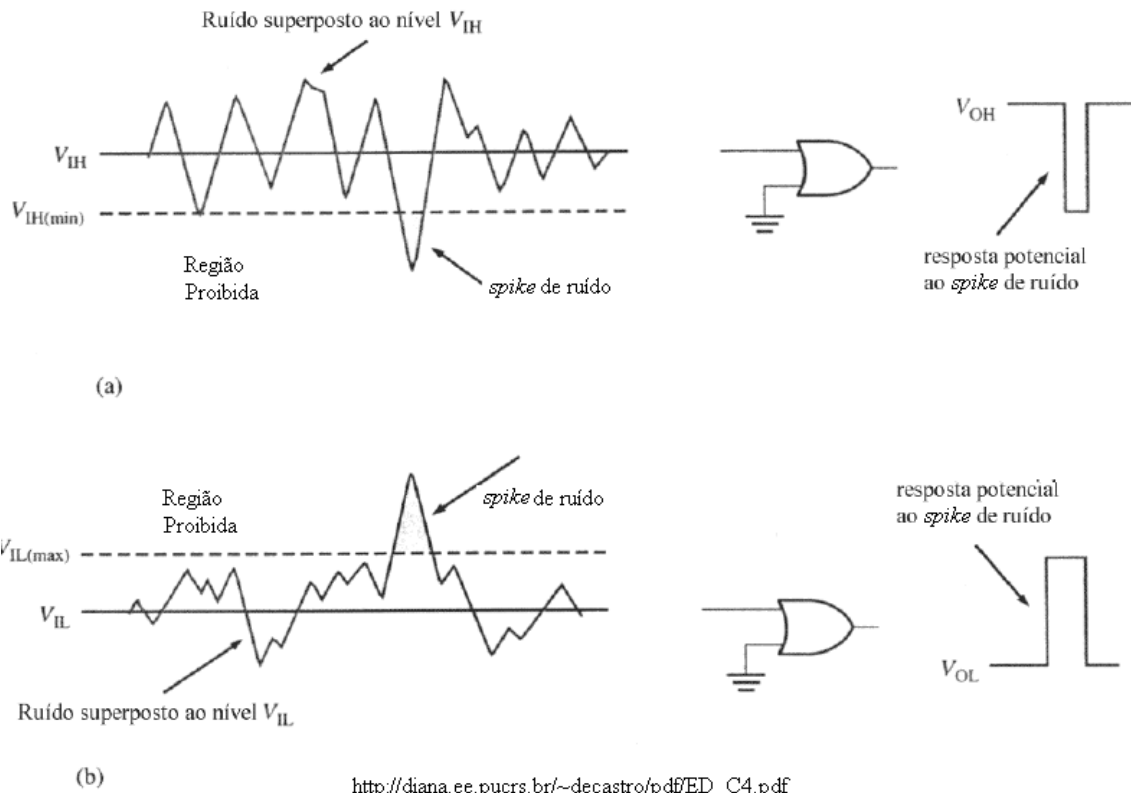


**Figura 11.2. Níveis de tensão de entrada de uma porta lógica.**

Para que a entrada de uma porta lógica seja reconhecida como nível lógico "0" (ou "1"), ela deve ter um valor dentro da banda especificada por  $V_{iL}$  (ou  $V_{iH}$ ), respectivamente. Caso a entrada não esteja dentro dessa banda, a saída da porta lógica poderá apresentar um valor lógico não correspondente à função que executa.

## 11.2 Imunidade ao Ruído:

Picos de corrente elétrica e campos magnéticos podem induzir tensões nas conexões existentes entre os circuitos lógicos. Tais sinais indesejados e espúrios denominados ruídos, cujo efeito na operação de uma porta lógica é mostrado na Figura 11.3, podem ter como resultado a queda da tensão de entrada de um circuito lógico a um valor abaixo de  $V_{iH(\text{mínimo})}$  (Figura 11.3a) ou o aumento desta tensão a um nível acima de  $V_{iL(\text{máximo})}$  (Figura 11.3b), podendo a porta responder à esse ruído como se tivesse na entrada um nível baixo ou um alto, respectivamente, o que causaria alterações na operação do circuito.



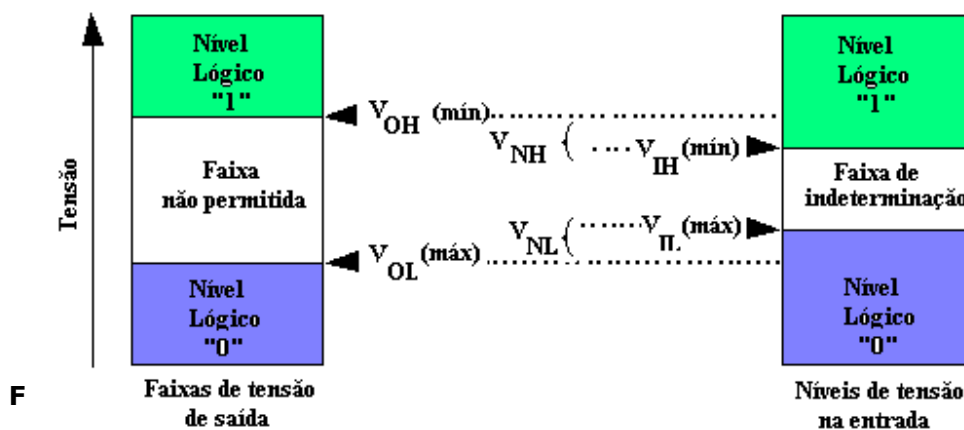
[http://diana.ee.pucrs.br/~decastro/pdf/ED\\_C4.pdf](http://diana.ee.pucrs.br/~decastro/pdf/ED_C4.pdf)

**Figura 11.3** Efeito causado na operação de uma porta lógica por um ruído na sua entrada.

Uma medida da imunidade ao ruído de uma família lógica é denominada **margem de ruído** a qual refere-se à capacidade deste circuito de tolerar tensões geradas por ruído em suas entradas, sem alterar o seu funcionamento. A margem de ruído para nível ALTO,  $V_{NH}$ , é definida pela expressão (11.1) e margem de ruído para nível BAIXO,  $V_{NL}$  pela expressão (11.2). Na Figura 11.4 estão mostrados os níveis de tensão relacionados nas expressões da margem de ruído.

$$V_{NH} = V_{OH(\text{mínimo})} - V_{IH(\text{mínimo})} \quad (11.1)$$

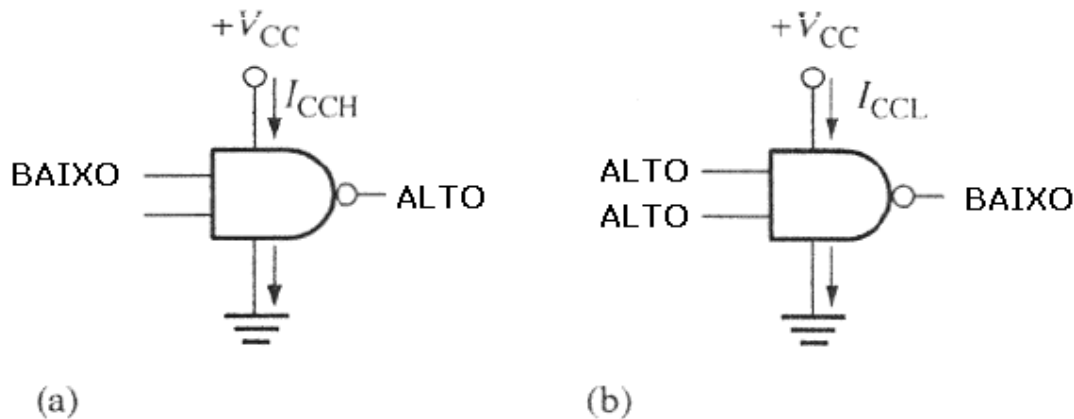
$$V_{NL} = V_{IL(\text{máximo})} - V_{OL(\text{máximo})} \quad (11.2)$$



**Figura 11.4** Margem de ruído .

### 11.3 Potência Dissipada:

Cada CI precisa de uma determinada quantidade de potência elétrica para operar. Tal potência é suprida pela fonte de tensão, conectada ao pino de alimentação do CI, denominado  $V_{CC}$  para a família TTL e  $V_{DD}$  para os dispositivos CMOS (descritos posteriormente). A quantidade de potência que um CI precisa para funcionar é determinada pela corrente  $I_{CC}$  que ele puxa da fonte que fornece  $V_{CC}$  sendo seu valor obtido pelo produto  $I_{CC} \times V_{CC}$ . O consumo de corrente vai variar, dependendo dos níveis lógicos nas entradas das portas, como mostra a Figura 11.5, onde em um CI com portas NAND, em que todas as saídas estão no nível lógico alto, e neste caso, a corrente que sai da fonte  $V_{CC}$  é chamada de  $I_{CCH}$  (Figura 11.5a). E, no mesmo CI, com todas as suas saídas no nível lógico baixo, neste caso, a corrente que sai da fonte  $V_{CC}$  é denominada  $I_{CCL}$  (Figura 11.5b). Em geral,  $I_{CCH}$  e  $I_{CCL}$  têm valores diferentes, sendo o valor médio de tais correntes, dado pela expressão (11.3), utilizado para calcular a potência média consumida pelo circuito integrado, dada pela expressão (11.4).



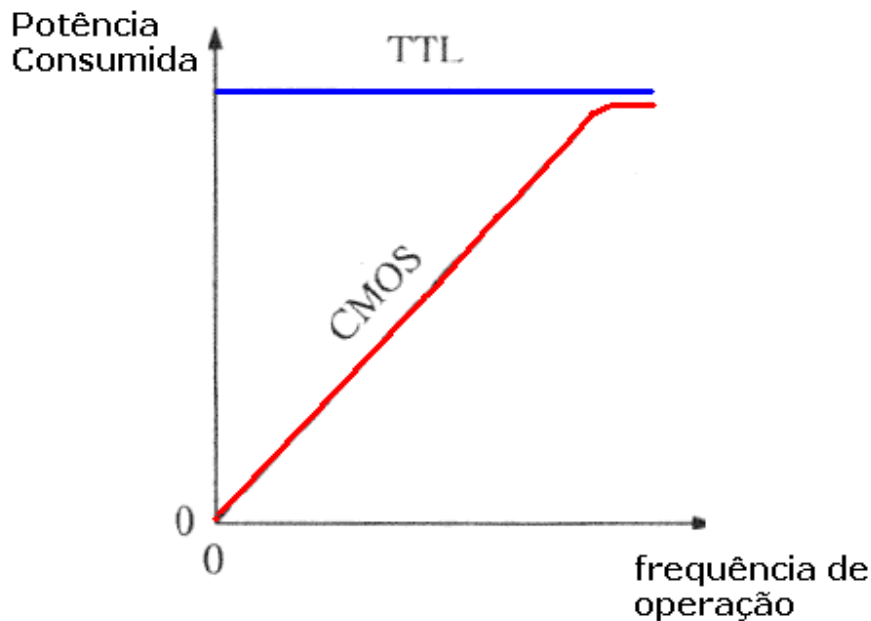
[http://diana.ee.pucrs.br/~decastro/pdf/ED\\_C4.pdf](http://diana.ee.pucrs.br/~decastro/pdf/ED_C4.pdf)

**Figura 11.5** Valores de corrente para uma porta lógica:(a)  $I_{CCH}$   
(b)  $I_{CCL}$

$$I_{CC} = \frac{I_{CCH} + I_{CCL}}{2} \quad (11.3)$$

$$P_{D(\text{média})} = I_{CC(\text{média})} \times V_{CC} \quad (11.4)$$

A potência dissipada pelos CIs TTL não da frequência de operação, mas como os CIs CMOS apresentam uma capacitância de entrada, sua potência consumida varia linearmente com a frequência de operação. Essa dependência com a frequência é mostrada na Figura 11.6.



[http://diana.ee.pucrs.br/~decastro/pdf/ED\\_C4.pdf](http://diana.ee.pucrs.br/~decastro/pdf/ED_C4.pdf)

**Figura 11.6** Curva de Potência Dissipada X Frequência de Operação para as famílias TTL e CMOS

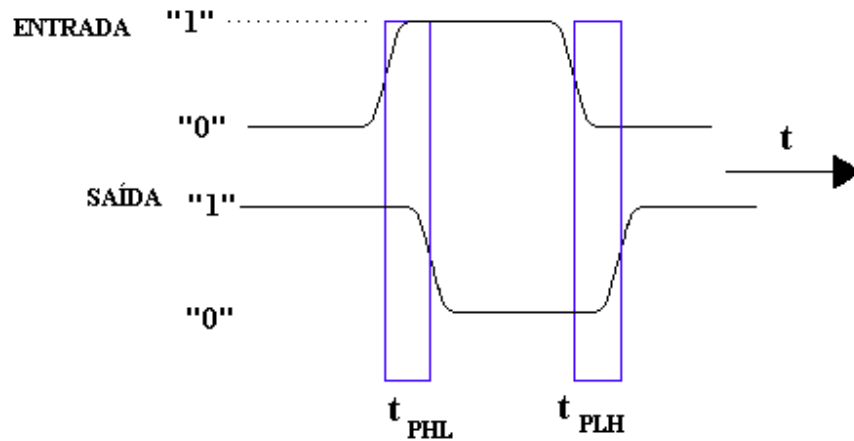
## 11.4 Atraso de Propagação:

Um sinal lógico sempre sofre um retardo em sua passagem através de um circuito. O atraso de propagação é o tempo que demora entre o instante em são aplicados os níveis lógicos na entrada e o instante em que obtém-se a resposta na saída; esse tempo varia de acordo com a versão que for utilizada. Os dois tempos correspondentes aos atrasos de propagação são definidos como:

- $t_{PLH}$  : é o intervalo de tempo que transcorre desde o instante em que se aplica os níveis lógicos nas entradas até que a porta responda com a passagem da saída do nível lógico "0" para o nível lógico "1"(BAIXO para ALTO).
- $t_{PHL}$  : é o intervalo de tempo que transcorre desde o instante em que se aplica os níveis lógicos nas entradas até que a porta responda com a passagem da saída do nível lógico "1" para o nível lógico "0"( ALTO para BAIXO).

A Figura 11.7 ilustra tais atrasos de propagação para o circuito NOT. Observe que  $t_{PHL}$  é o tempo necessário para que a saída NOT passe do nível ALTO para o BAIXO em resposta a uma entrada ALTO. Ele é medido a partir da metade dos pontos de transição dos sinais de entrada e de saída. Em geral  $t_{PHL}$  e  $t_{PLH}$  possuem valores diferentes, variando também em função das condições de carregamento a que o circuito está submetido. Tais valores são usados para compararem as velocidades de

operação dos circuitos lógicos. Por exemplo: um circuito com retardo de propagação em torno de 10ns é mais rápido do que um circuito com retardo da ordem de 20ns.



**Figura 11.7 Atrasos de propagação.**

### 11. 5 Produto Velocidade-Potência:

Um parâmetro utilizado para medir e comparar o desempenho global de uma família de circuitos integrados é através do **produto velocidade-potência** (*speed-power*), obtido através da multiplicação do atraso de propagação pela potência dissipada. Portanto, quanto mais baixo for o valor deste produto, melhor será o desempenho global da família em questão, pois significa que a família terá um consumo baixo de potência e um tempo de atraso pequeno, o qual representa velocidade de resposta alta.

### 11. 6 Fan-out:

Em um sistema digital, diversas portas podem ser conectadas à saída de uma mesma porta, como o mostrado na Figura 11.8. Essas portas apresentam um certo valor de impedância de saída quando não possuem nenhuma carga conectada à sua saída. Ao serem conectados outros CIs à sua saída, ocorrerá uma diminuição na impedância de carga do bloco, acarretando em corrente maior, alterando as especificações de tensão de saída. Porém, cada tipo de porta apresenta uma corrente máxima de saída, quando esta está em nível alto ( $I_{OH}$ ) e um outro valor para a corrente máxima de saída, quando esta está em nível baixo ( $I_{OL}$ ), a qual pode ser drenada da porta. Para se ter uma medida de quantos blocos podem ser conectados na saída de outro, sem que ultrapasse a corrente máxima, tanto para nível alto como baixo na saída, define-se uma medida chamada de *fan-out* ou *fator de carga* do CI como sendo:

***Fan-out: é o número que expressa qual a quantidade máxima de blocos da mesma família que poderá ser conectado à saída de um bloco.***



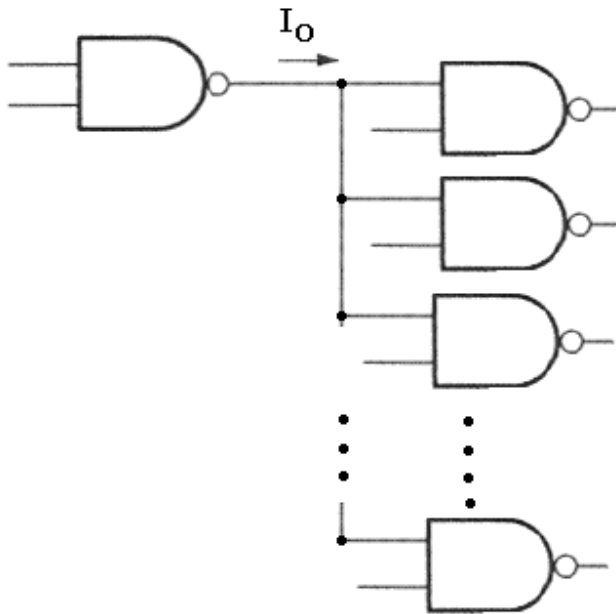
O Fanout pode ser calculado pelas expressões(11.5 e 11.6):

$$\mathbf{Fan-out = \acute{m}in (n_H, n_L)} \quad \mathbf{(11.5)}$$

Onde:

$$n_H = \left| \frac{I_{oH \max}}{I_{iH \max}} \right| \quad (11.6a) \quad \text{e} \quad n_L = \left| \frac{I_{oL \max}}{I_{iL \max}} \right| \quad (11.6b) \quad \mathbf{(11.6)}$$

Por exemplo: uma porta l3gica com fan-out igual a 10 pode alimentar at3 no m3ximo 10 entradas l3gicas padr3o. Se tal n3mero n3o for respeitado os n3veis de tens3o na sa3da do circuito poder3o n3o respeitar as especifica33es.



**Figura 11.8** Porta NAND acionando v3rias portas NANDs.

## 12. Interfaceamento entre Famílias diferentes:

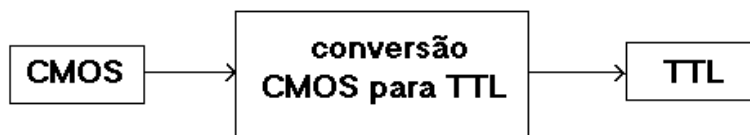
*Interfacear* significa conectar as saídas de um circuito em outro circuito com as características elétricas diferentes. Quando for necessário conectar blocos de uma família a outros de uma outra família, é necessário verificar se essas famílias são compatíveis, ou seja, se eles possuem as mesmas características elétricas. Caso possuam características elétricas diferentes é necessário acrescentar, entre os circuitos interligados, um circuito de interface cuja função é de compatibilizar as características do sinal de saída do circuito alimentador, condicionando-o de forma a torná-lo compatível com as exigências da carga(circuito alimentado). Esse circuito torna-se necessário quando as condições a seguir ocorrem:

1. Se as tensões de alimentação não forem iguais,
2. Se as tensões de alimentação forem as mesmas, ainda assim deve-se considerar:
  - A diferença de propagação de ruído das duas famílias.
  - O fan-out cruzado
  - As diferenças das características elétricas entre o circuito alimentador, circuito que está fornecendo o sinal de entrada para o circuito de carga. As tensões de  $V_{OH}$  e  $V_{OL}$  do circuito alimentador devem ser compatíveis com os níveis aceitos como níveis "ALTO" e "BAIXO", respectivamente, para o circuito de carga.

Os CIs pertencentes a mesma família lógica são projetados para serem interligados sem necessidade de circuito especial, observando apenas as limitações de fan-out. Quando são interligados CIs de famílias lógicas diferentes ou de séries diferentes pertencentes a mesma família lógica, devem ser observados os parâmetros de corrente e tensão destes dois dispositivos. Nos itens seguintes são mostrados exemplos de alguns casos de interligação entre dispositivos diferentes.

### 12.1 CMOS alimentando TTL:

Considerando, inicialmente, a interface quando uma porta lógica CMOS é usada para acionar uma porta lógica TTL (Figura 12.1). Deve-se observar se o CMOS (circuito alimentador) pode gerar a corrente e a tensão necessária ao funcionamento do TTL. Na Tabela 12.1 tem-se as especificações elétricas do CMOS 4069 e do TTL 74LS04. Quando a saída da porta CMOS está no nível lógico "1", a tensão de saída mínima é  $V_{OHmin} = 4,9$  V. Isto é aceitável para circuitos TTL, pois eles aceitam qualquer tensão acima de  $V_{IHmin} = 2,0$ V até  $V_{CCmax} = 5,25$  V, como nível lógico "1", como mostrado na Figura 12.2.

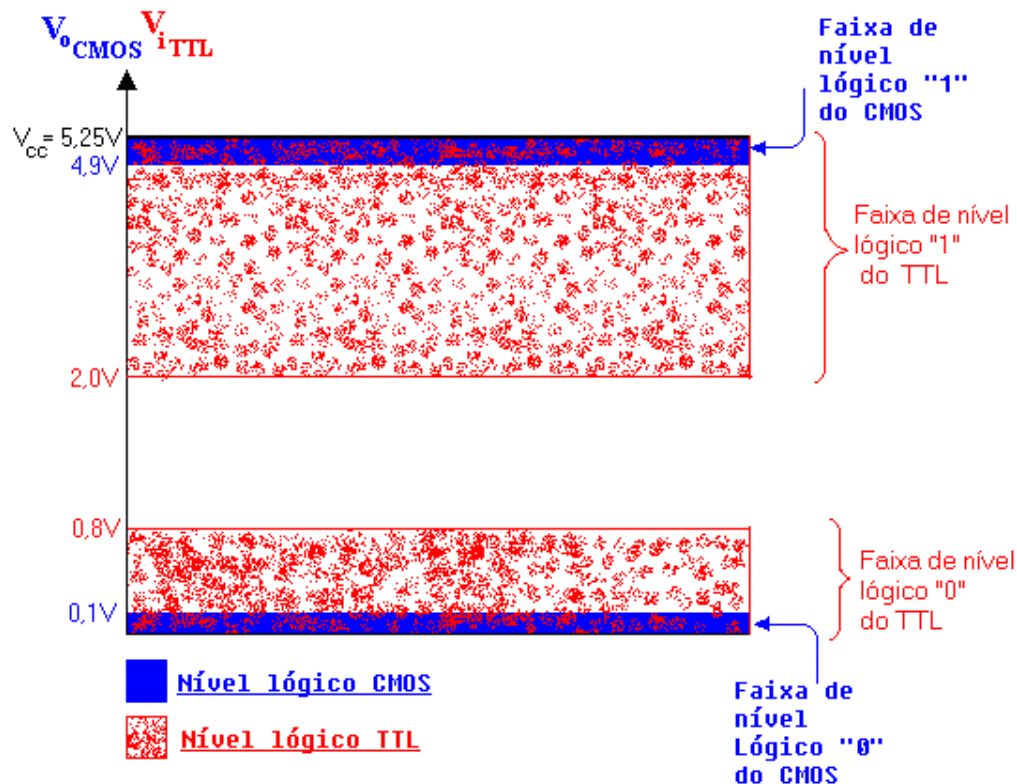


**Figura 12.1** Porta CMOS acionando uma porta TTL.

Quando a saída da porta CMOS está no nível lógico "0", a tensão de saída máxima é  $V_{OL(max)} = 0,1 \text{ V}$ , que também é aceitável pelas portas TTL, visto que  $V_{IL(max)} = 0,8\text{V}$ (Figura 12.2). Portanto, a porta CMOS pode acionar uma porta TTL diretamente, e os circuitos são completamente compatíveis.

**Tabela 12.1 Parâmetros elétricos da porta NAND CMOS e TTL:**

PARÂMETROS	CMOS	TTL
$V_{IHmin} \text{ (V)}$	3,5	2,0
$V_{IL(max)} \text{ (V)}$	1,0	0,8
$V_{OHmin} \text{ (V)}$	4,9	2,4
$V_{OL(max)} \text{ (V)}$	0,1	0,4
$I_{iH(max)} \text{ (}\mu\text{A)}$	1,0	40
$I_{iL(max)} \text{ (}\mu\text{A)}$	-1,0	-1,6
$I_{OH(max)} \text{ (mA)}$	-4,0	-400
$I_{OL(max)} \text{ (mA)}$	4,0	16



**Figura 12.2 faixa dos níveis lógicos "1" e "0", para saída do CMOS 4069 e entrada do TTL74LS04.**

Para calcular o fan-out da ligação CMOS-TTL, observa-se, inicialmente, quando a saída da porta CMOS está no nível lógico "1",  $I_{OH(max)} = 4 \text{ mA}$  para CMOS e  $I_{iH(max)} = 40\mu\text{A}$  para nível lógico "1" na entrada da porta TTL. Portanto, pode-se ligar 100 portas TTL na saída de uma porta CMOS, considerando apenas o nível lógico "1". Agora verificando quando a saída da porta CMOS está no nível lógico "0", ela fornece uma

corrente  $I_{OL(max)} = 4 \text{ mA}$ , mas a entrada da porta TTL necessita de  $I_{iL(max)} = 1,6 \text{ mA}$  quando o nível lógico é "0" na entrada. Portanto, 3 portas TTL necessitam de  $4,8 \text{ mA}$ , o que ultrapassa o valor Máximo de  $I_{OL}$  do CMOS. Logo, para ao ultrapassar esse valor, uma porta CMOS pode alimentar apenas 2 portas TTL.

## 12.2 TTL alimentando CMOS:

Quando uma porta TTL é usada para acionar portas CMOS, como mostra a Figura 12.3, se a saída da porta TTL está no nível lógico "0", a tensão de saída máxima é  $V_{OL(max)} = 0,4 \text{ V}$ , e é aceitável como entrada para a porta CMOS, visto que a tensão de entrada é  $V_{iL(max)} = 1,0 \text{ V}$  para o nível lógico "0". Isso pode ser observado na Figura 12.4, que todo nível "0" que TTL envia para CMOS este interpreta como nível "0". Quando a saída da porta TTL está no nível lógico "1", a tensão mínima na saída é  $V_{OH(min)} = 2,5 \text{ V}$  e a porta CMOS precisa de  $V_{iH(min)} = 3,5 \text{ V}$ . Portanto, aqui surge uma região de incompatibilidade, como mostrado na Figura 12.4, que para ser resolvida, basta adicionar um resistor  $R_i$  como interface, conforme mostra a Figura 12.5.

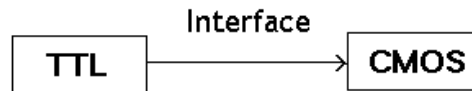


Figura 12.3 Porta TTL acionando porta CMOS

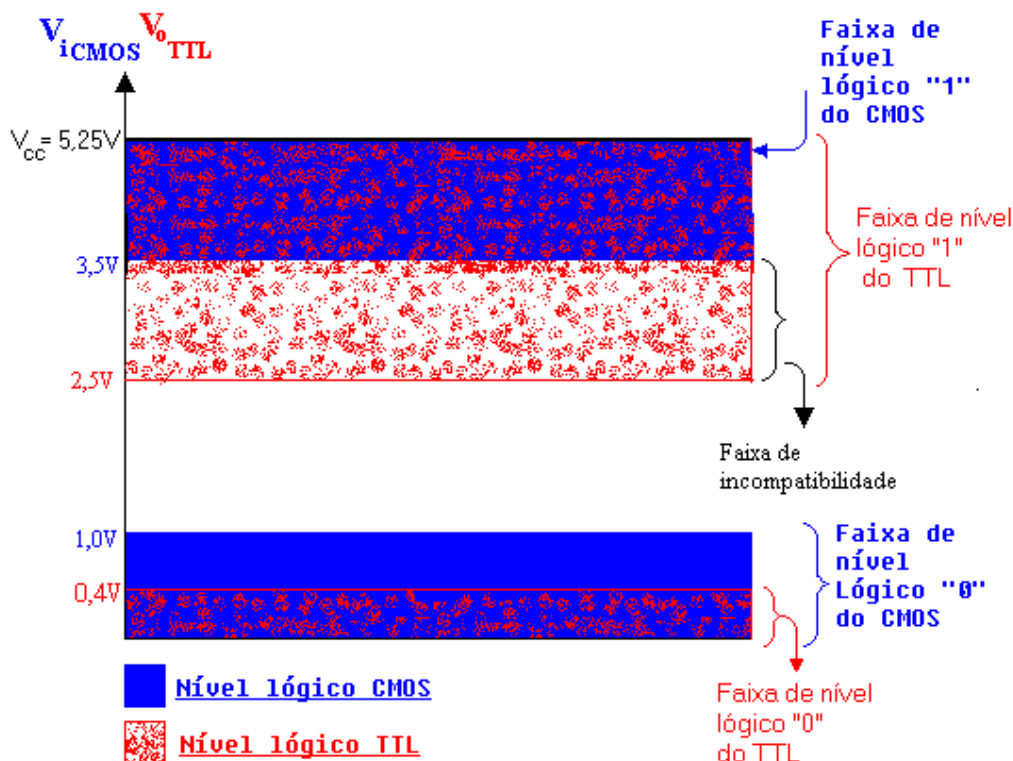
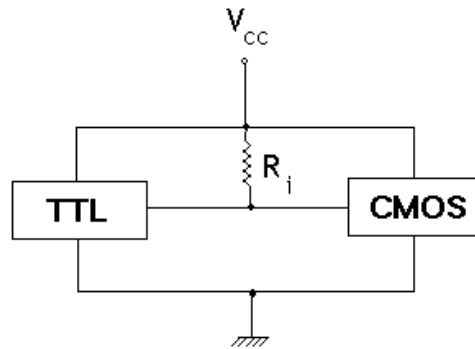


Figura 12.4 faixa dos níveis lógicos "1" e "0", para saída do TTL74LS04 e entrada do CMOS 4069.



**Figura 12.5 Interface entre porta TTL e CMOS**

Existem limites superiores e inferiores para o resistor de interface. O limite inferior é função da corrente que a porta TTL é capaz de fornecer quando sua saída está no nível lógico 0. Supondo a corrente da porta CMOS,  $I_{il(max)}$ , desprezível, o limite inferior de  $R_i$  é dado por:

$$R_{i_{min}} = \frac{(V_{cc} - V_{oL_{max}})}{I_{oL_{max}}} \quad (12.1)$$

O limite superior do resistor de interface é quase sempre determinado pela capacitância total de entrada da carga CMOS,  $C_i$  (obtido como a máxima capacitância de entrada de uma porta CMOS multiplicada pelo número de portas que são ligadas a saída da porta TTL). E o limite superior é dado pela expressão:

$$R_{i_{max}} = \frac{t}{C_i \times \ln \left[ \frac{V_{cc}}{V_{cc} - V_{iH_{min}}} \right]} \quad (12.2)$$

**Onde: t é o tempo de transição**  
 **$C_i$  é a capacitância de entrada**

Portanto, portas TTL, podem ser usadas para acionar portas CMOS desde que se faça uma interface com um resistor  $R_i$  obtida através das duas expressões anteriores (12.1) e (12.2).

Deve-se notar que existe família lógica, ex: 54/74HCTXX, cujos componentes são completamente compatíveis com ambos, TTL ou CMOS, e podem ser usados para conectar tanto um sistema TTL com um CMOS, diretamente, sem necessidade de resistor de interface.

## 13. Circuitos Elétricos dos CIs:

Neste item serão analisadas as configurações elétricas de portas TTL .

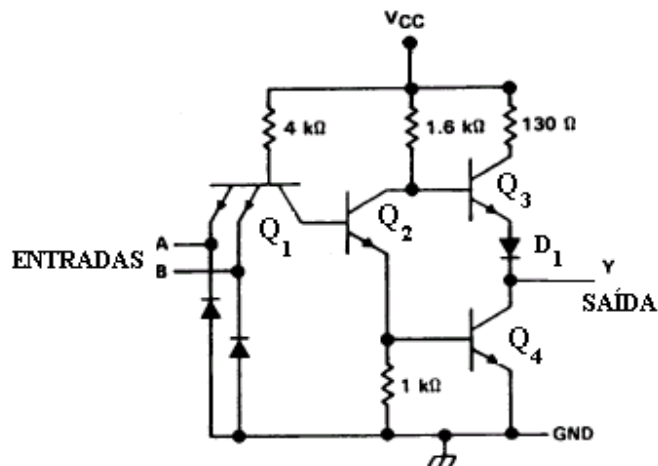
### 13.1.Portas com Saídas em Totem-Pole:

O circuito típico da família TTL pode ser visto na Figura 13.1 onde está representada uma porta NAND de duas entradas. O funcionamento desta porta é o seguinte:

**1º caso:** quando as entradas A e B estão no nível "1",  $Q_1$  está cortado, conduz apenas a junção base coletor como se fosse um diodo.  $Q_2$  conduz,  $Q_4$  conduz e  $Q_3$  está cortado, tem-se na saída nível "0".

**2º caso:** alguma entrada no nível "0",  $Q_1$  conduz,  $Q_2$  está cortado,  $Q_4$  está cortado e  $Q_3$  conduz, tem-se na saída nível "1".

Os transistores correspondem ao estágio de saída da porta onde um "puxa" a corrente para o Terra e o outro "empurra" a corrente de  $V_{CC}$  . Esse circuito passou a ser conhecido como saída *Totem-pole*.



**Figura 13.1** Configuração de uma porta NAND de duas entradas com saída em *Totem-Pole*.

Observe que as saídas de uma porta em Totem-pole, como a da Figura 13.1, não podem ser ligadas juntas no mesmo ponto como ilustrado na Figura 13.2, na qual as saídas em *Totem-pole* de duas portas lógicas diferentes são conectadas juntas no ponto X. Suponha que a saída da porta A esteja em nível lógico ALTO, ( $Q_{3A}$  conduzindo e  $Q_{4A}$  cortado) e a saída da porta B esteja em nível lógico BAIXO, ( $Q_{3B}$  cortado e  $Q_{4B}$  conduzindo). Nesta situação  $Q_{4B}$  é uma carga resistiva muito baixa para  $Q_{3A}$ , puxando uma corrente que pode chegar aos 55 mA, a qual pode danificar os transistores  $Q_{3A}$  ou  $Q_{4B}$ .

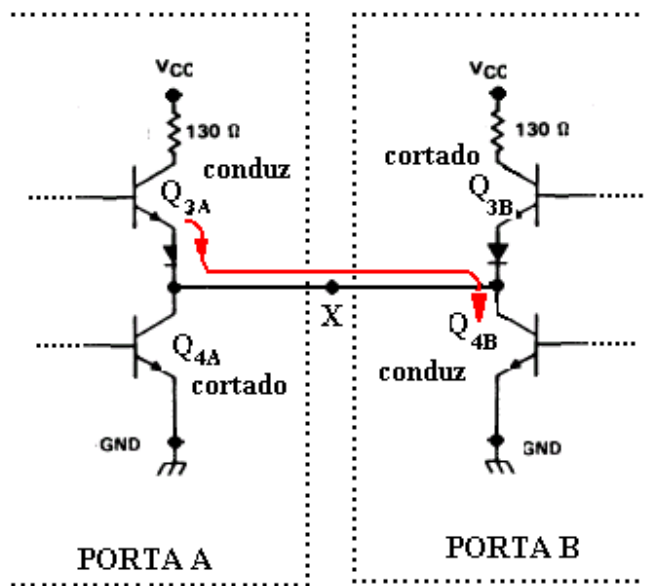
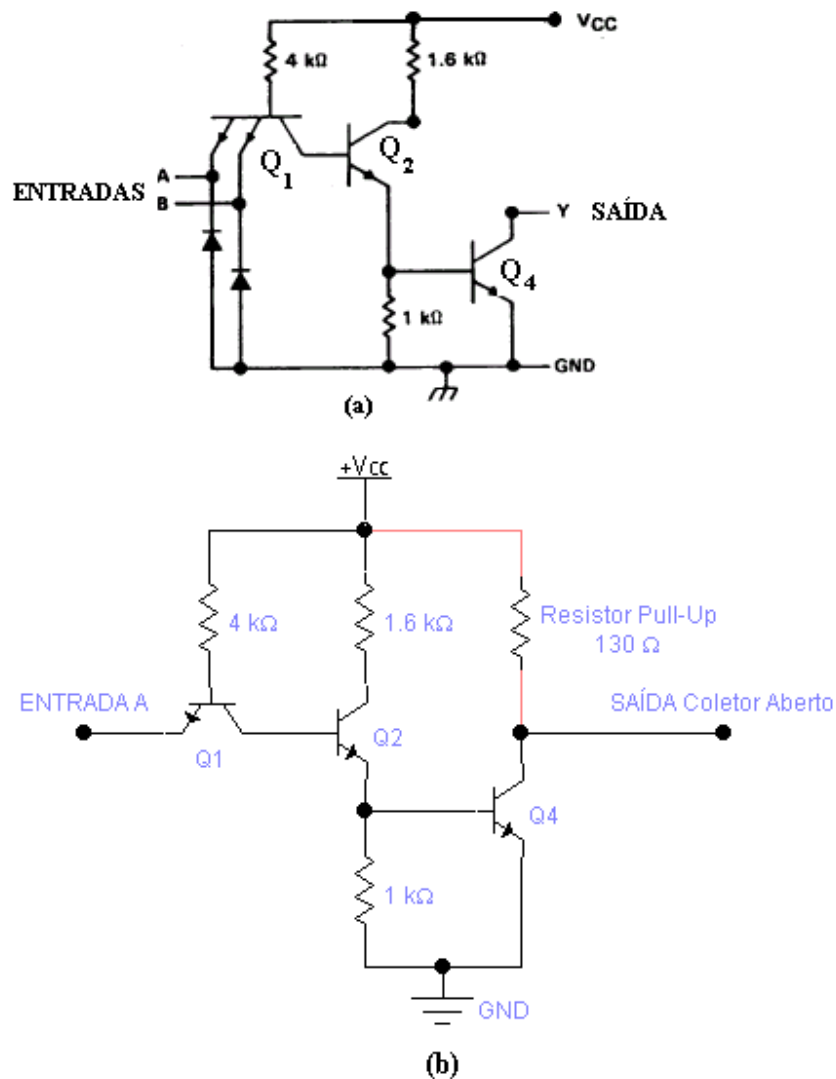


Figura 13.2 Saídas em Totem-pole ligadas no mesmo ponto.

### 13.2 Portas com saídas em Coletor Aberto:

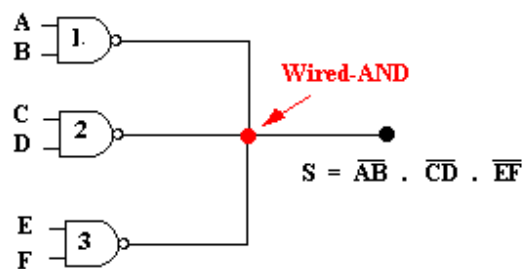
O porta ("gate") de **Coletor Aberto** é um CI que tem a característica especial de possuir o transistor de saída com o coletor disponível em um pino do CI, e desconectado de qualquer ligação interna, conforme mostra a Figura 13.3.a. Observe que na Figura 13.3.a não existe o resistor  $R_4$  (resistor *pull-up*), nem o transistor  $Q_3$ , nem o diodo  $D_1$ . A saída é tomada no coletor do transistor  $Q_4$  que está aberta, não está conectada a nenhum outro componente do circuito. Quando em nível lógico BAIXO,  $Q_4$  está conduzindo (tem corrente na base), ao passo que no nível ALTO  $Q_4$  está cortado (essencialmente um circuito aberto). Para o funcionamento correto da porta há a necessidade da ligação de um resistor externo denominado **Resistor Pull-up  $R_p$**  entre o coletor aberto de  $Q_4$  e  $V_{CC}$ , conforme mostrado na Figura 13.3.b, de modo a fazer com que um nível de tensão mensurável apareça na saída, quando esta estiver em nível lógico ALTO.

A Figura 13.3.b mostra a porta com o resistor *Pull-up* conectado externamente.



**Figura 13.3 Circuito do Gate Coletor Aberto: (a) sem resistor Pull-up. (b) com resistor Pull-up.**

O objetivo da configuração desse CI é possibilitar a implantação da Lógica por Fios (**E** por fios ou "wired-and") mostrado na Figura 13.4 , na qual , o resistor pull-up funciona como regulador de corrente, sendo que seu valor vai depender do número de Gates, que irão participar da conexão **E** por fios, e do número de cargas a serem alimentadas pelo ponto **E**.



**Figura 13.4 Obtenção da função AND interligando saídas em coletor aberto.**



Existem também os **Buffers e Drivers de coletor aberto**, que diferem dos Gates ordinários de coletor aberto por terem maior capacidade de absorção de corrente e um **Fan-Out** mais elevado, são usados na alimentação de cargas que exigem altas correntes.

Alguns destes circuitos têm a vantagem adicional de permitir a ligação do resistor pull-up em até 30V (como o 74LS06 e o 74LS07), podendo assim fazer interface de TTL para circuitos com tensão mais elevada que a dos Gates TTL comuns.

### 13.3 Portas com saídas em Tri-State:

O dispositivo com saída denominada **tri-state** é um circuito que possui uma entrada adicional que controla a saída. O nome **tri-state** é devido ao fato de tal configuração permitir três estados possíveis na saída:

1. **Estado Lógico ALTO, nível "1"** (baixa impedância para Vcc)
2. **Estado Lógico BAIXO, nível "0"** (baixa impedância para terra)
3. **Desligado** ("disabled") (apresenta alta impedância tanto para Vcc como para terra).

O estado de alta impedância (**tri-state ou desligado**), é obtido com os dois transistores do arranjo *totem-pole* cortados, fazendo com que o terminal de saída esteja em alta impedância tanto em relação ao terra quanto em relação à V<sub>CC</sub>. Em outras palavras a saída está aberta ou em flutuação, ou seja, nem no nível ALTO, nem no BAIXO. Neste estado o circuito apresenta como se estivesse desconectado do resto do sistema, isto é, não há troca de corrente com os circuitos conectados a esta saída. Assim, quando está nesse estado, sua saída não influencia e nem é influenciada pelo sistema a ela conectada.

A modificação da configuração *totem-pole* para obter a **tri-state** é mostrada na Figura 13.5b, onde a porção do circuito envolvido pelas linhas pontilhadas foi adicionada ao circuito básico.

Resumindo, os dispositivos Tri-State possuem uma entrada habilitadora/deshabilitadora (E) além das entradas e saídas normais (A) como mostra a Figura 13.5c. Quando habilitado a porta funciona normalmente e quando desabilitado apresenta uma alta impedância de saída, veja tabela na Figura 13.5a.

O circuito da Figura 13.5b funciona da seguinte maneira: Quando a entrada ENABLE está em "1", faz com que o transistor de entrada Q<sub>1</sub> e o diodo D<sub>1</sub>, sejam polarizadas reversamente, assim o circuito funciona como um inversor normal. Porém, quando ENABLE está em "0", o fluxo de corrente na junção base-emissor de Q<sub>1</sub> deixa Q<sub>2</sub> sem corrente de base, levando-o ao corte, e conseqüentemente, Q<sub>4</sub> também. O diodo D<sub>1</sub> estará conduzindo e levando Q<sub>3</sub> ao corte. Assim Q<sub>3</sub> e Q<sub>4</sub> estarão em corte, o que ocasiona uma saída de alta impedância tanto para Vcc como para terra.

HABILIT(E)	ENTRADA	SAÍDA
1	0	1
1	1	0
0	0	Alta imped.
0	1	Alta imped.

(a)

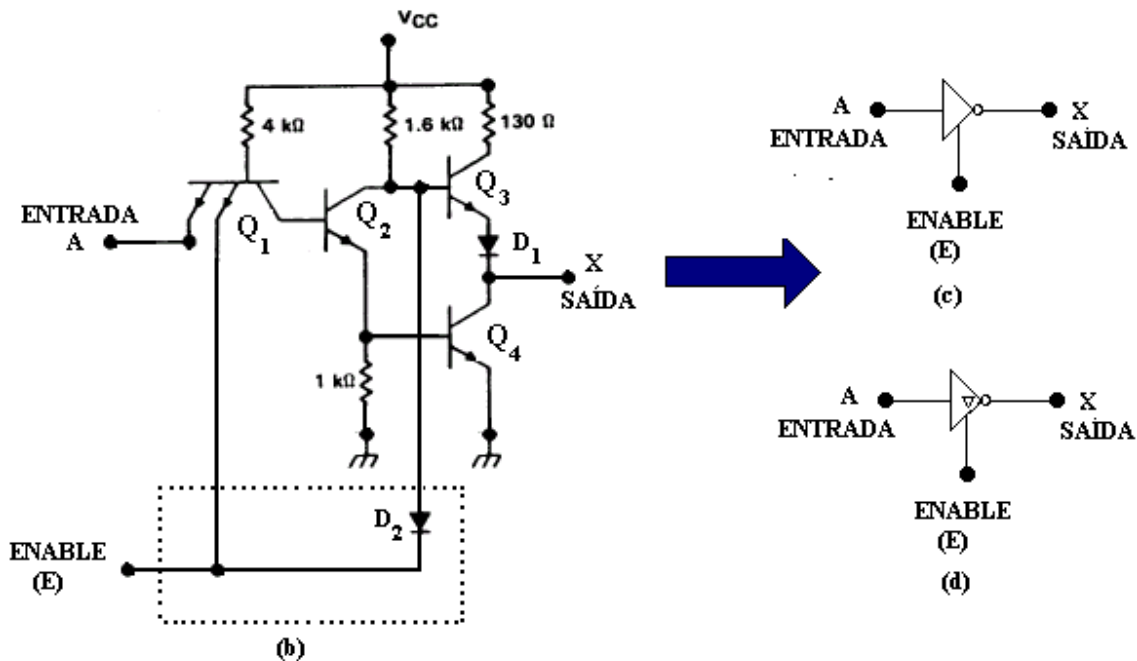


Figura 13.5 Porta NOT com saída em tri-state.

(a) Tabela verdade.

(b) configuração interna da porta

(c) e (d) símbolo

**Observação:** no símbolo de tri-state pode aparecer um triângulo voltado para baixo como mostra a Figura 13.5d

**Vantagem da saída *Tri-State*:** CI com saída em *tri-state* permitem que essas saídas possam ser ligadas juntas (em paralelo) sem comprometer a velocidade de comutação do circuito. Uma saída *tri-state*, quando habilitada, funciona como uma saída em *totem-pole*, com suas características de baixa impedância e alta velocidade de operação. Porém, quando ligadas em paralelo, apenas uma delas pode estar habilitada em cada tempo, porque do contrário, duas saídas em *totem-pole* ativas e conectadas juntas poderão produzir correntes de valor alto que podem danificar o circuito, como visto no ítem 13.1.

Existem também os **Buffers *Tri-state*** o qual é utilizado para controlar a passagem de um sinal lógico da sua entrada para a sua saída. São utilizados onde vários sinais devem ser conectados a linhas comuns (barramento)

### 13.4 Portas tipo Schmitt Trigger :

O circuito tipo Schmitt Trigger tem uma característica chamada **histerese**. No circuito TTL padrão, o nível ZERO é qualquer sinal cuja tensão seja inferior a 0,8 Volts, enquanto que o nível UM será qualquer sinal superior a 2,0 Volts. Sinais entre 0,8 Volts e 2,0 Volts podem levar a um comportamento errático do circuito, podendo ser interpretado tanto como ZERO quanto como UM.

No **Schmitt Trigger**, se o sinal em uma entrada é 0 Volts, ele será interpretado como nível **ZERO**. Se a tensão elétrica daquele sinal começar a subir, o circuito continuará interpretando-o como nível **ZERO** enquanto a tensão se mantiver abaixo de 1,7 Volts. Uma vez ultrapassada essa barreira (não existe zona proibida para as tensões de entrada), o sinal será reconhecido como nível lógico **UM**. Se, agora a tensão de entrada começar a diminuir, ela continuará sendo interpretada com **UM** lógico, até que desça abaixo de 0,9 Volts (e não 1,7 Volts como na subida da tensão), quando passará a ser interpretada como **ZERO**. Ou seja, há dois limiares de comutação diferentes: um para tensões de entrada crescentes (1,7 Volts), outro para tensões de entrada decrescentes (0,9 Volts). Isso é a **histerese** como mostra a Figura 13.6

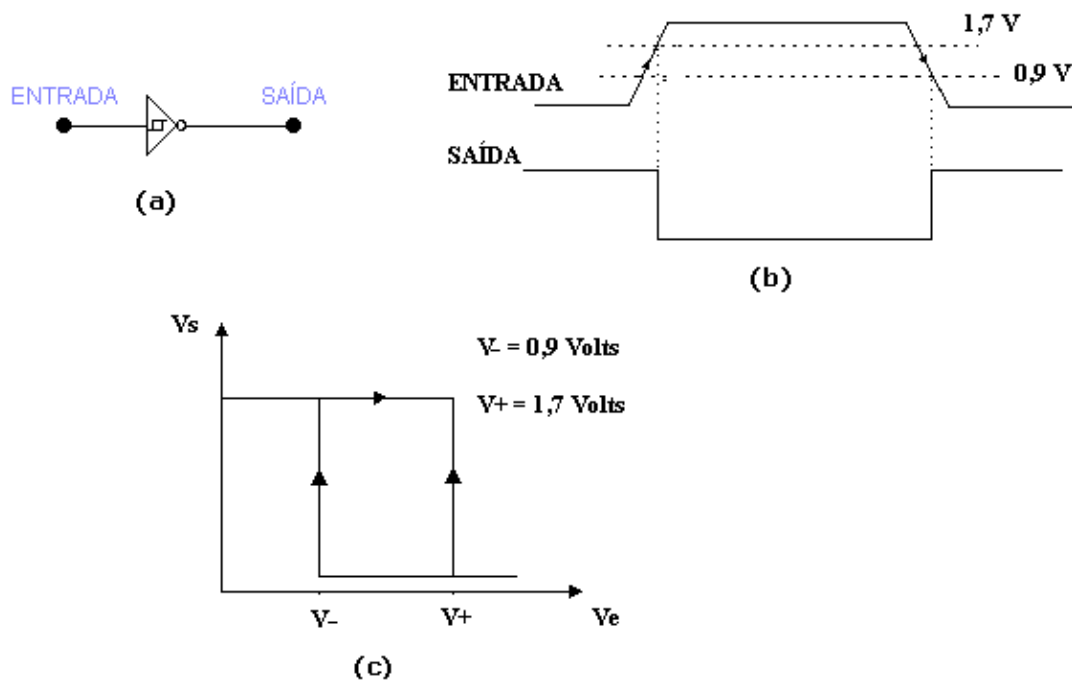
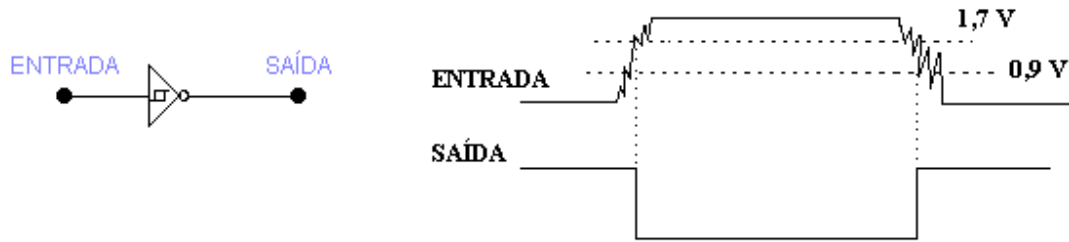


Figura 13.6 Funcionamento de uma porta Schmitt Trigger.

- (a) Símbolo.
- (b) Sinal de entrada e saída.
- (c) Histerese.

Existem duas situações típicas onde se usa o Schmitt Trigger. A primeira ocorre quando os sinais de entrada variam muito lentamente, passando pela região proibida (entre 0,8 Volts e 2,0 Volts para a família TTL, e nos 40% centrais da faixa de alimentação na família CMOS), por um tempo não desprezível, e podendo levar a oscilações na saída, ou a estados espúrios. A segunda situação ocorre quando se processa sinais ruidosos, cuja amplitude oscila dentro da região proibida, provocando nas portas lógicas convencionais igualmente oscilações na saída. Veja na Figura 13.7 um exemplo de eliminação de ruídos com Schmitt Trigger.



**Figura 13.7 Eliminando ruído com Schmitt Trigger**

## 14. Identificação do CI TTL ou CMOS com encapsulamento DIP:

Cada CI é identificado por um conjunto de letras e números. Este código pode ser dividido em 5 campos distintos, e cada qual nos fornece uma informação diferente sobre o dispositivo, como mostra a Tabela 14.1. Cada campo está descrito a seguir:

**Tabela 14.1**

Nome: aa bb ccc ddd e		SN 7400N
aa	Identificador do fabricante	SN :Texas Instruments
bb	Faixa de Temperatura de trabalho	74: 0 a 74°C
ccc	Identificador de família e subfamília	Sem letras: TTL padrão
ddd	Identificador da função lógica	00: 4 portas nand de 2 entradas
e	encapsulamento	Varia de para cada fabricante: N padrão

### ■ Campo 1: aa

Nesse campo podem aparecer caracteres que identificam o fabricante, a tabela 14.2 mostra exemplos para alguns fabricantes. Porém para um mesmo fabricante podem aparecer variações de acordo com método de fabricação do CI.

Ex: Para a Texas Instruments, o prefixo padrão para Semiconductor Network é **SN** e podem ocorrer variações como:

**RSN**: Radiation Hardened Circuit

**BL**: Dispositivo construído Beam Lead

**SNX**: Experimental Circuit

**Tabela 14.2**

Código do Fabricante	Fabricante
SN	TEXAS
DM	NATIONAL
F	FAIRCHILD
MC	MOTOROLA
FJ	PHILIPS
N	SIGNETICS
FL	SIEMENS
HD	HITACHI
MB	FUJITSU
M	MITSUBISHI
μP B 2000 D	NEC
TD 34 00 A P	TOSHIBA

### ■ Campo 2: bb

Indica a faixa de Temperatura de trabalho do CI:

- **Série 54**: -55 a + 125° C (aplicação militar)  
Tensão de alimentação: 4,5 a 5,5V.
- **Série 74**: 0 a +74° C (aplicação industrial)  
Tensão de alimentação: 4,75 a 5,25V

■ **Campo 3: ccc**

Podem aparecer nenhuma, uma, duas ou tres letras as quais indicam a família e subfamília (ou séries) do CI identificada através do tipo de dispositivo utilizado na integração:

- As tabelas 10.1 e 10.2 mostram descrevem as séries da família TTL e CMOS, respectivamente, com seus respectivos códigos.

**Obs:** nenhuma letra indica família TTL padrão.

■ **Campo 4: ddd**

Nesse campo podem aparecer dois ou três números os quais indicam a função do dispositivo

■ **Campo 5: e**

Tipo de encapsulamento e varia de fabricante para fabricante.

Ex: Para a Texas Instruments: J : cerâmico  
N: plástico  
D: SOIC

**Exemplo: SN/54/H/102/N.**

**SN:** prefixo padrão para Semiconductor Network (utilizado pela Texas). Podem ocorrer variações como:

**RSN:** Radiation Hardened Circuit

**BL:** Dispositivo construído Beam Lead

**SNX:** Experimental Circuit

**54:** Variação da temperatura.

**Série 54:** -55 a + 125° C (aplicação militar)

Tensão de alimentação: 4,5 a 5,5V.

**Série 74:** 0 a +74° C (aplicação industrial)

Tensão de alimentação: 4,75 a 5,25V

**H:** indica qual o tipo de dispositivo utilizado na integração

Alguns exemplos:

**H:** transistor bipolar de alta potencia

**L:** transistor de baixa potencia

**S:** Schottky

**LS:** Schottky de baixa potencia

**C :** CMOS metal-gate :pinagem compatível c/ TTL

**HC:** CMOS silicon-gate de alta velocidade pinagem compatível c/

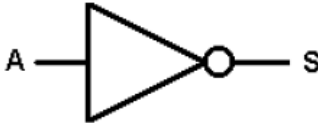
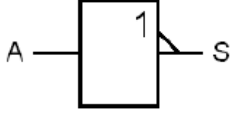
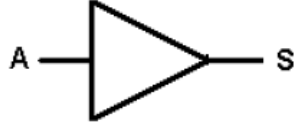
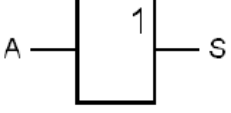

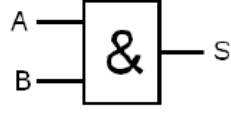

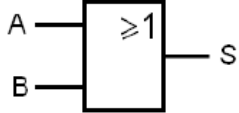

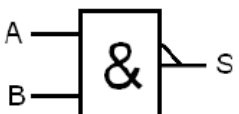
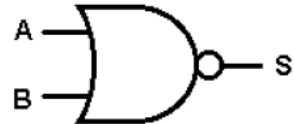
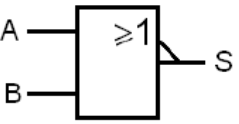
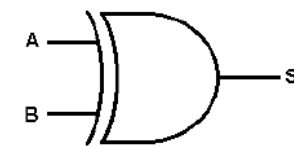
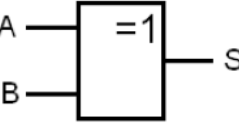

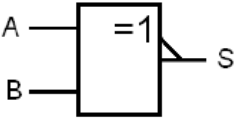
TTL

Obs.: Quando essa letra estiver omitida significa família padrão.

**102:** Nesse campo podem aparecer dois ou três números os quais indicam a função do dispositivo  
102: flip-flop JK.

**N:** Tipo de encapsulamento. Existem 11 possibilidades.(T, W, etc)

## 15. Simbologia:

NOME	Expressão Lógica	Símbolo	Simbologia IEEE	Tabela Verdade															
NOT	$S = \overline{A}$			<table border="1"> <tr><td>A</td><td>S</td></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	A	S	0	1	1	0									
A	S																		
0	1																		
1	0																		
BUFFER	$S = A$			<table border="1"> <tr><td>A</td><td>S</td></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	A	S	0	1	1	0									
A	S																		
0	1																		
1	0																		
AND	$S = A \cdot B$			<table border="1"> <tr><td>A</td><td>B</td><td>S</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	S	0	0	0	0	1	0	1	0	0	1	1	1
A	B	S																	
0	0	0																	
0	1	0																	
1	0	0																	
1	1	1																	
OR	$S = A + B$			<table border="1"> <tr><td>A</td><td>B</td><td>S</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	S	0	0	0	0	1	1	1	0	1	1	1	1
A	B	S																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	1																	
NAND	$S = \overline{A \cdot B}$			<table border="1"> <tr><td>A</td><td>B</td><td>S</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	A	B	S	0	0	1	0	1	1	1	0	1	1	1	0
A	B	S																	
0	0	1																	
0	1	1																	
1	0	1																	
1	1	0																	
NOR	$S = \overline{A + B}$			<table border="1"> <tr><td>A</td><td>B</td><td>S</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	A	B	S	0	0	1	0	1	0	1	0	0	1	1	0
A	B	S																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	0																	
XOR	$S = A \oplus B$			<table border="1"> <tr><td>A</td><td>B</td><td>S</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	A	B	S	0	0	0	0	1	1	1	0	1	1	1	0
A	B	S																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	0																	
EXOR	$S = A \odot B$			<table border="1"> <tr><td>A</td><td>B</td><td>S</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	S	0	0	1	0	1	0	1	0	0	1	1	1
A	B	S																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	1																	



## 16. Bibliografia:

- Bignell, J. W. & Donovan, R. L. "Eletrônica Digital-Lógica Combinacional". Ed Makron Books
- Fregni, E. & Saraiva, M., "Engenharia do Projeto Lógico Digital", Ed. Edgard Blücher Ltda.
- Leach D. P. "Eletrônica Digital no Laboratório". Ed. Makron Books
- Tocci, J. R. , "Sistemas Digitais- Princípios e Aplicações", Ed. Prentice Hall do Brasil
- Uyemura, J. P. "Sistemas Digitais- Uma Abordagem Integrada", Ed. Thomson Pioneira

[http://pt.wikipedia.org/wiki/Circuito\\_digital](http://pt.wikipedia.org/wiki/Circuito_digital); Consultado dia 27/08/2007

[http://pt.wikipedia.org/wiki/Circuito\\_integrado#Escala\\_de\\_integra.C3.A7.C3.A3o\\_e\\_na\\_notecnologia](http://pt.wikipedia.org/wiki/Circuito_integrado#Escala_de_integra.C3.A7.C3.A3o_e_na_notecnologia) ; Consultado dia 27/08/2007

<http://www.psi.poli.usp.br/psi/site/apresentacao/a-historia.htm>; Consultado dia 27/08/2007

<http://www.inf.ufsc.br/ine5365/cllab.html>; Consultado dia 28/08/2007

[http://pt.wikipedia.org/wiki/Lei\\_de\\_Moore](http://pt.wikipedia.org/wiki/Lei_de_Moore) ; Consultado dia 30/08/2007

<http://www.suframa.gov.br/minapim/news/visArtigo.cfm?Ident=151&Lang=BR> consultado dia 04/08/2009

<http://www.forumpcs.com.br/coluna.php?b=135976> consultado dia 04/08/2009

<http://academicos.cefetmg.br/admin/downloads/2114/ED%20I%20-%20Transp%208.pdf> consultado dia 04/08/2009

[http://www.dsif.fee.unicamp.br/~fabiano/EE610/PDF/2\\_h%20Comparativo%20Tecnol%20F3gico%20&%20Interface.pdf](http://www.dsif.fee.unicamp.br/~fabiano/EE610/PDF/2_h%20Comparativo%20Tecnol%20F3gico%20&%20Interface.pdf) consultado dia 04/08/2009

<http://www.visetelecom.com.br/decifrandocodigosdatasheet.htm> consultado em 08/2009

[http://www.noginfo.com.br/arquivos/FC\\_Modulo\\_4.pdf](http://www.noginfo.com.br/arquivos/FC_Modulo_4.pdf) consultado em 08/2009

[http://www.estv.ipv.pt/paginaspessoais/ffrancisco/sd0506/inst\\_lab.pdf](http://www.estv.ipv.pt/paginaspessoais/ffrancisco/sd0506/inst_lab.pdf) consultado em 08/2009

[http://members.fortunecity.com/rleal/digi\\_aula22\\_09\\_1.htm](http://members.fortunecity.com/rleal/digi_aula22_09_1.htm) consultado em 08/2009

[http://www.dsif.fee.unicamp.br/~fabiano/EE610/PDF/2\\_g%20%20BiCMOS.pdf](http://www.dsif.fee.unicamp.br/~fabiano/EE610/PDF/2_g%20%20BiCMOS.pdf) consultado em 08/2009

<http://www.demic.fee.unicamp.br/~elnatan/ee610/15a%20Aula.pdf> consultado em 08/2009

[\[s1.dei.uminho.pt/pessoas/pmendes/microelectronica/downloads/Aula10\\\_microelectronica\\\_2005\\\_2006.pdf\]\(http://s1.dei.uminho.pt/pessoas/pmendes/microelectronica/downloads/Aula10\_microelectronica\_2005\_2006.pdf\) consultado em 08/2009](http://dei-</a></p></div><div data-bbox=)

[http://diana.ee.pucrs.br/~decastro/pdf/ED\\_C4.pdf](http://diana.ee.pucrs.br/~decastro/pdf/ED_C4.pdf) consultado em 08/2009

[www.cp.utfpr.edu.br/chiesse/Sistemas\\_Digitais/Fam\\_logicas.pdf](http://www.cp.utfpr.edu.br/chiesse/Sistemas_Digitais/Fam_logicas.pdf) consultado em 01/08/2009

[http://pt.wikipedia.org/wiki/Encapsulamento\\_de\\_circuitos\\_integrados](http://pt.wikipedia.org/wiki/Encapsulamento_de_circuitos_integrados) consultado em 01/10/2012