

Laboratório 6 - Transistor de efeito de campo: portas lógicas NMOS e CMOS - Atividades Prévias/Lista de Exercícios

Prof. Luis Henrique F. C. de Mello

1 Revisão teórica

1. Como são definidas as regiões ativa, triodo, corte e saturação de um transistor de efeito de campo?
2. Como um sinal digital binário pode ser implementado com eletrônica analógica?

2 Simulações SPICE

2.1 Caracterização DC do FET

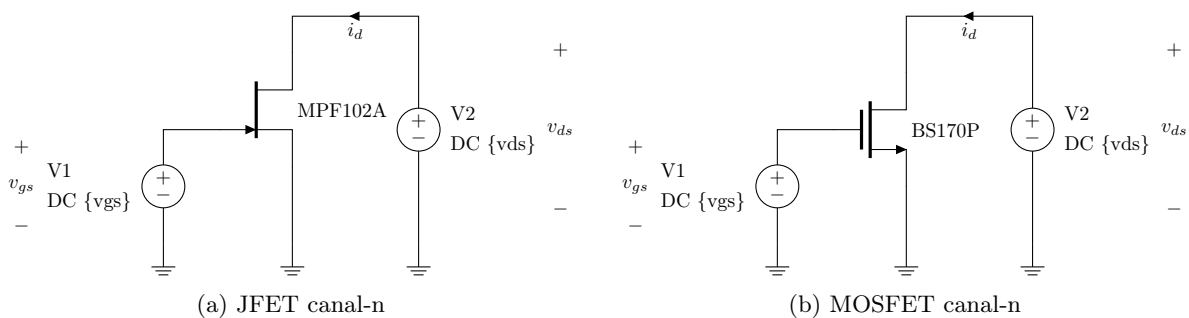


Figura 1: Caracterização DC do FET

2.1.1 JFET canal-n

1. Simule o circuito da Figura 1a.
 - (a) Faça a análise DC para a fonte V_1 variando-a de -5 V a 0 e mantendo V_2 em 5 V . Plote o gráfico i_d (corrente no dreno) vs. v_{gs} (tensão porta-fonte).
 - (b) Faça a análise DC para as fontes V_1 variando V_1 de -5 V a 0 e V_2 de 0 a 10 V . Plote o gráfico i_d (corrente no dreno) vs. v_{ds} (tensão dreno-fonte).
 - (c) Extraia dos gráficos os parâmetros do JFET: I_{DSS} (corrente de saturação) V_p (tensão de estrangulamento ou *pinch*) e λ (inverso da tensão de Early).
 - (d) Comente os resultados.

2.1.2 MOSFET canal-n

1. Simule o circuito da Figura 1b.
 - (a) Faça a análise DC para a fonte V_1 variando-a de 0 a 5 V e mantendo V_2 em 5 V . Plote o gráfico i_d (corrente no dreno) vs. v_{gs} (tensão porta-fonte).
 - (b) Faça a análise DC para as fontes V_1 variando V_1 de 0 a 5 V e V_2 de 0 a 10 V . Plote o gráfico i_d (corrente no dreno) vs. v_{ds} (tensão dreno-fonte).
 - (c) Extraia dos gráficos os parâmetros do MOSFET: $k_n = (\mu_n C_{ox})(W/L)$ (parâmetro de transcondutância), V_t (tensão de limiar ou *threshold*) e λ (inverso da tensão de Early).
 - (d) Comente e compare os resultados em relação ao JFET canal-n.

2.2 Inversores MOS

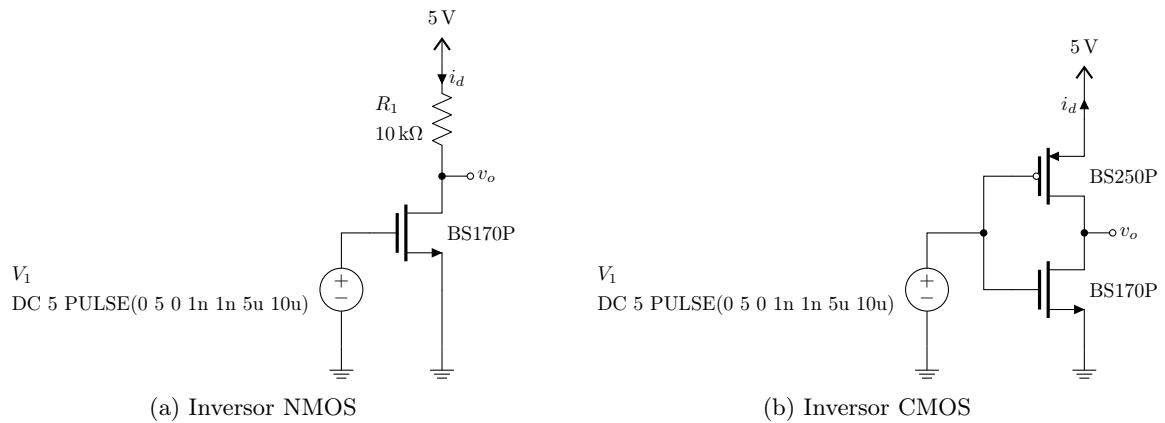


Figura 2: Inversores MOS

2.2.1 Inversor NMOS

1. Simule o circuito da Figura 2a.

- Faça a análise DC para a fonte V_1 variando-a de 0 a 5 V. Plote a tensão de saída v_o , a derivada da tensão de saída v_o e a corrente no dreno i_d .
- Faça a análise TRAN com TSTEP = 1n e TSTOP = 40u. Plote a tensão de entrada V_1 , a tensão de saída v_o e a corrente no dreno i_d .
- Repita 1b adicionando um capacitor de 100 pF à saída v_o .
- Repita 1b dobrando a frequência, i.e., altere V_1 para PULSE(0 5 0 1n 1n 2.5u 5u).
- Comente os resultados.

2.2.2 Inversor CMOS

1. Simule o circuito da Figura 2b.

- Faça a análise DC para a fonte V_1 variando-a de 0 a 5 V. Plote a tensão de saída v_o , a derivada da tensão de saída v_o e a corrente no dreno i_d .
- Faça a análise TRAN com TSTEP = 1n e TSTOP = 40u. Plote a tensão de entrada V_1 , a tensão de saída v_o e a corrente no dreno i_d .
- Repita 1b adicionando um capacitor de 100 pF à saída v_o .
- Repita 1b dobrando a frequência, i.e., altere V_1 para PULSE(0 5 0 1n 1n 2.5u 5u).
- Comente e compare os resultados em relação ao inversor NMOS.

2.3 Portas lógicas NMOS e CMOS

2.3.1 Portas lógicas NMOS

1. Simule o circuito da Figura 3a.

- Monte a tabela-verdade desta porta lógica. Qual é o nome canônico desta porta?
- Pela análise OP e/ou TRAN e o devido arranjo dos parâmetros {a} e {b} nas entradas V_a e V_b , comprove a lógica da tabela-verdade.

2. Repita 1 para o circuito da Figura 3b.

3. Repita 1 para o circuito da Figura 3c.

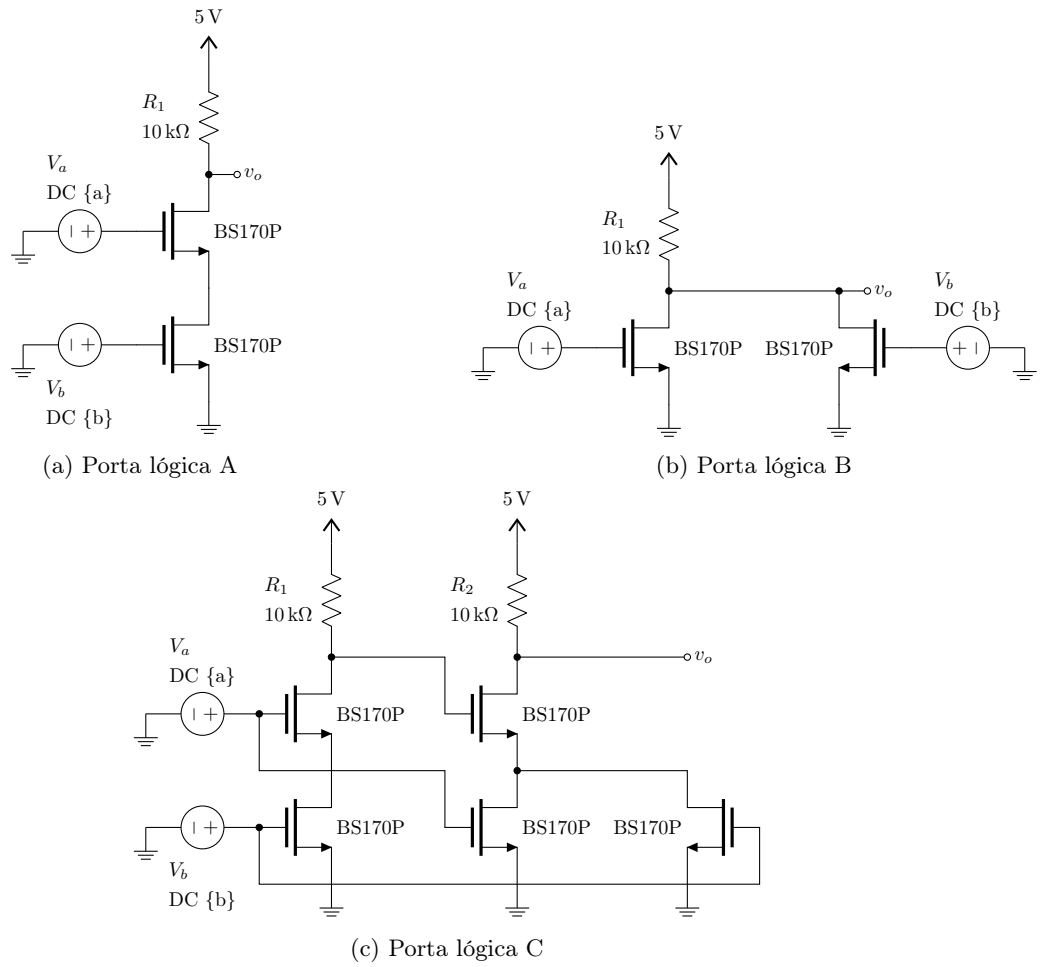


Figura 3: Portas lógicas NMOS

2.3.2 Portas lógicas CMOS

1. Faça um esboço¹ das portas lógicas das Figuras 3a, 3b e 3c com portas lógicas CMOS.

¹desenho esquemático.