



Departamento de Engenharia Elétrica e de Computação - EESC-USP

## **SEL-0415    Introdução à Organização de Computadores**

### **Aula de Exercícios 1a Prova :**

**Profa. Luiza Maria Romeiro Codá**

# Exercício 1:

---

Considerando um microprocessador de 16bits de linhas de endereço e 8 bits no duto de dados:

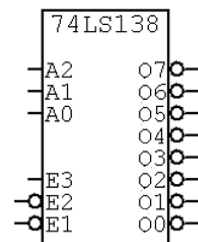
- 1.1 Faça o projeto da lógica de seleção para dividir o espaço de endereçamento desse microprocessador de 16bits de linhas de endereço e 8 bits no duto de dados, em blocos de 8Kbytes, utilizando o decodificador 74138;
- 1.2 Desenhe o mapa dos endereços especificando endereço inicial e final de cada bloco de saída do 74138;
- 1.3 Utilizando decodificadores 7442 ou 74154, desenhe o projeto da lógica de seleção que divide o espaço que contém o endereço E7BFH em espaços de 512x8 ;
- 1.4 Posicione no mapa de endereçamentos do microprocessador os dispositivos indicando faixa de endereços que ocupam (seguindo as regras corretas) para ligar duas memórias RAM uma de 4Kx8 e outra de 512x8, uma memória EEPROM de 8Kx8, e também reserve espaços para 1 dispositivo de ENTRADA que ocupe uma posição de memória e 1 dispositivo de SAÍDA que ocupe 2 posições de memória;
- 1.5 Complete a lógica de seleção para ligar as memórias e os dispositivos do item 1.4

# Exercício 1 (continuação)

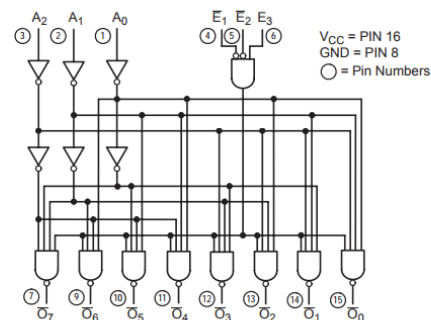
1.1 Faça o projeto da lógica de seleção para dividir o espaço de endereçamento desse microprocessador de 16bits de linhas de endebits de linhas de endereço e 8 bits de linhas de dados, em blocos de 8Kbytes, utilizando o decodificador 74138;

## Decodificador 74138

**Símbolo Lógico**



**Circuito Elétrico**



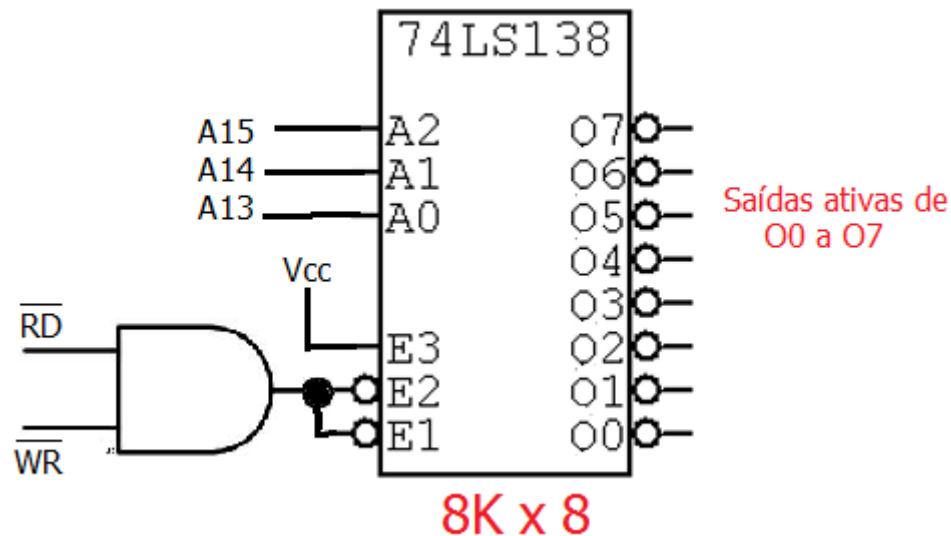
**Tabela verdade**

INPUTS						OUTPUTS							
E <sub>1</sub>	E <sub>2</sub>	E <sub>3</sub>	A <sub>0</sub>	A <sub>1</sub>	A <sub>2</sub>	O <sub>0</sub>	O <sub>1</sub>	O <sub>2</sub>	O <sub>3</sub>	O <sub>4</sub>	O <sub>5</sub>	O <sub>6</sub>	O <sub>7</sub>
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Don't Care

# Resolução Exercício 1:

## 1.1 Resposta( Continuação)



# Resolução Exercício 1:

**1. 2. Resposta:** Desenhe o mapa dos endereços especificando endereço inicial e final de cada bloco de saída do 74138.

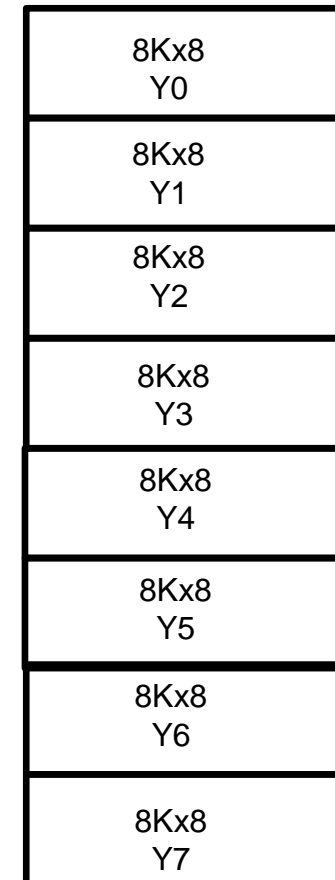
Saídas do 74138	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	ENDEREÇOS
O0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000H
	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFFH
O1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000H
	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFFH
O2	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000H
	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	5FFFH
O3	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	6000H
	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	7FFFH
O4	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	8000H
	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	9FFFH
O5	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	A000H
	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	BFFFH
O6	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C000H
	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	DFFFH
O7	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	E000H
	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFFH

# Resolução Exercício 1:

**1.2. Resposta (cont):** Desenhe o mapa dos endereços especificando endereço inicial e final de cada bloco de saída do 74138.

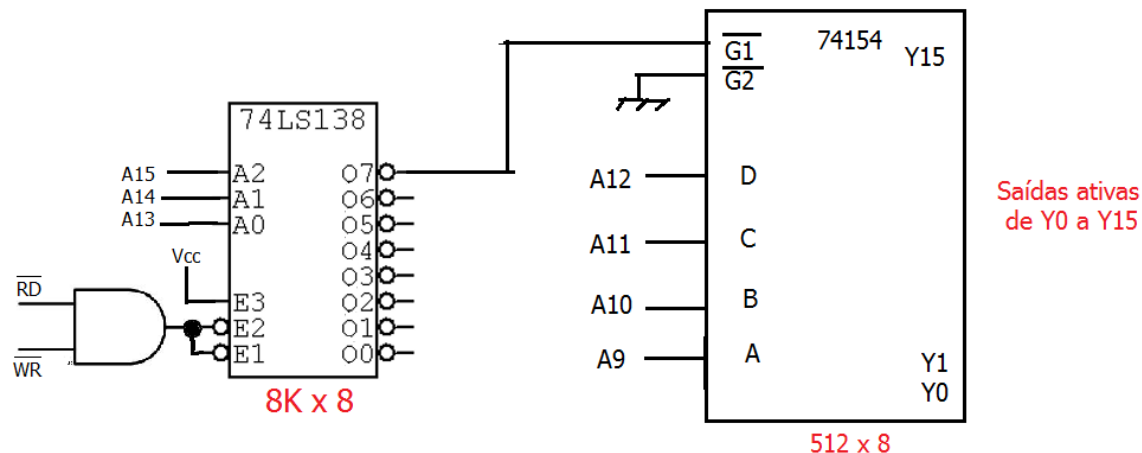
Saída do 74138	Faixa do endereços
O0	0000H a 1FFFFH
O1	2000H a 3FFFFH
O2	4000H a 5FFFFH
O3	6000H a 7FFFFH
O4	8000H a 9FFFFH
O5	A000H a BFFFFH
O6	C000H a DFFFFH
O7	E000H a FFFFFH

64K x 8



# Resolução Exercício 1:

**1.3. Resposta:** Para o microprocessador em questão, utilizando decodificadores 7442 ou 74154, desenhe o projeto da lógica de seleção que divide o espaço que contém o endereço E7BFH em espaços de 512x8 ;

[illegible]

# Resolução Exercício 1:

1.4. Posicione no mapa de endereçamentos do microprocessador os dispositivos indicando faixa de endereços que ocupam (seguindo as regras corretas) para ligar duas memórias RAM uma de 4Kx8 e outra de 512x8, uma memória EEPROM de 8Kx8, e também reserve espaços para 1 dispositivo de ENTRADA que ocupe uma posição de memória e 1 dispositivo de SAÍDA que ocupe 2 posições de memória;

Saídas do 74138	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	Endereços	Dispositivo
O0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000H	EEPROM 8K x8
	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFFH	
O1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000H	Vazio 8K x 8
	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFFH	
O2	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000H	RAM 4K x 8
	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	4FFFH	
	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	6000H	RAM 512x8 4K x 8
	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	7FFFH	
O4	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	8000H	
	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	9FFFH	
O5	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	A000H	
	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	BFFFH	
O6	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C000H	
	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	DFFFH	
O7	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	E000H	
	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFFH	

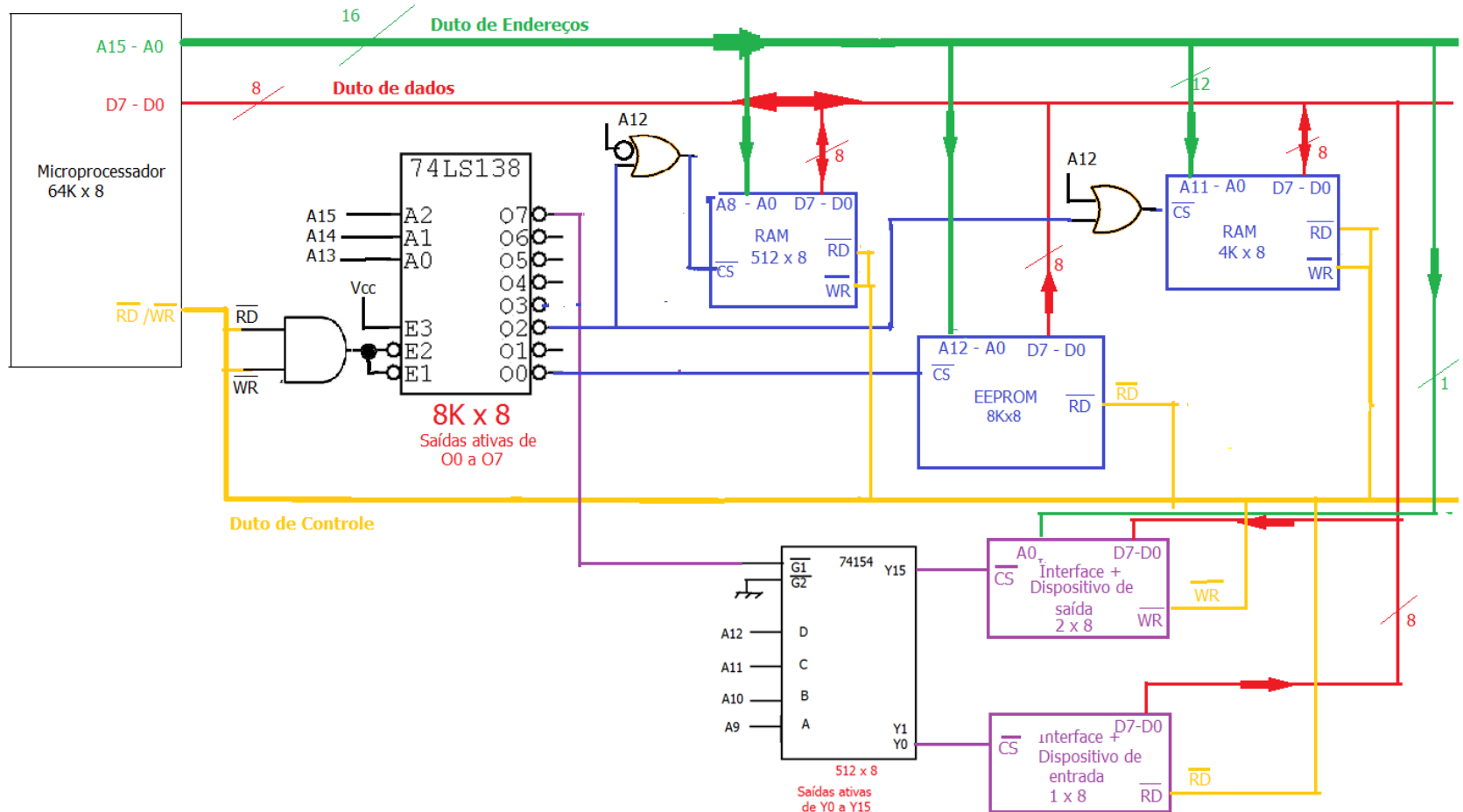
EEPROM 8Kx8 ( 00)
O1 (vazio)
RAM 4Kx8 ( 02, A12 =0)
RAM 512x8(02, A12 =1)
O3 (vazio)
O4 (vazio)
O5 (vazio)
O6(vazio)
O7 8Kx8

Dividido em 16 espaços de 512 x 8 pelo decodificador 74154: ligar os dispositivos de entrada e de saída em qq uma das 16 saídas



# Resolução Exercício 1:

1.5. Resposta: Complete a lógica de seleção para ligar as memórias e os dispositivos do item 1.4



# Resolução Exercício 1:

**1.5 e 1.6 Resposta (continuação):** Os dispositivos de I/O foram ligados nas saídas Y0 e Y15 do decodificador 74154 e ocupam a faixa de endereçamento :

- A interface de entrada( dispositivo de entrada) de 1x8 é selecionada por uma faixa de de endereços de E000H a E1FFH, ou seja, 512 endereços, como a interface ocupa apenas um endereço dos 512, então 511 são espaços fantasmas (ou espelhos). Portanto, a interface pode ocupar o endereço E000H e do endereço E001h a E1FFh são espaços fantasmas;
- A interface de saída( dispositivo de saída) de 2x8 é selecionada por uma faixa de de endereços de FE00H a FFFFH, ou seja, 512 endereços, portanto são gerados 256 faixas de 2 endereços. São gerados 255 faixas fantasmas(ou espelhos) de 2 endereços. Portanto, a interface pode ocupar os endereços FE00H e FE01H e de FE02H a FFFFH são fantasmas

Saídas do 74154	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	ENDEREÇOS
Y0 Interface de entrada (1x8)	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	E000H
	1	1	1	0	0	0	0	1	1	1	1	1	1	1	1	1	E1FFH
Y15 Interface de saída( 2x8)	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0		FE00H
	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1		FFFFH

# Resolução Exercício 1:

## 1.5 e 1.6. Resposta (continuação):

- Na seleção da memória EEPROM não são gerados espaços fantasmas, pois a saída O0 do decodificador 74138 gera um espaço de endereçamento (8Kx8) que é igual ao tamanho da memória(8Kx8);
- O espaço de endereçamento que ativa a saída O2 seleciona as memórias RAM de 4Kx8 e a RAM de 512x8. Para ser possível, no circuito da lógica de seleção foi introduzida a linha de endereço A12( a qual não entra no decodificador, mas deveria constar para gerar faixas de 4Kx8). A12 é introduzida através de portas OR, para gerar espaços de 4Kx8, onde A12 = 0 seleciona a RAM de 4Kx8 e A12=1 seleciona o espaço onde foi posicionada a RAM de 512x8. Desta forma, no endereçamento da memória RAM de 4Kx8 não são gerados espaços fantasmas.
- Na faixa que endereça a RAM de 512x8 são gerados espaços fantasmas, pois o espaço em que ela é selecionada é de 4K x 8, então nesse espaço cabem 8 dispositivos de 512x8 , como apenas 1 é utilizado, são gerados 7 espaços fantasmas de 512x8 . Portanto, se a memória de 512x8 (bloco de tamanho 01FFH) ocupar a faixa de 5000H a 51FFH a faixa de 5200h a 5FFFH é faixa fantasma.

Saídas do 74138	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	ENDEREÇOS
O2 (A12= 0) RAM 4Kx8	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000H
	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	4FFFH
O2 (A12 = 1) RAM 512x8	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	5000H
	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	5FFFH
Bloco de 512 x 8								1	1	1	1	1	1	1	1	1	01FFH

## Exercício 2:

---

- 2.1 Determine a capacidade de endereçamento de um microprocessador de 17 bits de linhas de endereço e 8 bits de linhas de dados. Indique o endereço inicial e final para esse mapeamento.
- 2.2 Faça o projeto da lógica de seleção para dividir o espaço de endereçamento do microprocessador do item 2.1 em blocos de 8Kbytes.
- 2.3 Complete a lógica de Seleção do item 2.1 ligando uma EEPROM de 16Kx8, outra EEPROM de 8Kx8 e 2 RAMs de 8Kx8 e outra RAM de 4Kx8. Apresente o mapa de endereços com as memórias posicionadas e a faixa de endereços que as selecionam.

## Resolução Exercício 2:

---

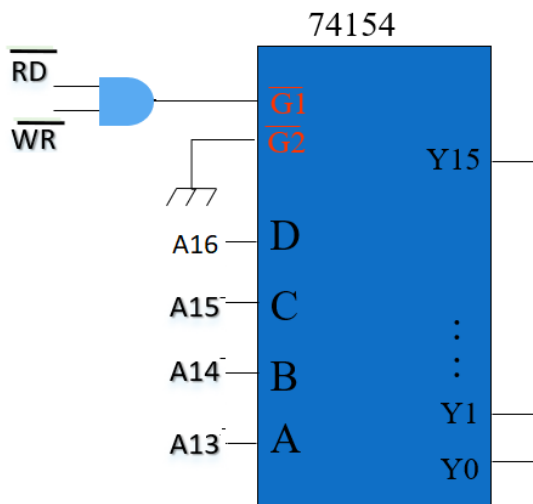
2.1 Determine a capacidade de endereçamento de um microprocessador de 17 bits de linhas de endereço e 8 bits de linhas de dados. Indique o endereço inicial e final para esse mapeamento.

Resposta : Capacidade de endereçamento do microprocessador:  $2^{17} \times 8 = 128 \text{ K} \times 8$   
Endereço Inicial : 00000H e  
Endereço final: 1FFFFH

## Resolução Exercício 2:

2.2 Faça o projeto da lógica de seleção para dividir o espaço de endereçamento do microprocessador do item 2.1 em blocos de 8Kbytes

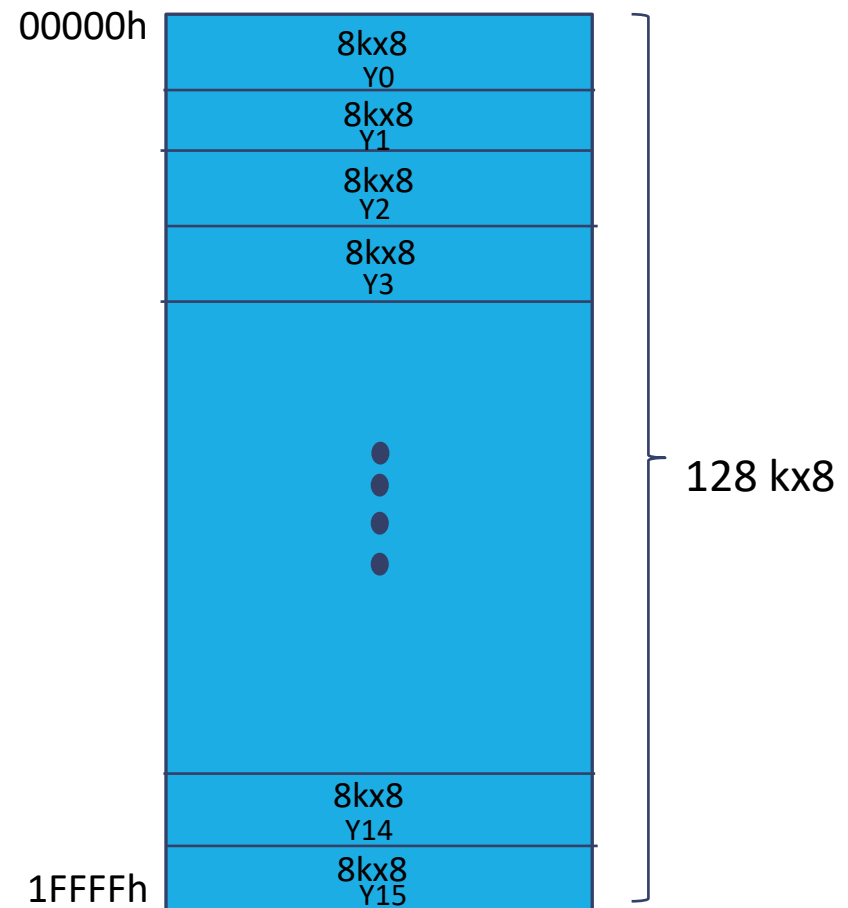
Resposta:



Divisão : 8kx8

(01FFFh)

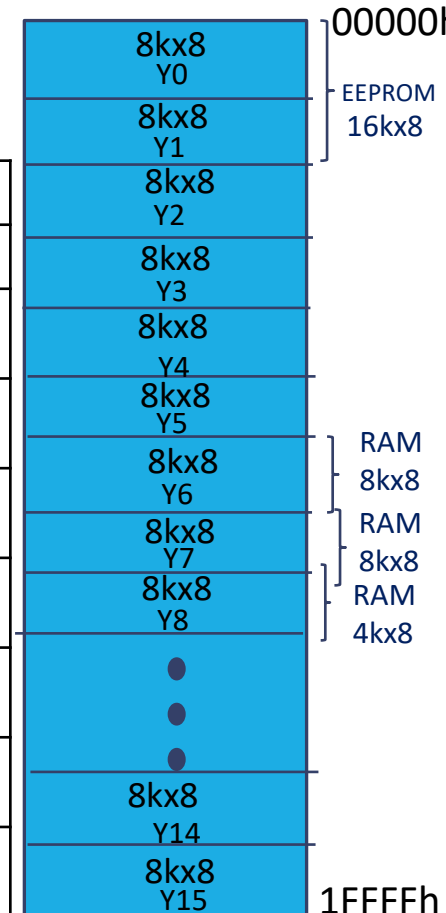
## Saídas válidas de Y0 a Y15



## Resolução Exercício 2:

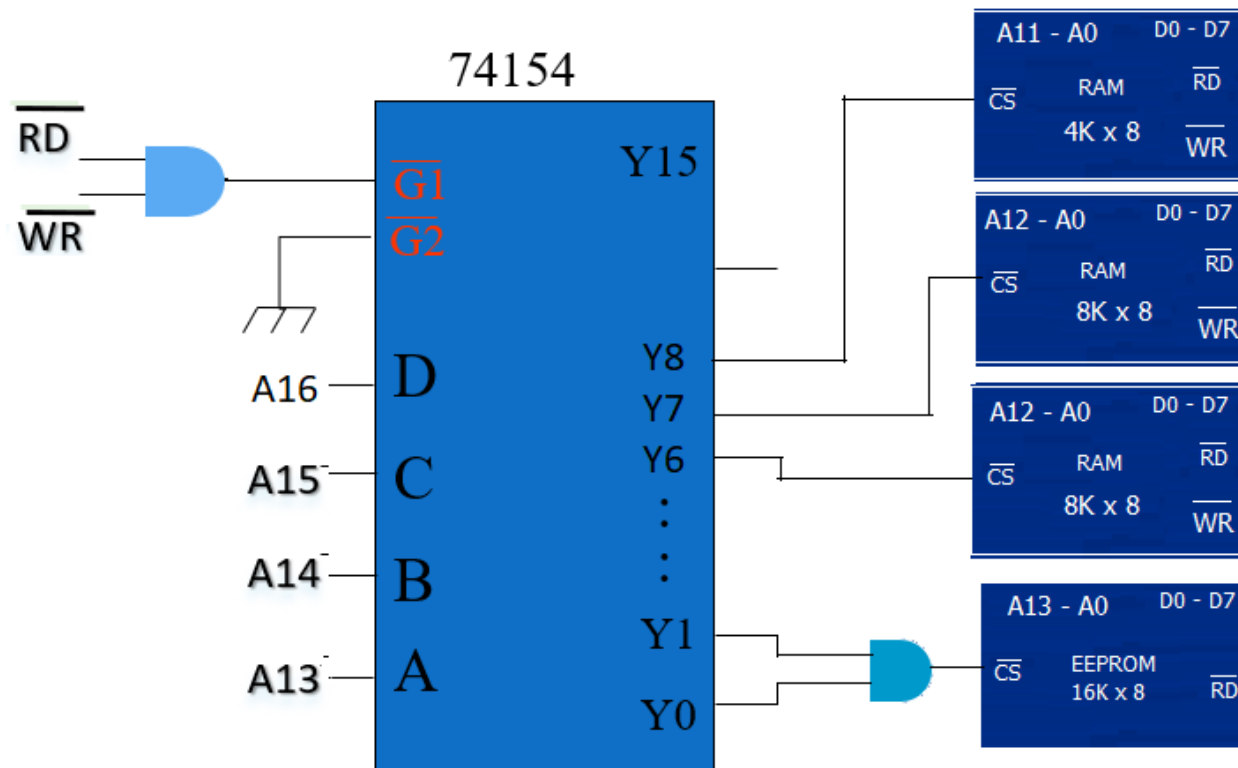
2.3 Complete a lógica de Seleção do item 2.1 ligando uma EEPROM de 16Kx8, outra EEPROM de 8Kx8 e 2 RAMs de 8Kx8 e outra RAM de 4Kx8. Apresente o mapa de endereços com as memórias posicionadas e a faixa de endereços que as selecionam.

Saídas do 74154	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	Endereços
Y0 e Y1 EEPROM (16Kx8)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	00000H
	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	03FFFFH
Y6 RAM (8K x 8)	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0		0C000H
	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1		0DFFFFH
Y7 RAM (8K x 8)	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0		0E000H
	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1		0FFFFH
Y8 RAM (4K x 8)	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		10000H
	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1		11FFFFH



# Resolução Exercício 2:

## 2.3 Resposta: Circuito da Lógica de seleção





# Exercício 3:

Considerando um microprocessador com 16 bits de duto de endereços e 8 bits de duto de dados, responda :

- 3.1 Qual a capacidade de endereçamento do microprocessador? No desenho, complete o número de linhas nos dutos do microprocessador.
- 3.2 Quais as saídas do decodificador I que podem ser ativadas pelas linhas de endereços enviadas pelo microprocessador?
- 3.3 Qual o tamanho do bloco de endereçamento das saídas do decodificador I?
- 3.4 Complete a lógica de seleção, de maneira correta, ligando em um dos espaços uma memória EEPROM de 16K x 8 de maneira a não gerar espaços fantasmas. Porém, os chips disponíveis são de 16K x 4. Indique qual a saída e de qual decodificador (I ou II) a EEPROM será ligada. Podem ser usadas portas lógicas básicas (AND, OR, etc)  
Obs: Desenhe a representação da EEPROM na Figura 1 indicando todas os sinais de controle do chip de memória, endereços e duto de dados;
- 3.5 Qual é a faixa de endereços em hexadecimal que seleciona a memória EEPROM?
- 3.6 Complete a Figura 1 com a linha de endereço que deve ser ligada à entrada da porta OR de tal maneira que a organização a ser ligada nesta saída /CS1 seja a metade do valor da faixa das saídas do decodificador I Qual o tamanho da organização de memória que pode ser ligada à saída /CS1?
- 3.7 Qual a saída e qual a faixa de endereços que selecionam a memória RAM, sabendo-se que ela está ligada na saída do decodificador que contém o endereço 6DAFh. Quantas faixas fantasmas são geradas?
- 3.8 Qual a saída do decodificador I que seleciona o decodificador II sabendo-se que este espaço contém o endereço E00Ch.
- 3.9 Complete o desenho da Figura 1 com os nomes das linhas de endereços que devem ser ligadas às entradas do decodificador II para que este divida o espaço de endereçamento como indicado no decodificador II.
- 3.10 Qual a faixa de endereços da saída /CS2

## Exercício 3 (continuação):

Circuito:

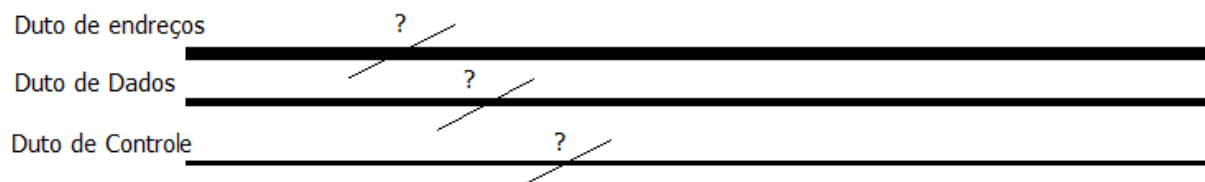
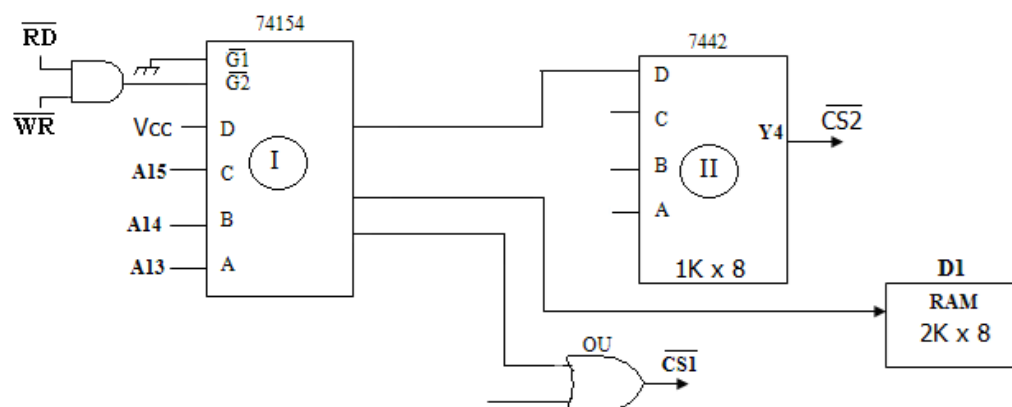
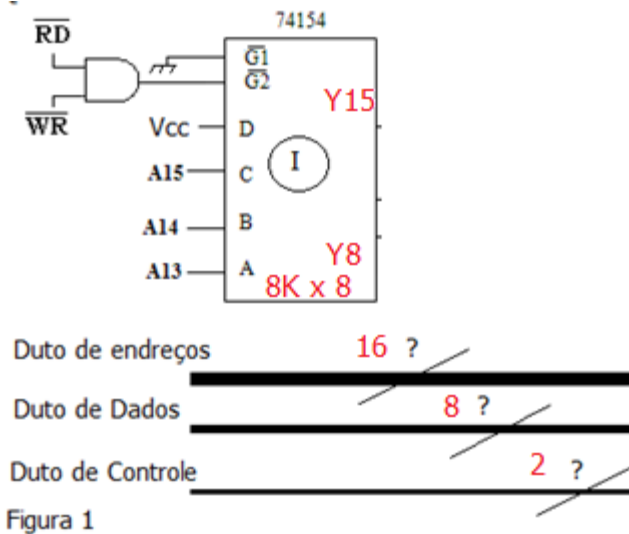


Figura 1

## Resolução Exercício 3:

3.1 Qual a capacidade de endereçamento do microprocessador? No desenho, complete o número de linhas nos dutos do microprocessador.

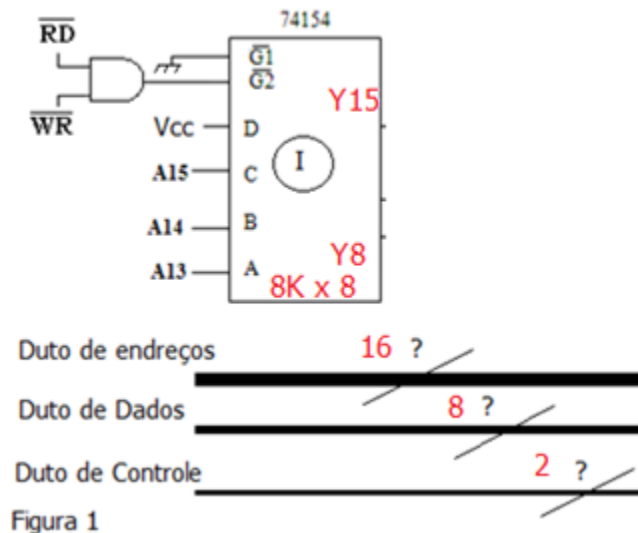
Resposta: 64K x 8



## Resolução Exercício 3:

3.2 Quais as saídas do decodificador I que podem ser ativadas pelas linhas de endereços enviadas pelo microprocessador?

Resposta: saídas que podem ser ativas do decodificador são de Y8 a Y15



Entradas do decodificador				Saídas
D = '1'	C= A15	B= A14	A= A13	
1	0	0	0	Y8
1	0	0	1	Y9
1	0	1	0	Y10
1	0	1	1	Y11
1	1	0	0	Y12
1	1	0	1	Y13
1	1	1	0	Y14
1	1	1	1	Y15

# Resolução Exercício 3:

3.3 Qual o tamanho do bloco de endereçamento das saídas do decodificador I?

Resposta: **8K x 8 ou 1FFFh**

1a Questão

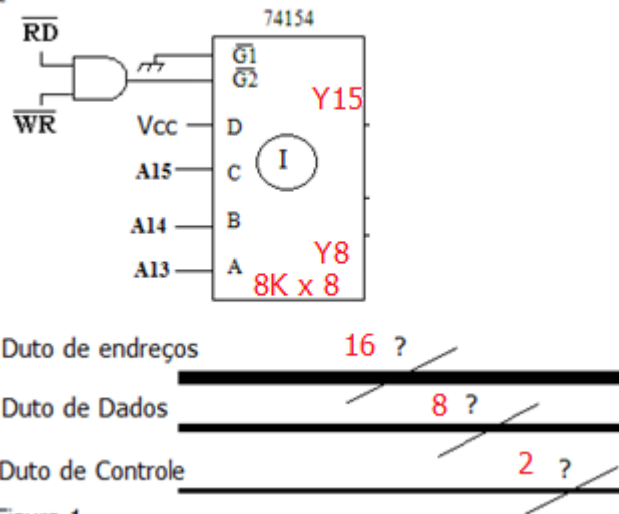


Figura 1

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	faixa	saída
			1	1	1	1	1	1	1	1	1	1	1	1	1	1FFFh	8K x 8

## Resolução Exercício 3:

3.4 Complete a lógica de seleção, de maneira correta, ligando em um dos espaços uma memória EEPROM de 16K x 8. Porém, os chips disponíveis são de 16K x 4. Indique qual a saída e de qual decodificador (I ou II) a EEPROM será ligada. Podem ser usadas portas lógicas básicas (AND, OR, etc)

Obs: Desenhe a representação da EEPROM na Figura 1 indicando todas os sinais de controle do chip de memória, endereços e duto de dados;

Resposta: A EEPROM deve ser ligada nos endereços iniciais da faixa de endereçamento do microprocessador, pois ao ligar a alimentação o conteúdo do PC (registrador que contém o endereço da instrução que será executada) é carregado com o valor do 1º endereço da faixa de endereçamentos do microprocessador. Ou seja, vai buscar a 1ª instrução do programa neste endereço. Como a EEPROM deve ser de 16Kx8 e a faixa do decodificador é de 8K x 8, portanto deve-se utilizar 2 faixas do decodificador para somar 16Kx8, utilizando uma porta AND. E, como só tem-se chips de memória de 16Kx4 deve-se ligar 2 chips para poder preencher os 8 bits do duto de dados do microprocessador

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	faixa	saída
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0000h	EEPROM Y8 e Y9
0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	3FFFh	

# Resolução Exercício 3:

## 3.4 (continuação):

Resposta: Cada EEPROM de 16K x 8 contribui para 4 bits do duto de dados, completando assim o duto de 8bits

1a. Questão

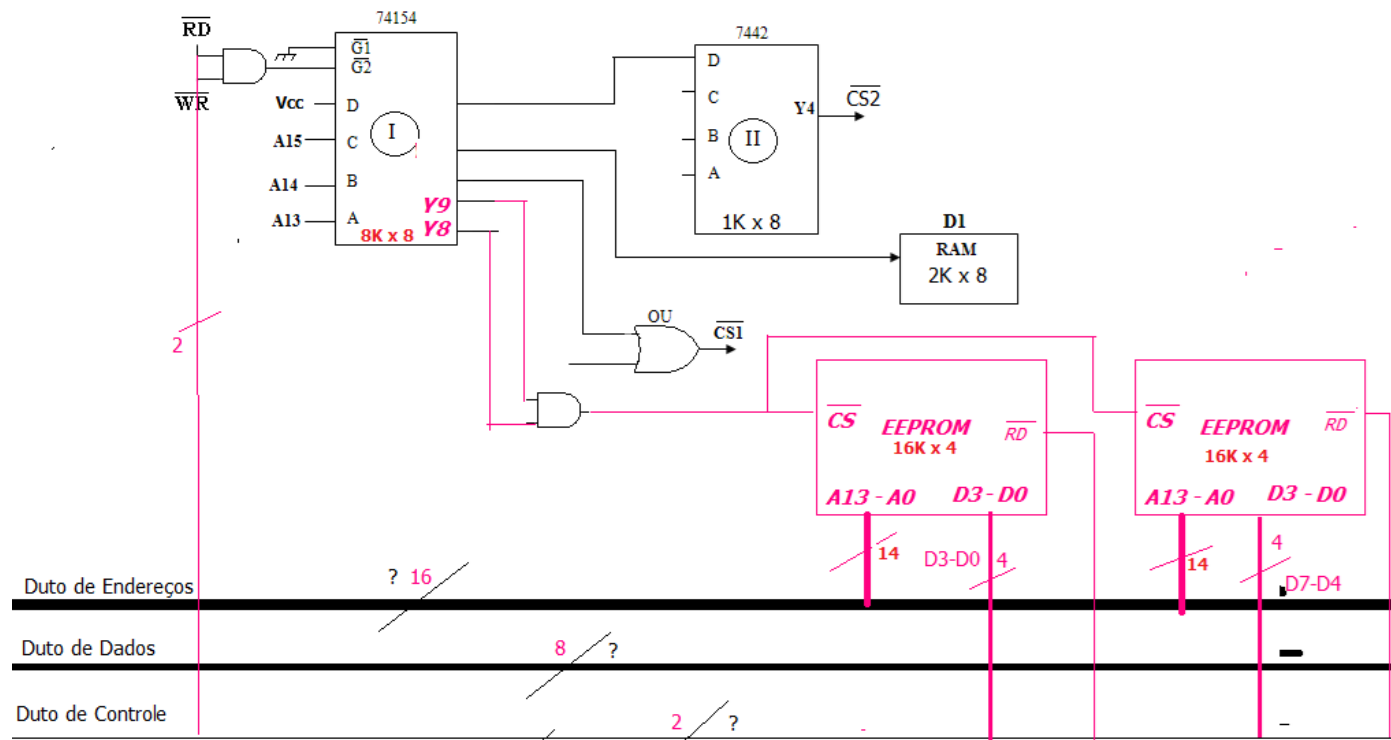


Figura 1

## Resolução Exercício 3:

---

3.5 Qual é a faixa de endereços em hexadecimal que seleciona a memória EEPROM?

Resposta: Saídas Y8 e Y9 do decodificador que compreende a faixa de 0000h a 3FFFh

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	faixa	saída
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0000h	EEPROM Y8 e Y9
0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	3FFFh	



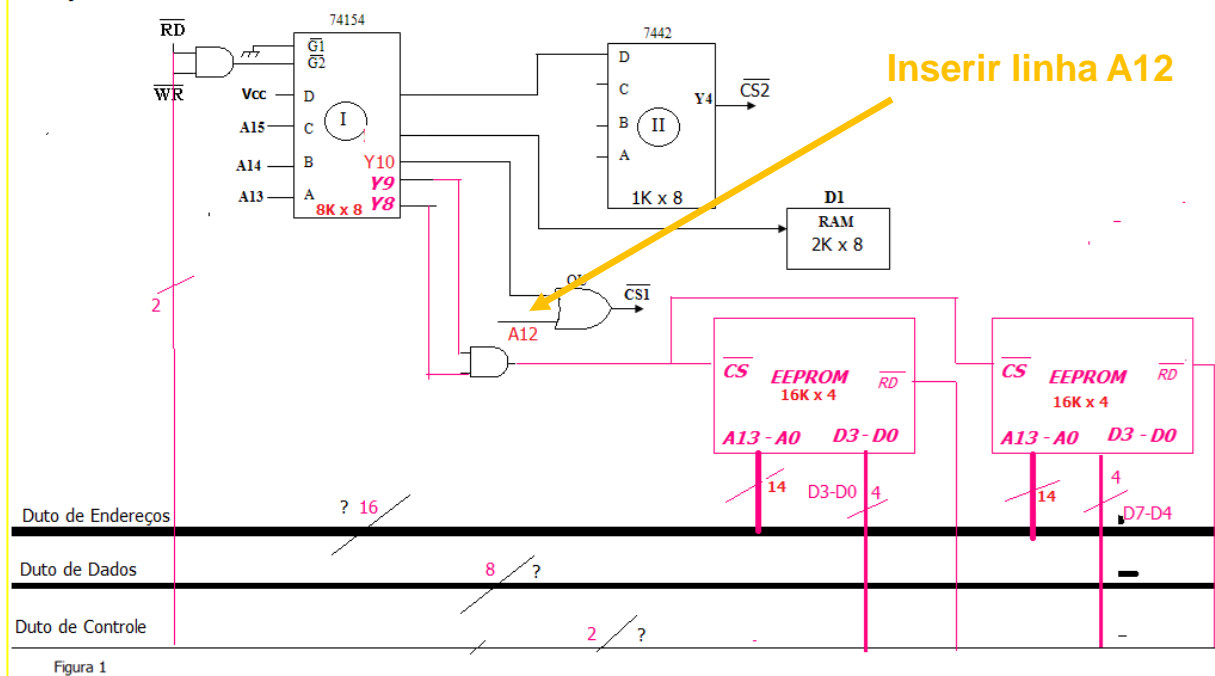
# Resolução Exercício 3:

3.6 Qual o tamanho da organização de memória que pode ser ligada à saída /CS1 sem que sejam gerados espaços fantasmas. Indique na figura 1 os valores da entrada da porta OR.

Resposta: A organização de memória que deve ser ligada à /CS1 tem Bits de seleção de A12 a A15, e bits de endereçamento de A0 a A11, portanto tem tamanho de 4Kx8 ou 0FFFh

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	faixa	Saídas
				1	1	1	1	1	1	1	1	1	1	1	1	0FFFh	4K x 8 ou /CS1

1a. Questão



## Resolução Exercício 3:

3.7 Qual a saída e qual a faixa de endereços que selecionam a memória RAM, sabendo-se que ela está ligada na saída do decodificador que contém o endereço 6DAFh. Quantas faixas fantasmas são geradas?

Resposta: A saída que contém o endereço 6DAFh é a saída Y11 cuja faixa é de 6000h a 7FFFh que é a faixa que seleciona a RAM

A RAM tem tamanho 0FFFh, ou seja, de 4Kx8, e como é selecionada por uma faixa de 8Kx8, desta forma, um bloco de 4Kx8 seleciona a RAM e um bloco de 4Kx8 é espelho(ou fantasma), gerando portanto um bloco espelho de 4Kx8

3.8 Qual a saída do decodificador I que seleciona o decodificador II sabendo-se que este espaço contém o endereço E00Ch.

Resposta: A Saída E00Ch está inserida na faixa da saída Y15 do decodificador I

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	faixa	Saídas
0	1	1	0	1	1	0	1	1	0	1	0	1	1	1	1	6DAFh	Y11
0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	6000h	Faixa da RAM
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	7FFFh	
					1	1	1	1	1	1	1	1	1	1	1	0FFFh	
1	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0	E00Ch	Y15

## Resolução Exercício 3:

3.9 Complete o desenho da Figura 1 com os nomes das linhas de endereços que devem ser ligadas às entradas do decodificador II para que este divida o espaço de endereçamento em 1Kx8.

Resposta:  $1K \times 8 = 2^{10} \times 8$  ou seja, 10 linhas de endereços tem esse bloco, de A0 a A9 e o restante de A10 a A15 devem ser bits de seleção. Portanto, as entradas do decodificador II deve conter as linhas de endereços de A10 a A12 que não constam nas entradas do decodificador I

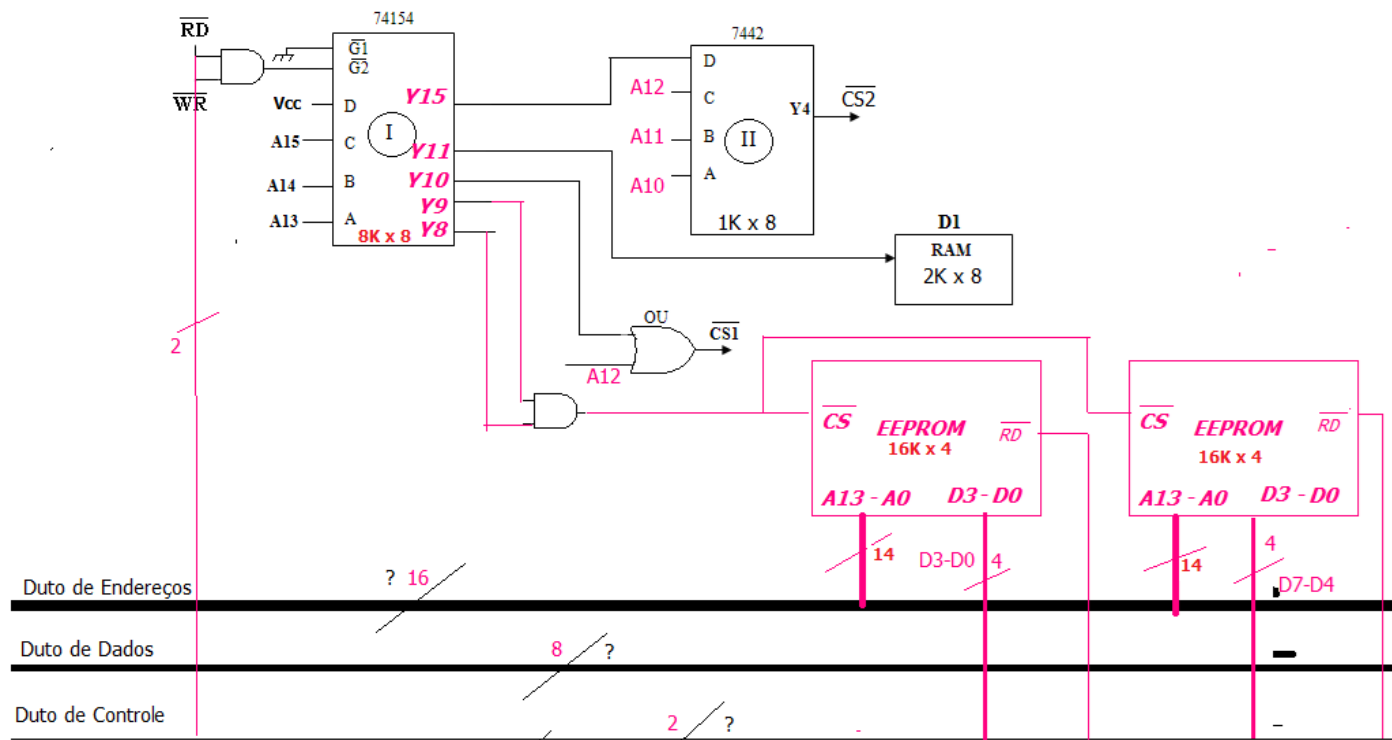
3..10 Qual a faixa de endereços das saída /CS2

Resposta: a saída de /CS2 é a saída Y4 como mostra o desenho. E a faixa que seleciona /CS2 é de F000h a F3FFh

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	faixa	Saídas
						1	1	1	1	1	1	1	1	1	1	03FFh	/CS2 (Y4)
1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	F000h	Faixa de /CS2 (Y4)
1	1	1	1	0	0	1	1	1	1	1	1	1	1	1	1	F3FFh	

# Resolução Exercício 3:

## Circuito final:



# Exercício 4:

Para o mesmo microprocessador do Exercício 3, considere os CIs CI 74375 e o CI 74244 (Figura 2). Escolha um dos CIs para interfacear um dispositivo que consiste em um conjunto de **2 leds**. Os leds devem receber informações dos bits **D2 e D4** do duto de dados do microprocessador. Pede-se:

**4.1** Para esta interface escolha uma das saídas do circuito de seleção do Exercício 3, para ser usada como seleção. Determine a faixa de endereços.

**Resposta:** Escolhe-se a saída /CS2 do decodificador II que seleciona uma faixa de 1Kx8, mas o dispositivo de saída que corresponde a 2 LEDs ocupa apenas uma posição, portanto 1023 espaços de 1x8 são espaços fantasmas. Faixa de /CS2 é de F000h a F3FFh, como mostrado no exercício 3 item 3.10

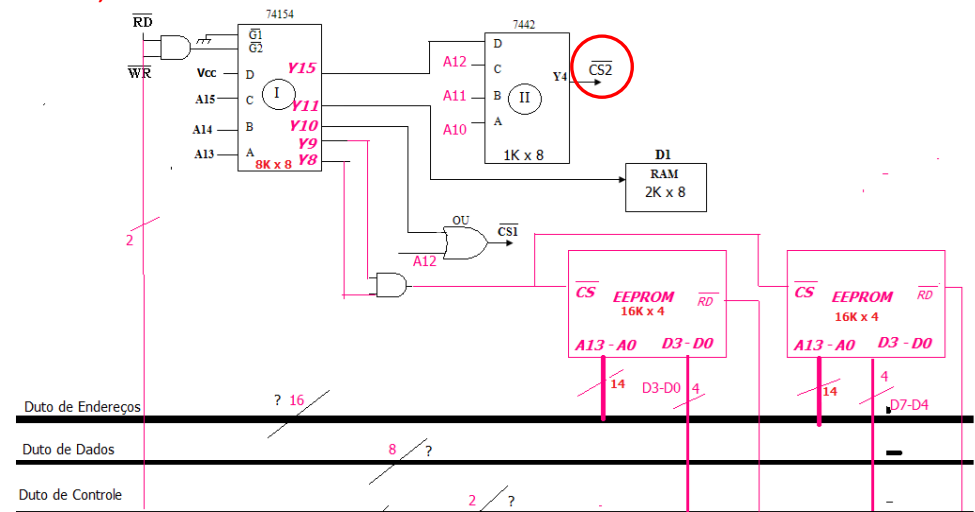
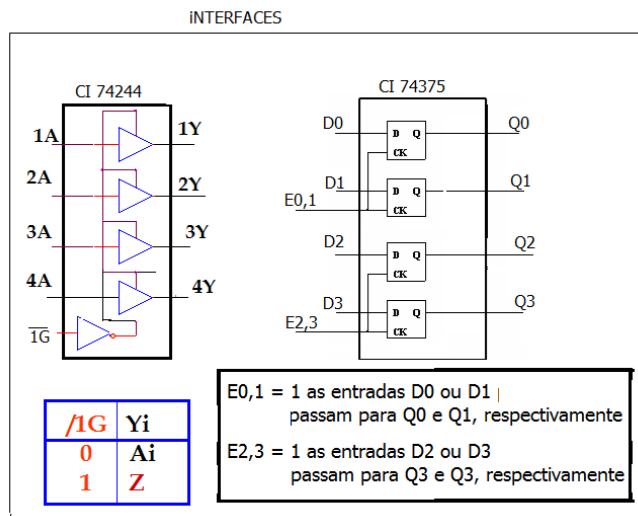


Figura 2

# Resolução Exercício 4:

Para o mesmo microprocessador do Exercício 3, considere os CIs CI 74375 e o CI 74244 (Figura 2). Escolha um dos CIs para interfacear um dispositivo que consiste em um conjunto de 2 leds. Os leds devem receber informações dos bits D2 e D4 do duto de dados do microprocessador. Pede-se:

**4.2** Completar a lógica de controle da interface, usando o sinal de seleção além dos sinais de controle de leitura / gravação;

Resposta: A interface escolhida deve conter registradores, por ser dispositivo de saída (LEDs), portanto utiliza-se o CI 74375. Para que as entradas do duto de dados passem para os LEDs a Entrada  $E_{0,1}$  da interface 74375 deve estar em 1. Então., quando o microprocessador enviar um sinal de escrita ( $WR=0$ ) e selecionar esse dispositivo, ou seja,  $CS2 = 0$ , a entrada  $E_{0,1}$  deve ser = '1', para isso liga-se uma porta NOR com as entradas  $/CS2$  e  $/WR$  e a saída gera o sinal  $E_{0,1}$

**4.3** interligar a interface ao duto de dados do microprocessador e aos seus respectivos dispositivos de entrada (ou saída) utilizando a saída de seleção escolhida no circuito de seleção do exercício 3. **Obs: Pode utilizar pode lógicas básicas AND ou OR, se necessário.**

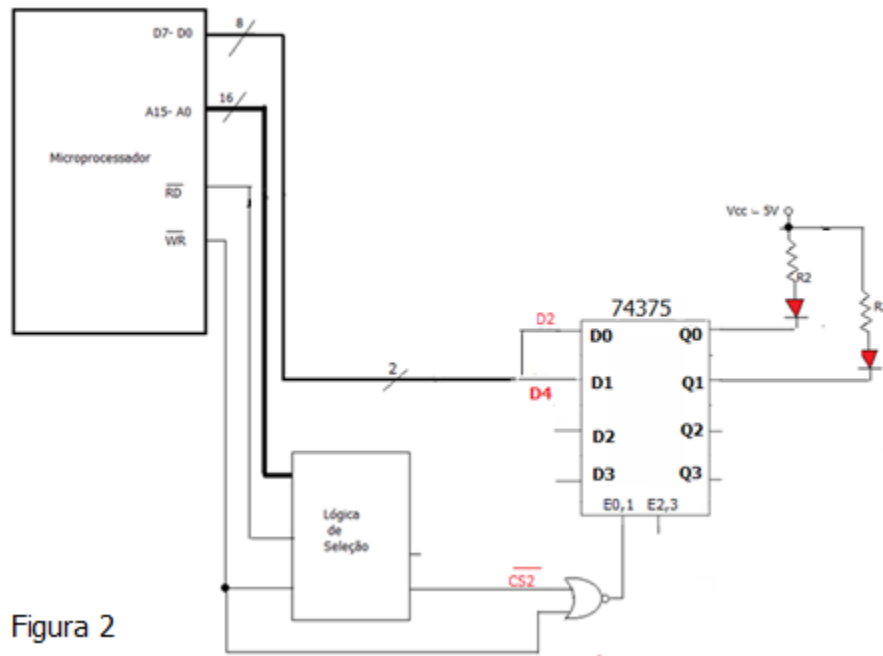
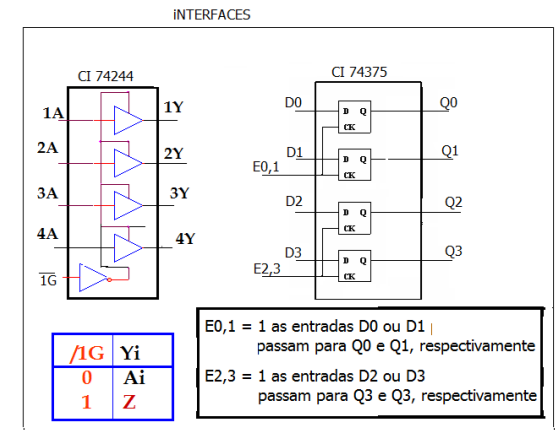


Figura 2



# Resolução Exercício 4:

Para o mesmo microprocessador da questão 1, considere os circuitos CI 74375 e o CI 74244 (Figura 2). Escolha um dos CIs para interfacear **um dispositivo** que consiste em um conjunto de **2 chaves on/off**. As chaves devem enviar informações aos bits **D2 e D4** do duto de dados do microprocessador. Pede-se:

**4.1** Para essa interface escolha uma das saídas do circuito de seleção da questão 1, para ser usada como seleção. Determine a faixa de endereços em hexadecimal.

**4.2** Completar a lógica de controle da interface, usando o sinal de seleção além dos sinais de controle de leitura / gravação;

Resposta: Como o dispositivo é de entrada (2 chaves on/off) a interface deve ser um circuito tri-state, portanto escolhe-se o CI 74244. Controlando a entrada  $/1G$  pode-se ligar os valores das chaves ao duto de dados do microprocessador. Qdo o dispositivo for selecionado pelo microprocessador o sinal  $/CS2$  será '0' e o sinal de leitura  $/RD$  também será '0', portanto liga-se à entrada  $/G1$  do CI a saída de uma porta OR com as entradas  $/CS2$  e  $/RD$ . Qdo ambas forem '0'  $/G1$  será 1 e passarão os sinais das chaves para os bits do duto do microprocessador.

**4.3** interligar a interface ao duto de dados do microprocessador e aos seus respectivos dispositivos de entrada (ou saída) e também ao sinal de seleção escolhido no circuito de seleção do exercício 3. .

**Obs:** Pode utilizar lógicas básicas AND ou OR, se necessário.

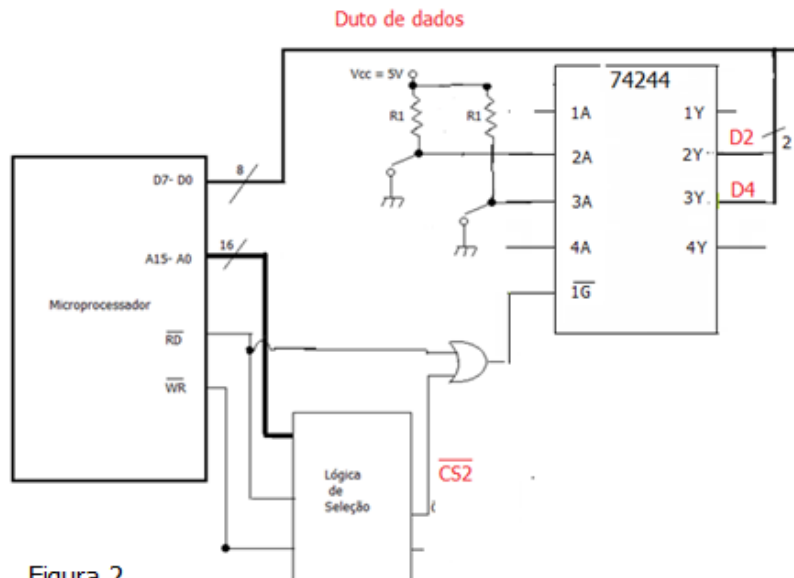
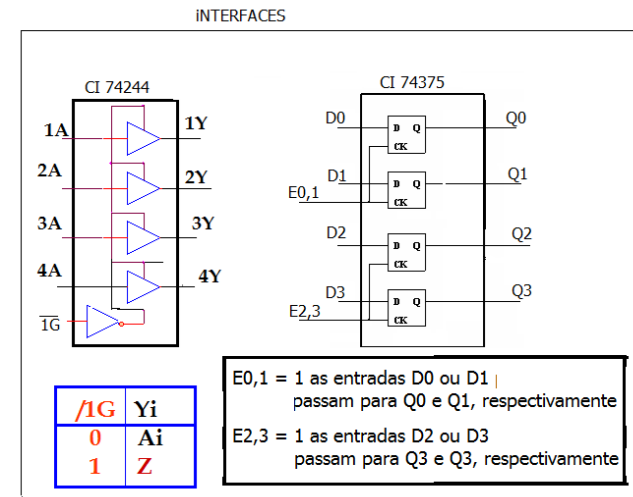


Figura 2



## Exercício 5:

---

5.1 Faça o projeto da lógica de seleção para dividir o espaço de endereçamento de um microprocessador de 16 linhas de endereços e 8 linhas de dados, em blocos de 4K bytes, especificando endereço inicial e final de cada bloco.

5.2 Divida o bloco que inicia no endereço 4000H, em blocos de 1Kbytes;

5.3 Divida o bloco que contém o endereço A7E0H em blocos de 512 bytes;

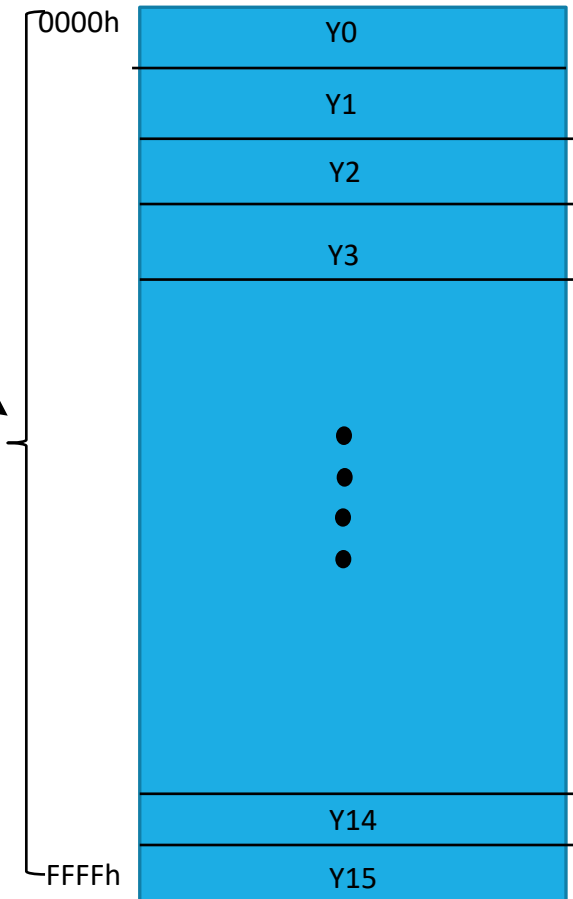
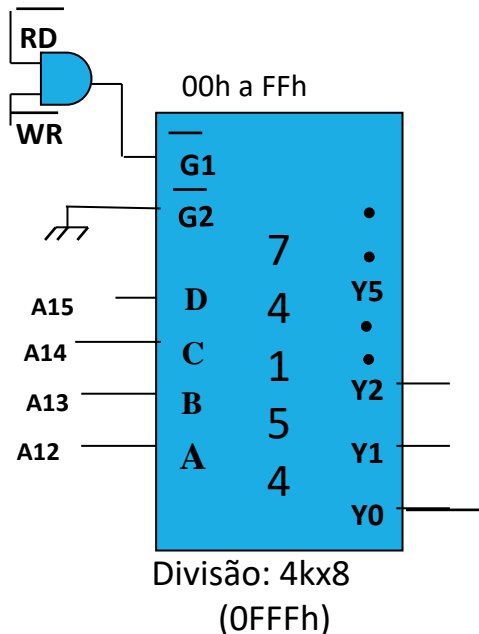
5.4 Ligue duas memórias EEPROM uma de 4kx8 e outra de 8k x8



# Resolução Exercício 5:

5.1 Microprocessador de 16 linhas de endereços e 8 linhas de dados:

tem espaço de mapeamento de  $2^6 \times 2^{10} = 64 \text{ K} \times 8$ ,  
Dividir em blocos de 4K bytes: tem-se 16 blocos de  
4Kx8 (0FFF). Utiliza-se o decodificador 74154 que é de  
4 x 16



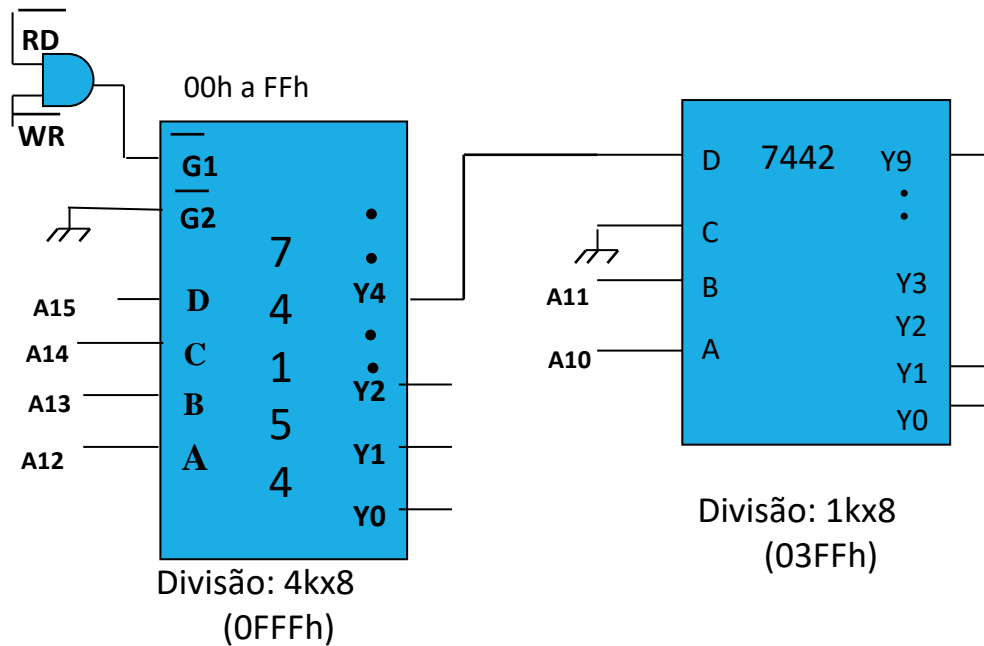
# Resolução Exercício 5:

## 5.1 endereço inicial e final de cada saída do decodificador

Saídas do 74138	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	ENDEREÇOS
Y0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000H
	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0FFFH
Y1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1000H
	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFFH
Y2	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2000H
	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	2FFFH
Y3	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	3000H
	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFFH
Y4	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4000H
	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	4FFFH
Y5	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	5000H
	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	5FFFH
Y6	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	6000H
	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	6FFFH
Y7	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	7000H
	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	7FFFH
Y8	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	8000H
	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	8FFFH
Y9	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	9000H
	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	9FFFH
Y10	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	A000H
	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	AFFFH
Y11	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	B000H
	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	BFFFH
Y12	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C000H
	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	CFFFH
Y13	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	D000H
	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	DFFFH
Y14	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	E000H
	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	EFFFH
Y15	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	F000H
	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFFH

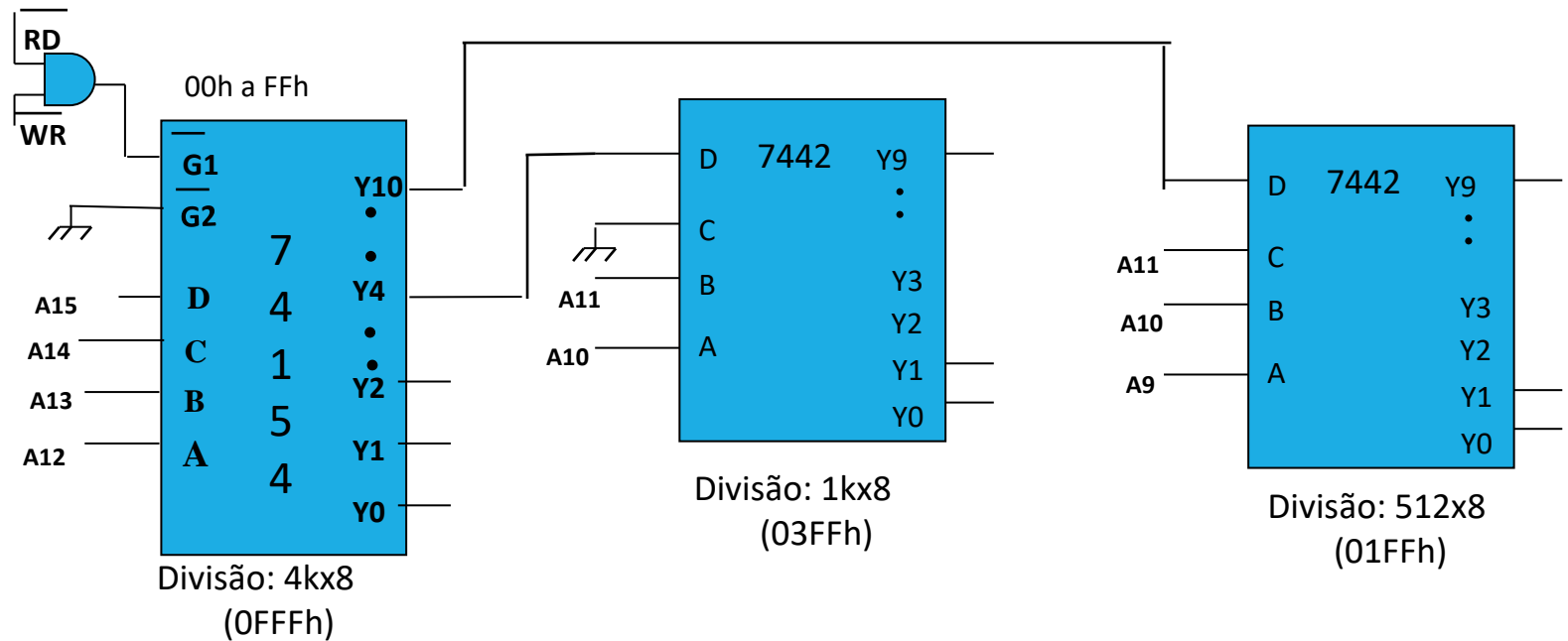
# Resolução Exercício 5:

5.2 Divida o bloco que inicia no endereço 4000H, em blocos de 1Kbytes;



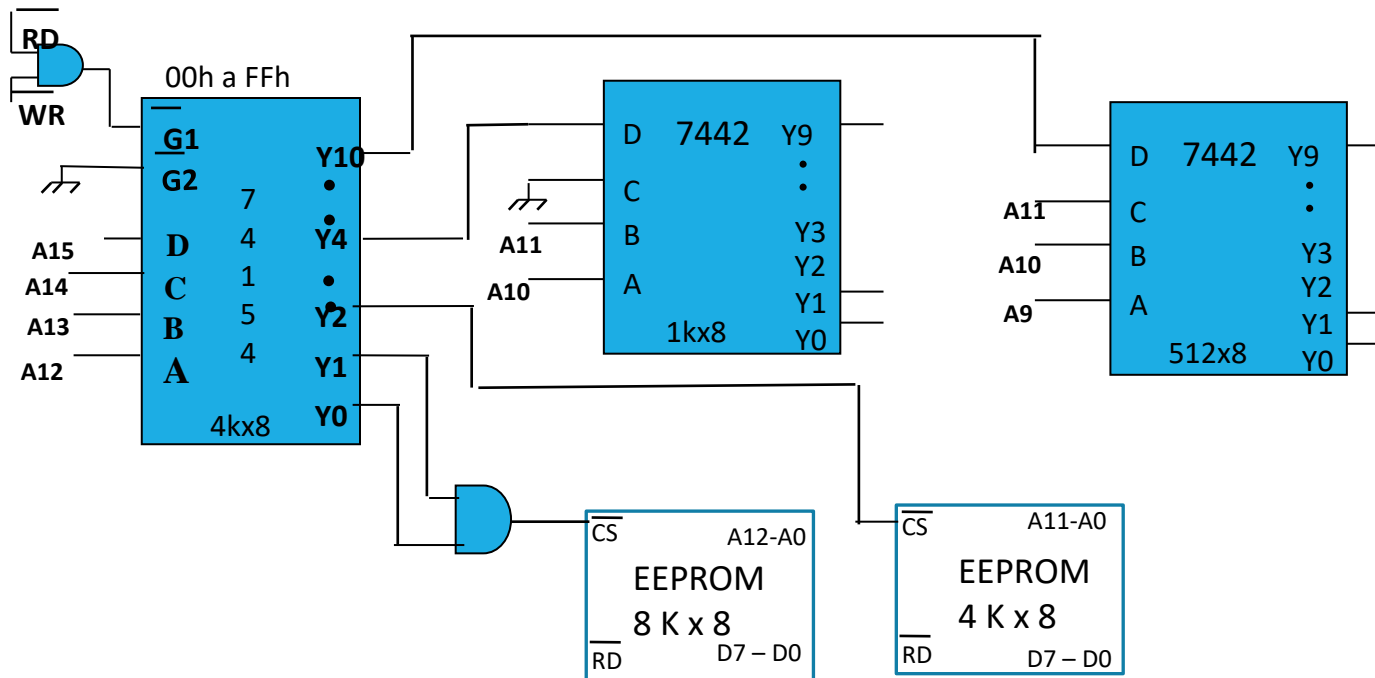
# Resolução Exercício 5:

5.3 Divida o bloco que contém o endereço A7E0H em blocos de 512 bytes.



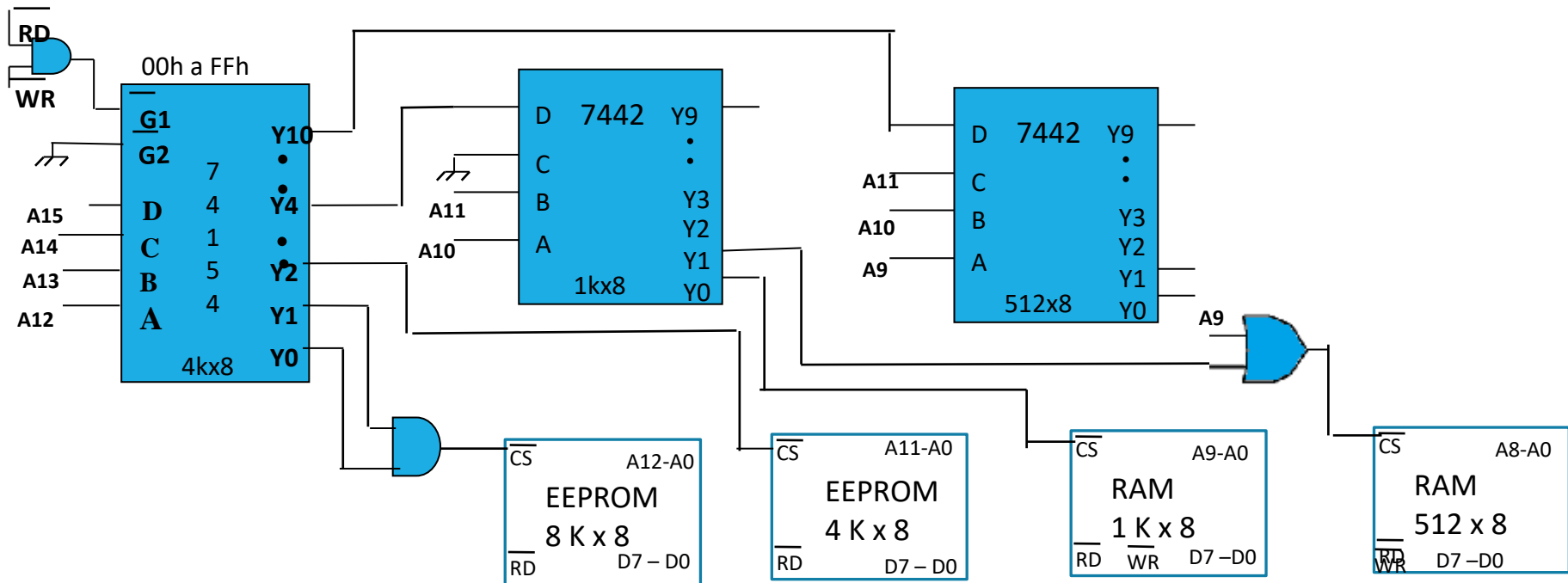
# Resolução Exercício 5:

5.4 Ligue duas memórias EEPROM uma de 4kx8 e outra de 8k x8



# Resolução Exercício 5:

5.5 Ligue duas memórias RAMs uma de 1kx8 e outra de 512 x8

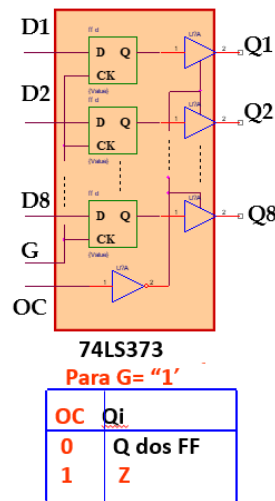


## Exercício 6:

EXERCÍCIO 1 da Lista nº7 (SOBRE INTERFACE PARA LEDS E CHAVES)

6.1. Usando chips 74LS373 como interface, faça a interligação de um conjunto de 4 leds e 4 chaves a um microprocessador de 8 bits, sabendo-se que as chaves estão posicionadas a partir do bit D2 do duto de dados (D5, D4, D3 e D2) e que os leds estão posicionados a partir do bit D0 do duto de dados.

6.2. Considere para o mesmo microprocessador, com o mesmo hardware, exceto que agora tem-se um conjunto de 6 chaves posicionadas a partir de D2 e 4 leds a partir de D0.



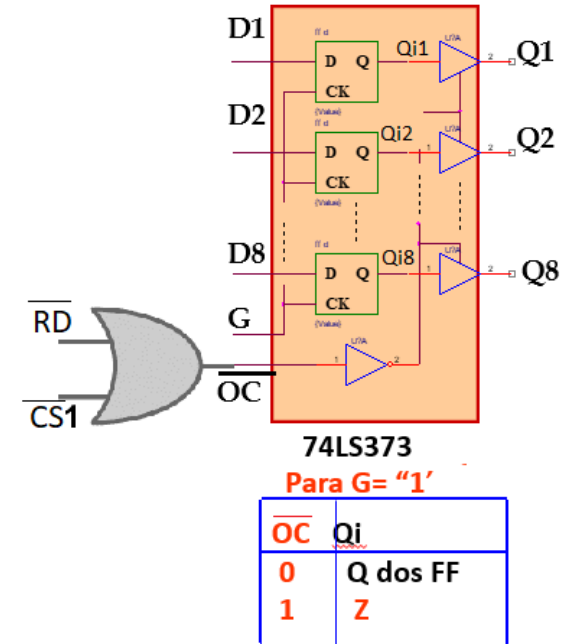
# Resolução Exercício 6:

6.1. Usando chips 74LS373 como interface, faça a interligação de um conjunto de 4 leds e 4 chaves a um microprocessador de 8 bits, sabendo-se que as chaves estão posicionadas a partir do bit D2 do duto de dados (D5, D4, D3 e D2) e que os leds estão posicionados a partir do bit D0 do duto de dados.

Utiliza-se o CI 74373 como **interface de entrada(chaves)**, ou seja, funcionando apenas como Tristate, controlando a entrada  $\overline{OC}$ , a qual habilita a passagem das saídas  $Q_i$  dos FFs para as saída do Chip, e colocando a entrada  $G = 1$ , para que qq entrada que venha do duto de dados do microprocessador seja copiado para as saídas  $Q_i$  dos FFs.

A entrada OC é controlada pelos sinais  $\overline{RD}$  e  $\overline{CS1}$ .

Quando o microprocessador for fazer uma leitura dessas chaves ele vai enviar o endereço para selecionar esta interface e colocar o sinal  $\overline{RD}$  em zero. Portanto, na lógica de seleção  $\overline{CS1}$  será ativada ( $\overline{CS1} = 0$ ), e então a saída da porta OR estará no nível zero e o que estiver nas entradas D1 a D8 passarão para a saídas Q. Se a interface não for selecionada, a saída da porta OR = 1 e as saídas da interface estarão em alto impedância

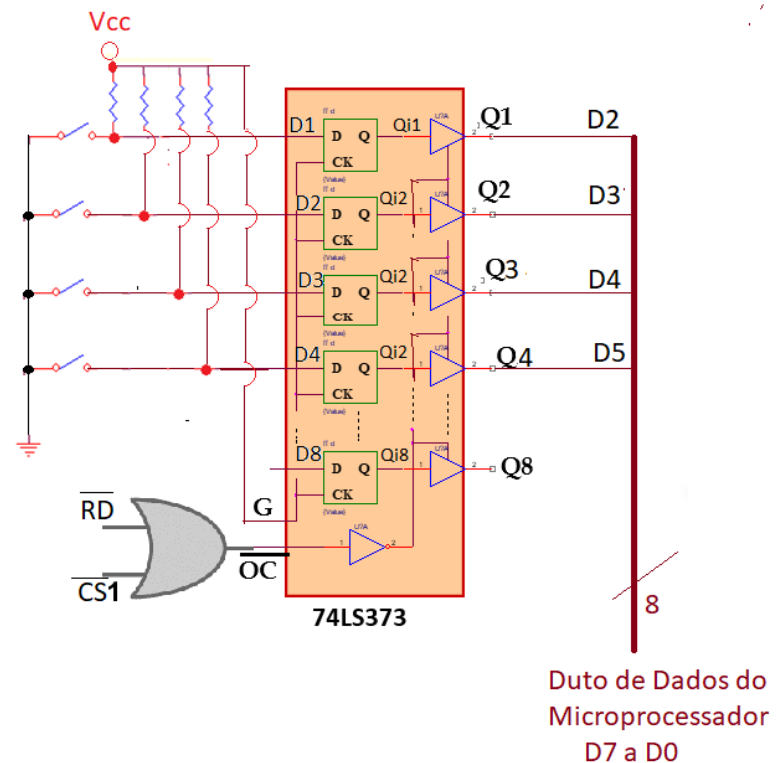




# Resolução Exercício 6:

6.1. Usando chips 74LS373 como interface, faça a interligação de um conjunto 4 chaves a um microprocessador de 8 bits, sabendo-se que as chaves estão posicionadas a partir do bit D2 do duto de dados (D5, D4, D3 e D2)

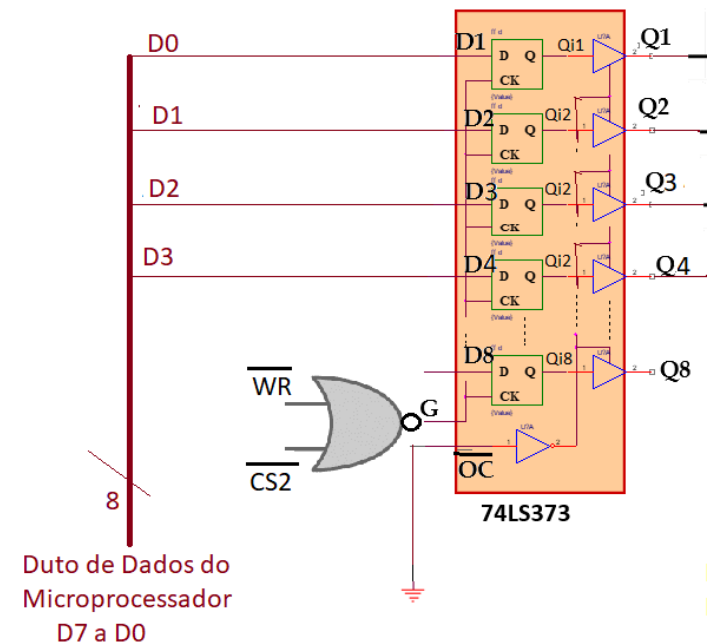
Ligando 4 chaves nas entradas D1 a D4 do chip e ligando as saídas Q do chip aos bits D2, D3, D4 e D5 do duto de dados do microprocessador



# Resolução Exercício 6:

6.1. faça a interligação de um conjunto de 4 leds a um microprocessador de 8 bits, sabendo-se que os leds estão posicionados a partir do bit D0 do duto de dados.

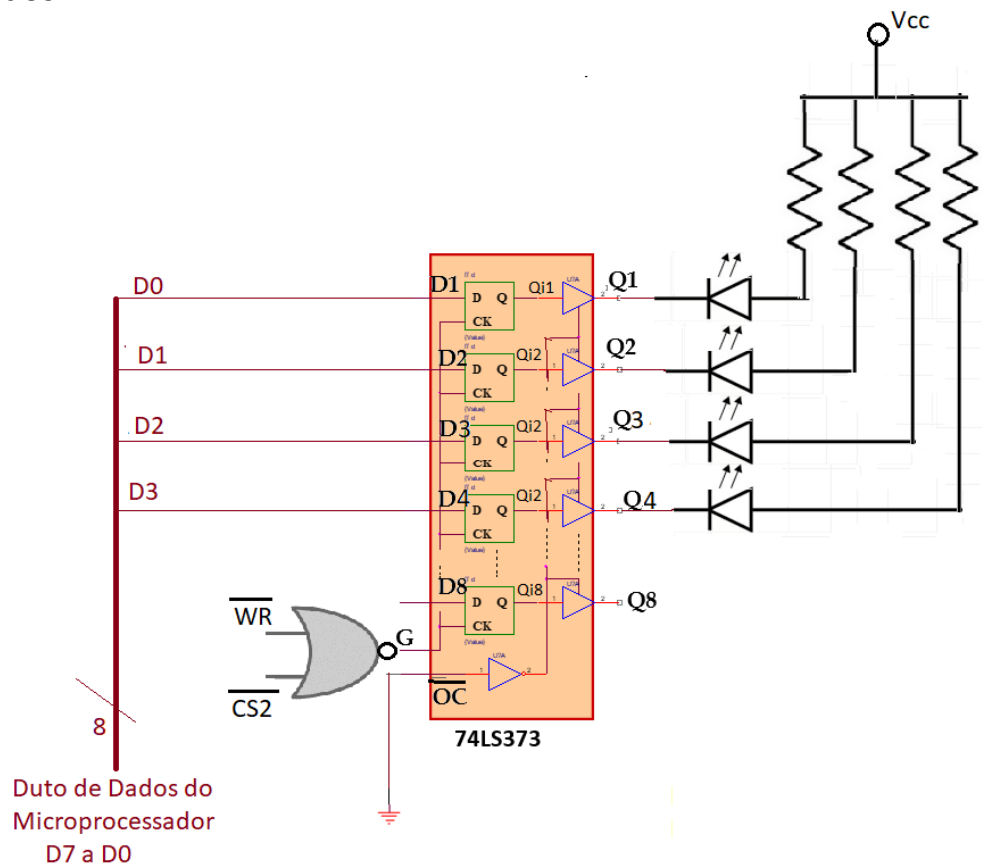
Utiliza-se outro CI 74373 como **interface de saída(LEDs)**, ou seja, funcionando com o controle do Tristate desativado, ou seja, colocando a entrada  $\overline{OC}$  no nível zero, e controlando a entrada G, a qual habilita a passagem das entradas D dos FFs para as saídas  $Q_i$  internas ao chip. Para isso, utiliza-se o controle  $\overline{WR}$  de escrita e o  $\overline{CS2}$ , que seleciona a interface desses LEDs, ligando-os à entrada G = 1 do chip (clock dos FFs) através de uma porta NOR, de tal forma que quando o microprocessador for fazer uma escrita nesses LEDs ele vai enviar o endereço para selecionar esta interface e colocar o sinal  $\overline{WR}$  em zero. Portanto, na lógica de seleção  $\overline{CS2}$  será ativada ( $\overline{CS2} = 0$ ), e então a saída da porta NOR estará no nível alto e então o que estiver nas entradas D1 a D8 do Chip 74373, passarão para as saídas Q. Se a interface não for selecionada, a saída da porta NOR = 0 e nada será copiado para as saídas do FF



## Resolução Exercício 6:

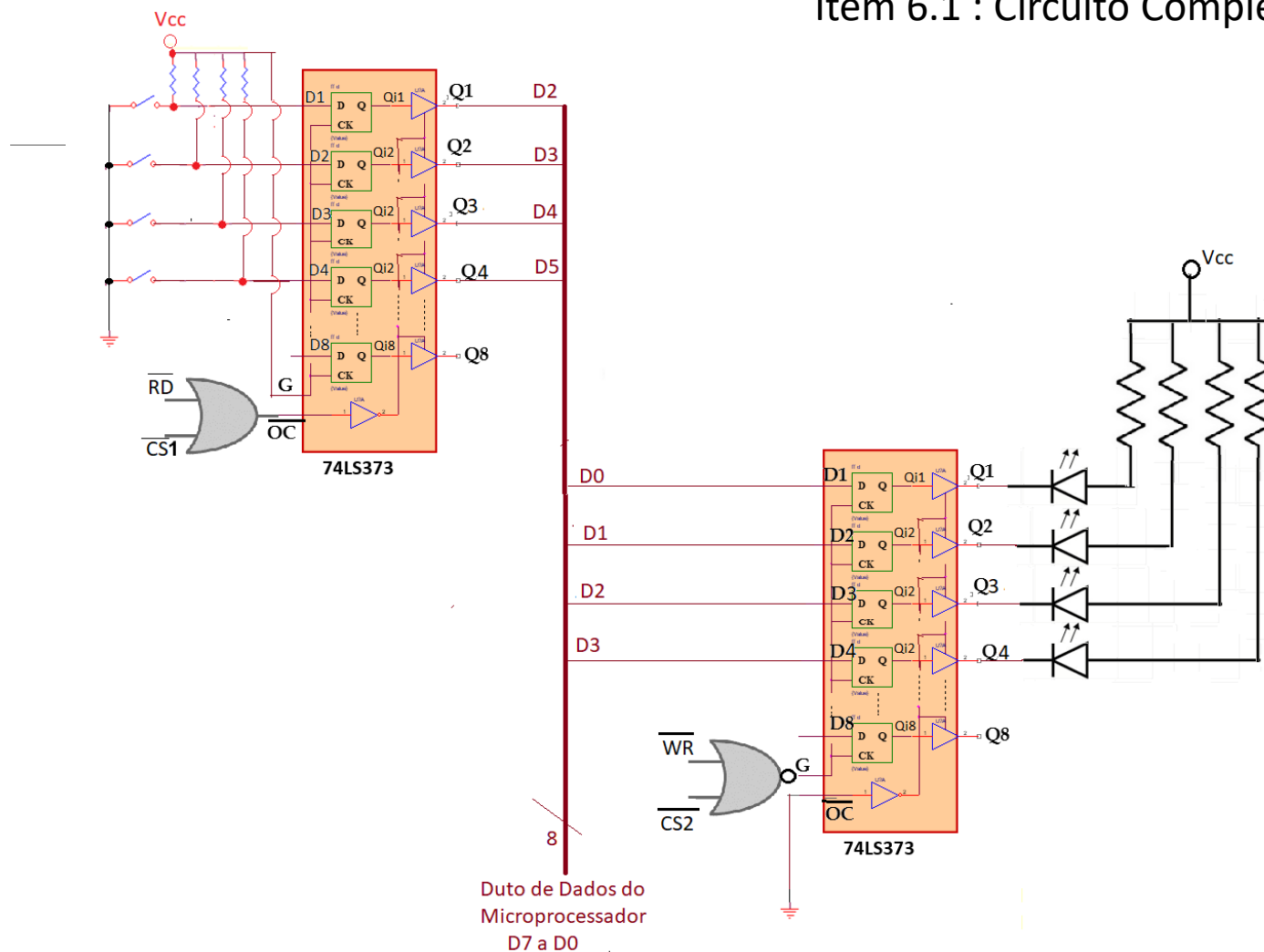
6.1. faça a interligação de um conjunto de 4 leds a um microprocessador de 8 bits, sabendo-se que os leds estão posicionados a partir do bit D0 do duto de dados.

Os LEDs serão ligados às saídas do 74373 na configuração anodo comum, ou seja, o LED vai ser aceso com nível baixo



# Resolução Exercício 6:

## Item 6.1 : Circuito Completo



---

FIM