

■ Acionando LEDs

Na figura, considere os FF como sendo tipo D, sensível a nível. D1 e D0 são sinais digitais

Para FF1 ou FF2 é válida a tabela::

CLK	D	Q
0	x	Q ₀
1	0	0
1	1	1

x: irrelevante
Q₀: estado anterior

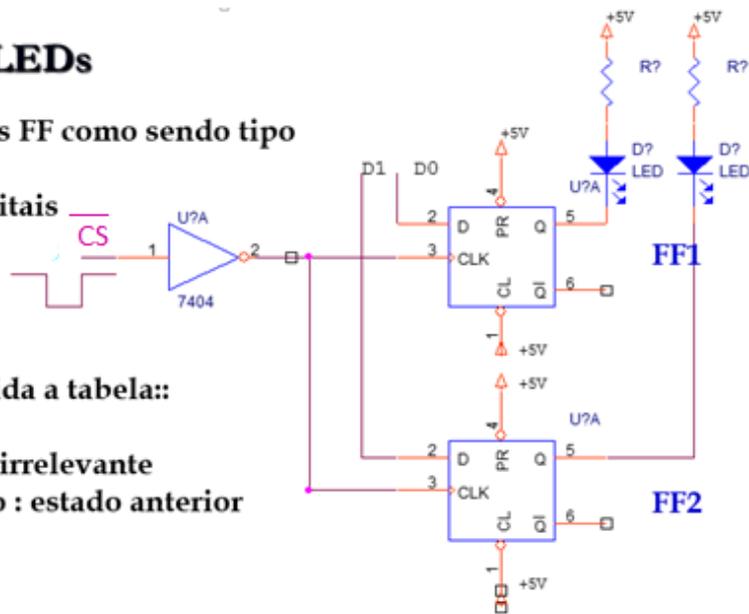
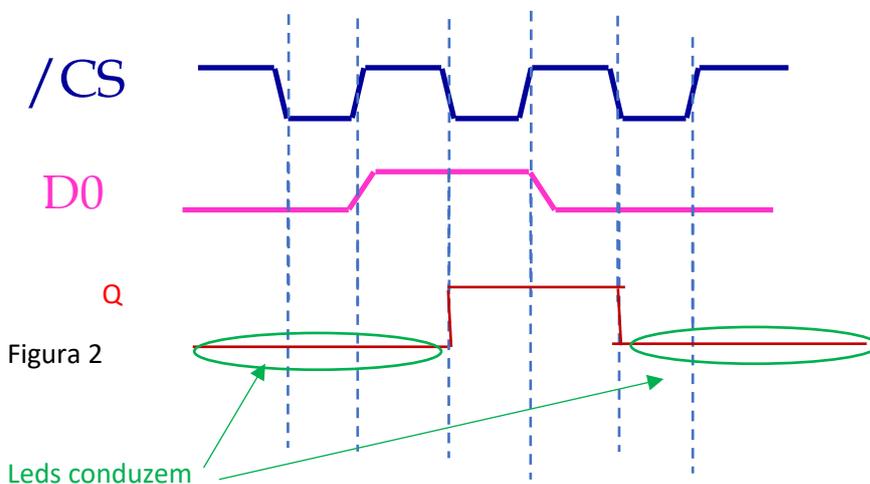


Figura 1

Com base na Figura 1, responda item 1 ao 4:

1. Para os sinais /CS (seleção da interface de saída ativa em nível baixo) e D0 dados a seguir, desenhe a forma de onda da saída Q do FF1 para a Figura 2;



2. determine quando os leds conduzem (anotem na figura 2).
3. Determine o valor de R, considerando que os FFs podem fornecer uma corrente máxima de $I_{OLmax} = 16 \text{ mA}$ (configuração utilizada coletor aberto) e a queda de tensão na condução do LED é $0,4V$.

Resp :

$$R \times 16 \times 10^{-3} = (5 - 0,7) \quad R = 4600 / 16 = 287,5 \Omega$$

4. Determine a faixa de endereço que seleciona a interface da Figura 1, sabendo-se que o sinal \overline{CS} é gerado pelo decodificador da figura 3 e o microprocessador tem 16 linhas de endereços e 8 de dados.

Resp: **E000h a EFFFh**

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	E000h
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFFh

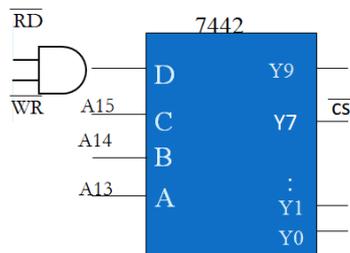


Figura 3

5. Qual a função de um registrador quando utilizado como Interface para dispositivo de saída (LED) em um sistema microprocessado?

Resp: **Possibilita que o resultado do processamento mostrado nos LEDS fiquem tempo suficiente para se visualizado pelo usuário.**

6. Considere as interfaces 1 e 2 da figura 4, onde uma delas é usada para interfacear um conjunto de 3 leds e outra para interfacear um conjunto de 3 chaves on/off . Os leds devem receber informações dos bits **D0, D2 e D4** do duto de dados (D7 – D0) de um microprocessador de 8 Bits, e os valores das chaves devem ser transmitidos nos bits **D1, D3 e D5** do duto do microprocessador. O sinal de seleção da interface de entrada é $\overline{CS1}$ e da interface de saída é $\overline{CS2}$. Pede-se:

6.1 Para cada interface, completar a lógica de controle das mesmas, para G e OC, usando seu respectivo sinal de seleção além dos sinais de controle de leitura / gravação;

6.2 interligar cada interface ao duto de dados do microprocessador e aos seus respectivos dispositivos de entrada ou saída.

Obs: Pode utilizar pode lógicas básicas AND ou OR, se necessário.

RESPOSTA

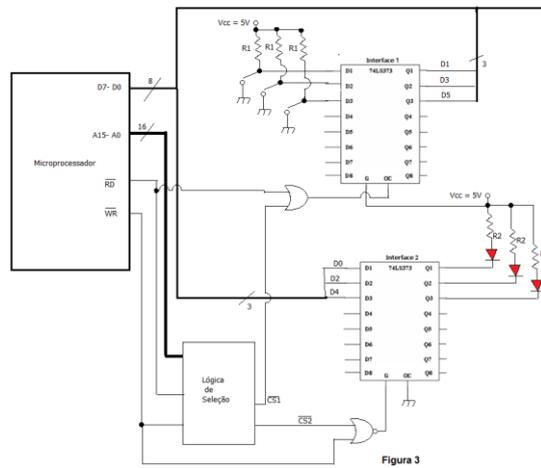


Figura 3

Figura 4