

SEL-0415

Introdução à Organização de Computadores

Barramentos e Portas Tristate

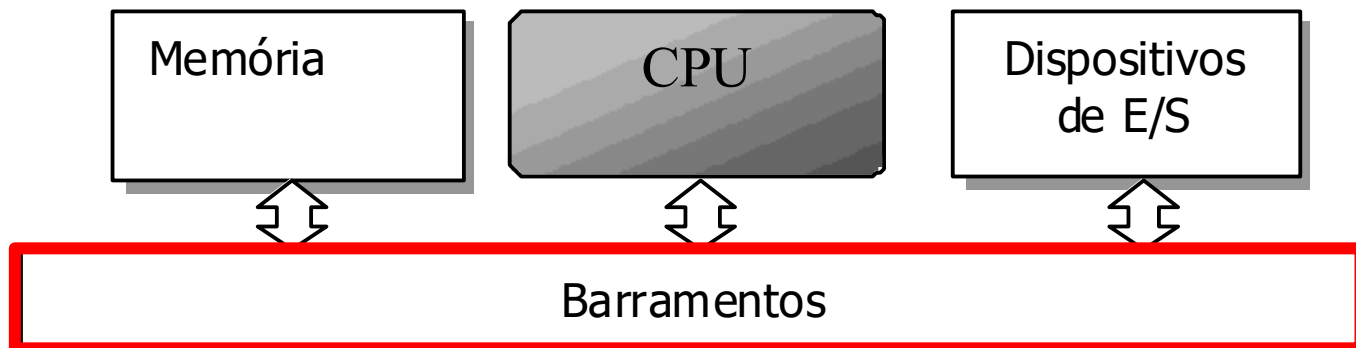
Aula 3

Prof. Dr. Marcelo Andrade da Costa Vieira

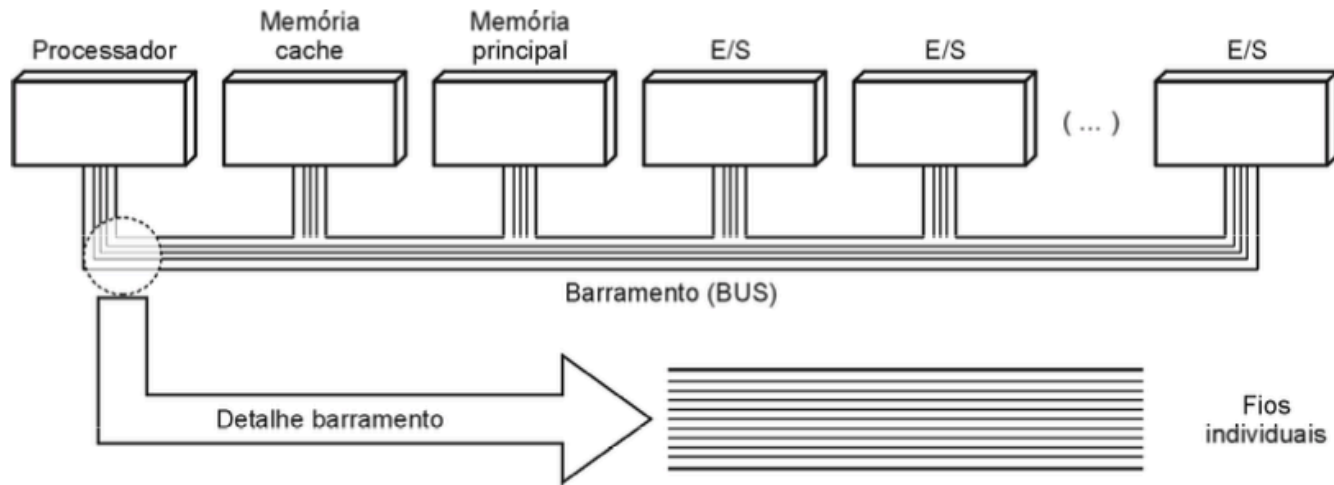
MODELO DE VON NEUMANN

A arquitetura de um computador consiste de 4 partes principais:

1. *CPU (Unidade central de processamento)*
 - *ULA (unidade lógica e aritmética)*
 - *Unidade de controle*
 - *Registradores*
2. *Memória*
3. *Dispositivo de conexão (barramentos)*
4. *dispositivos de entrada/saída.*

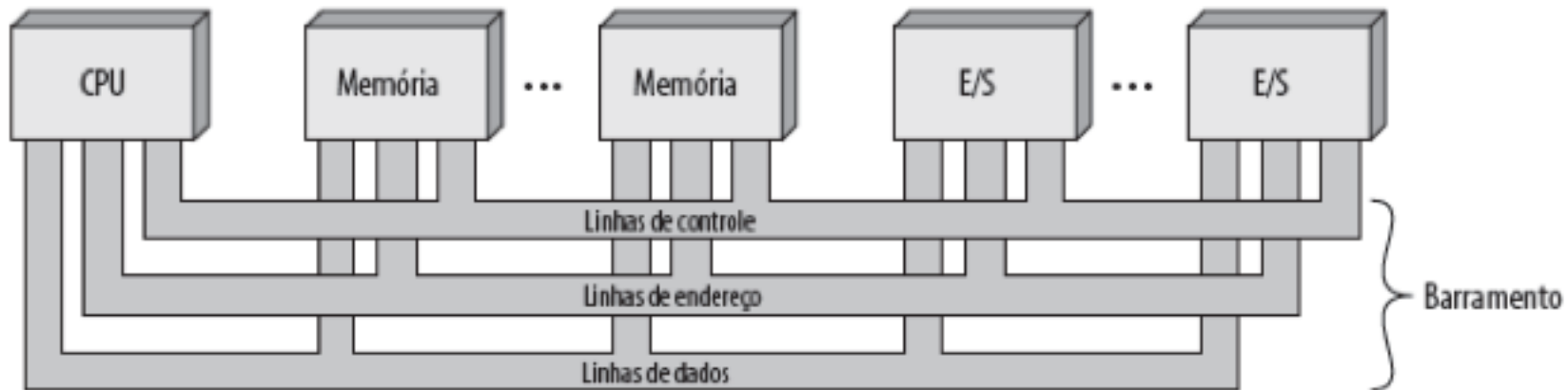


BARRAMENTO

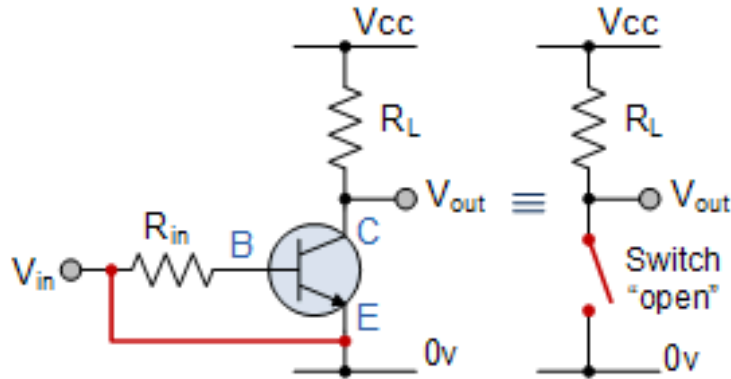


BARRAMENTO

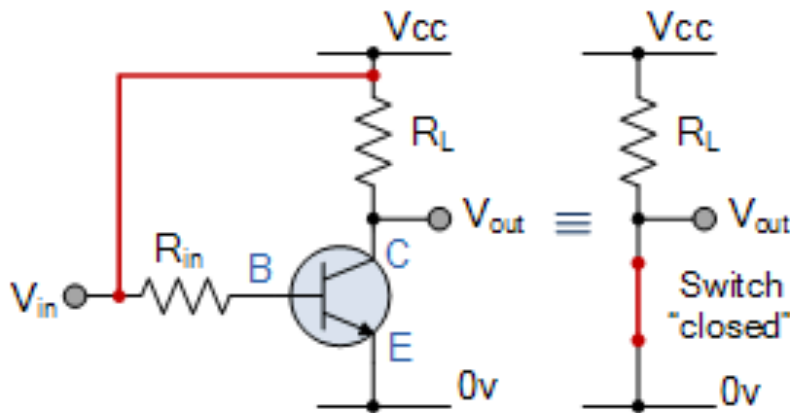
- São 3 Barramentos:
 - Barramento de Dados
 - Barramento de Endereço
 - Barramento de Controle



Transistor Bipolar – Chave eletrônica

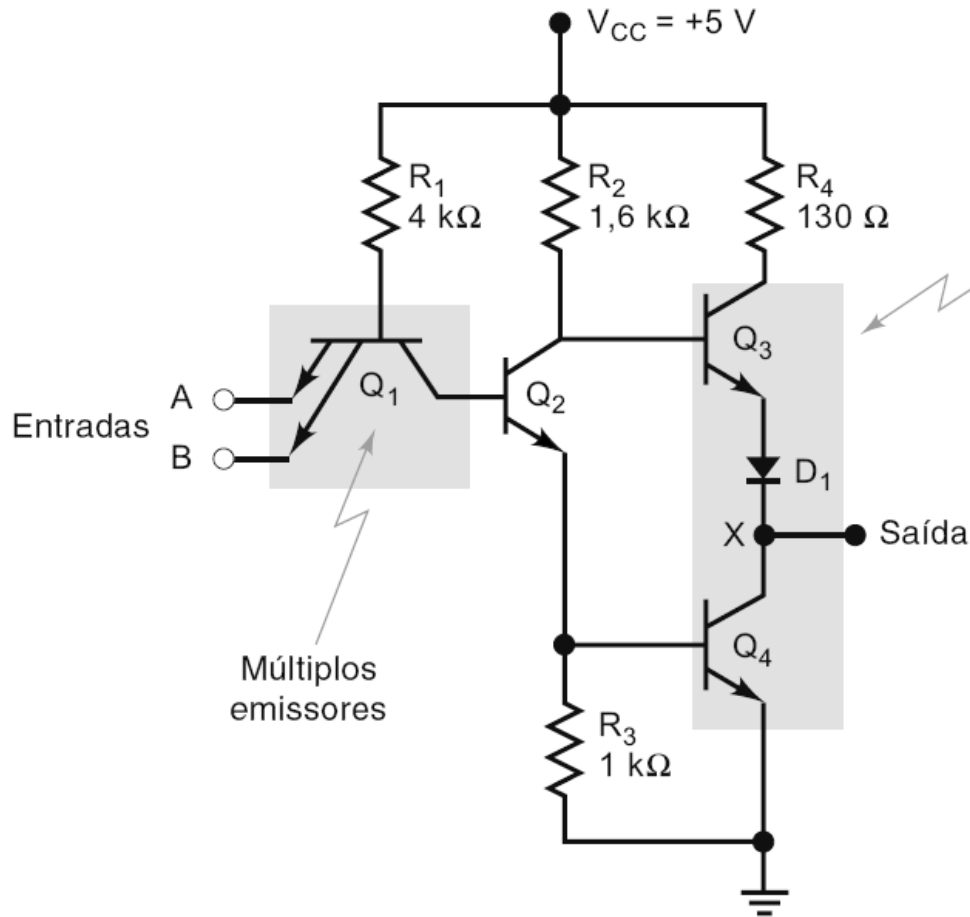


Sem tensão/corrente na Base
Chave aberta

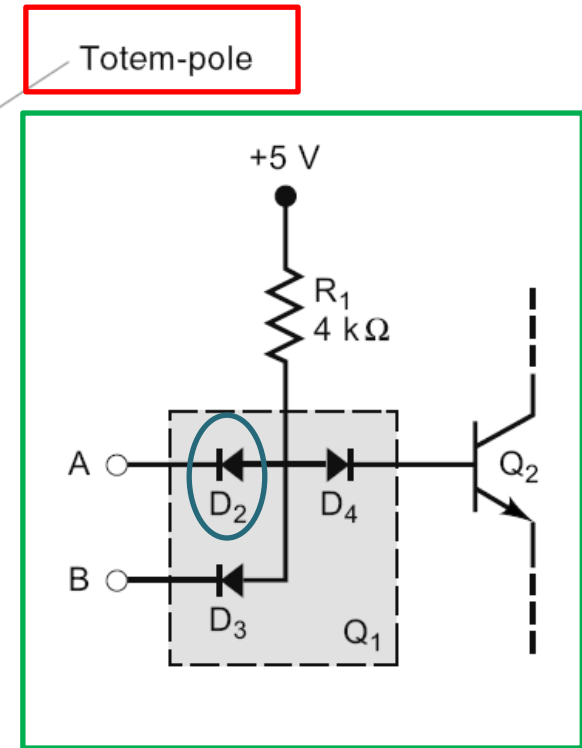


Com tensão/corrente na Base
Chave fechada

Porta NAND TTL (Transistor Bipolar)



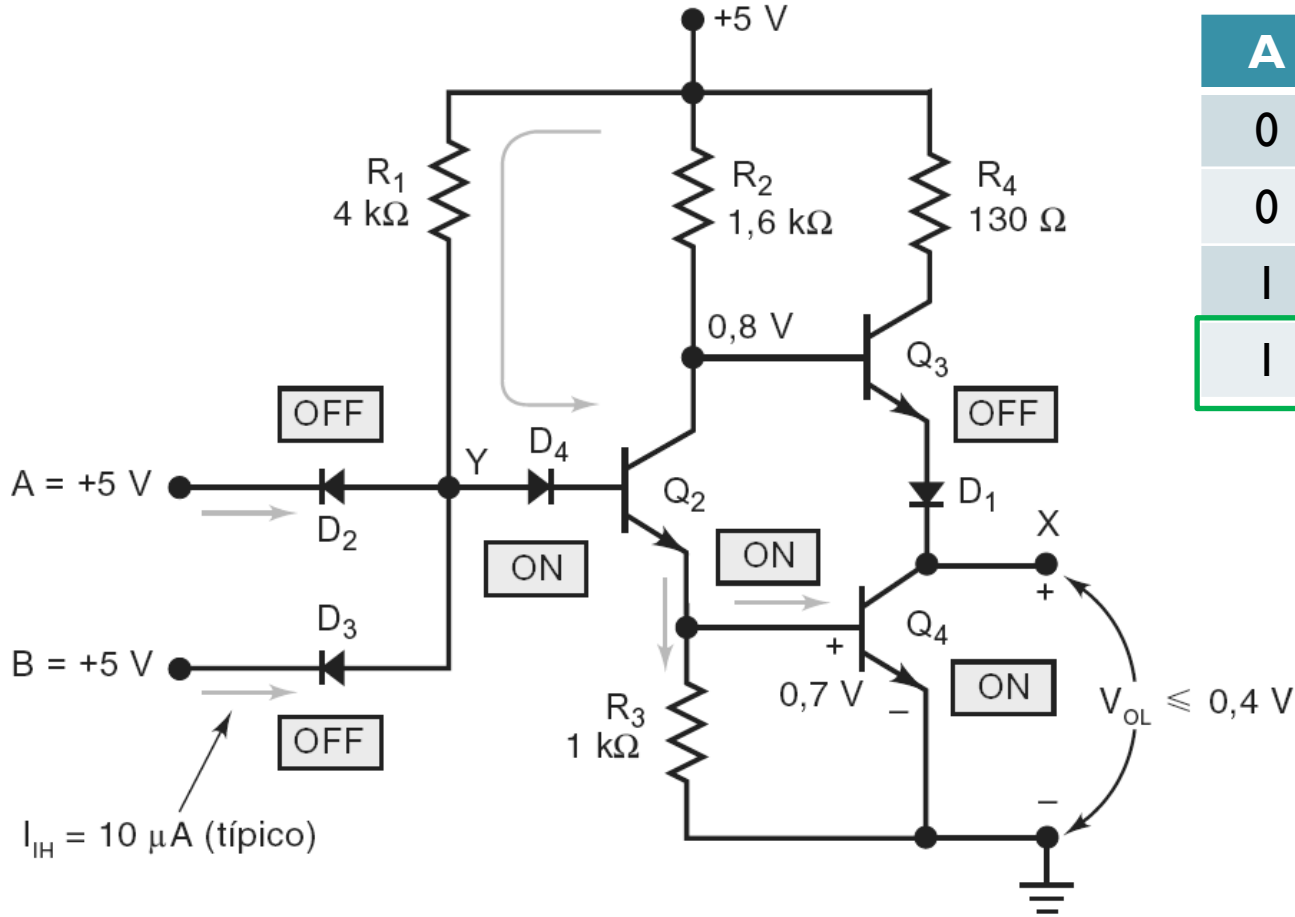
(a)



(b)

Totem-pole

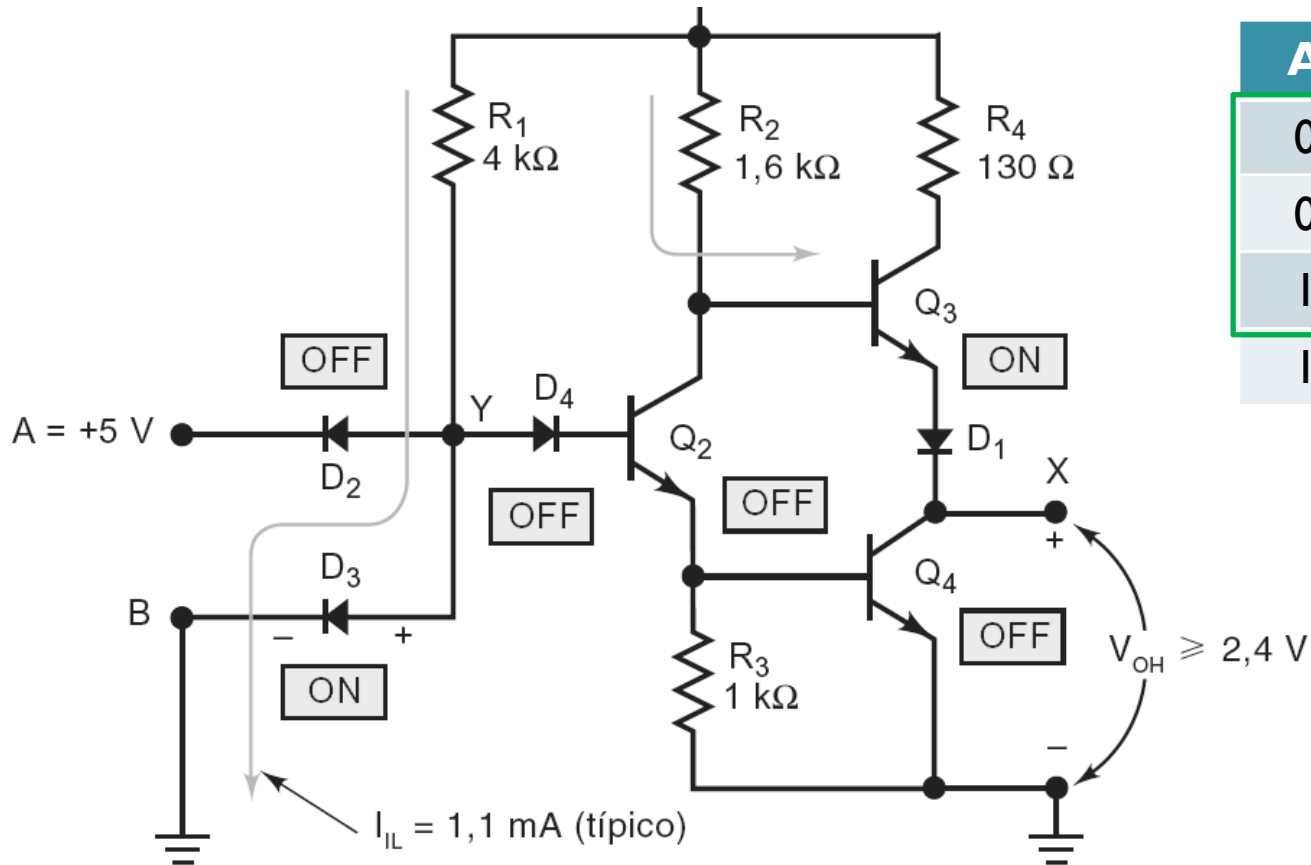
Porta NAND TTL – Saída 0



A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

(a) Saída em nível BAIXO

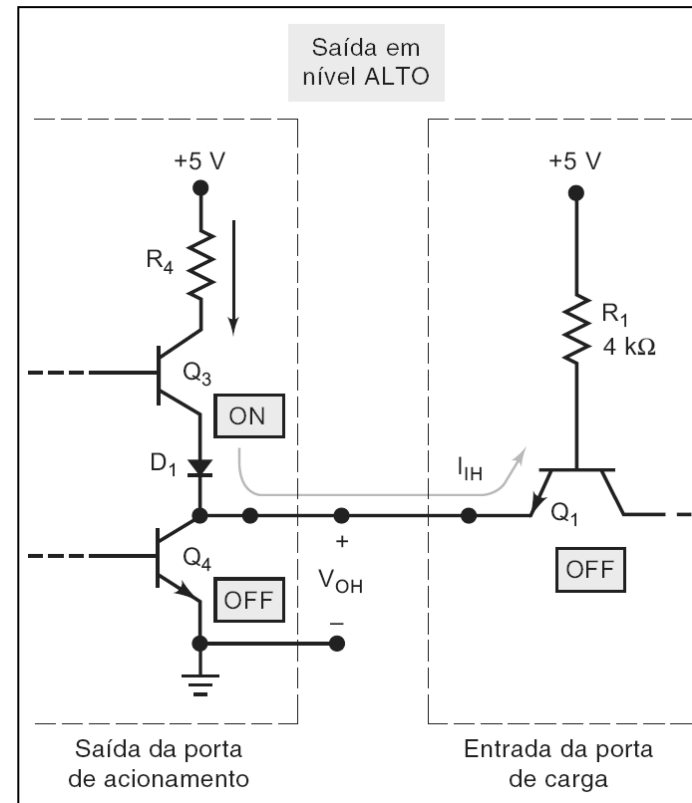
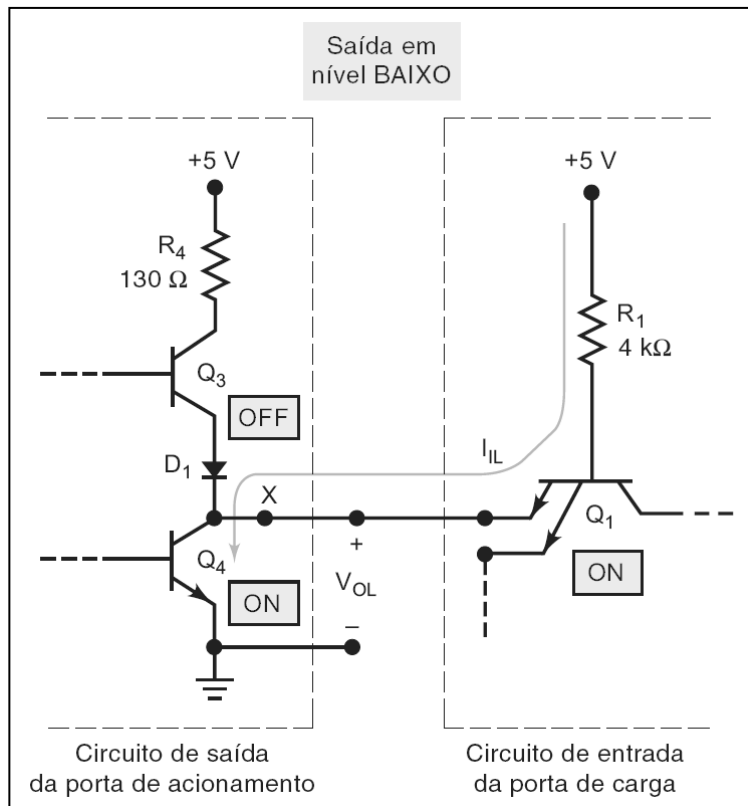
Porta NAND TTL – Saída 1



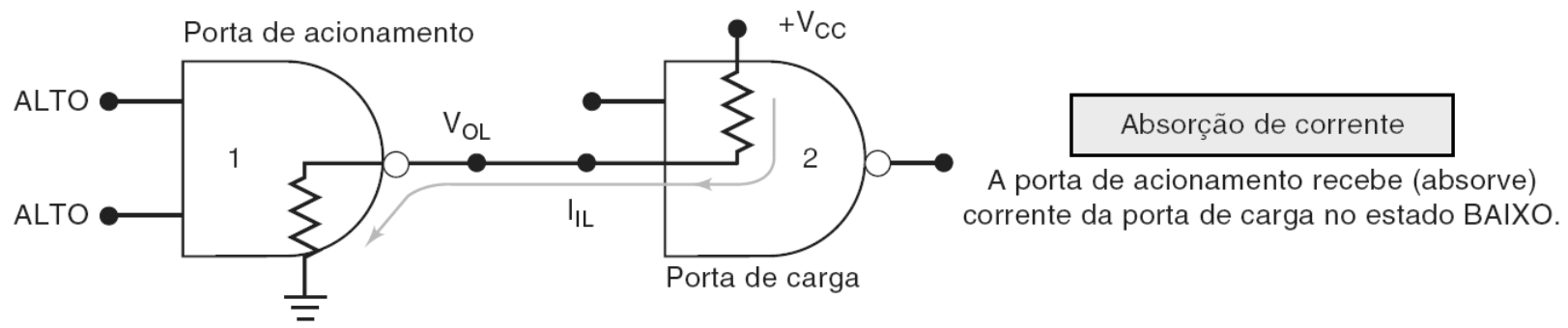
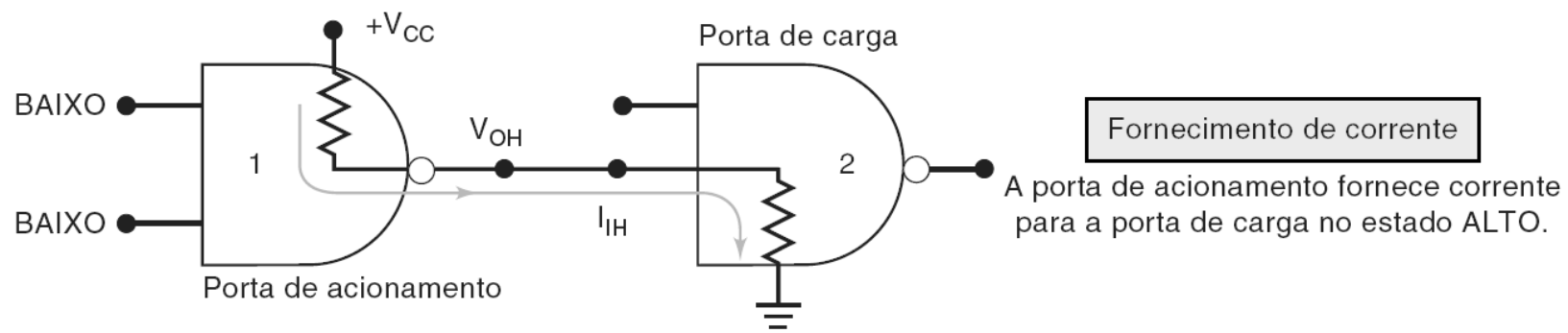
A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

(b) Saída em nível ALTO

Funcionamento de uma porta l3gica

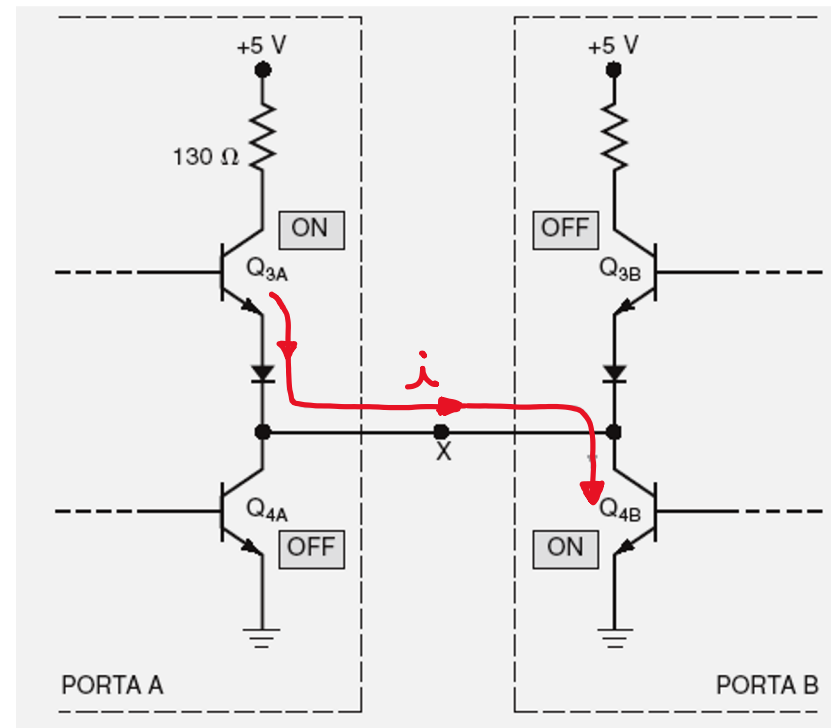
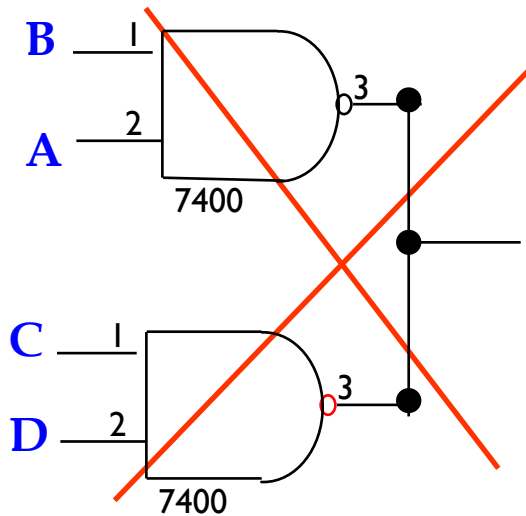


Funcionamento de uma porta l3gica



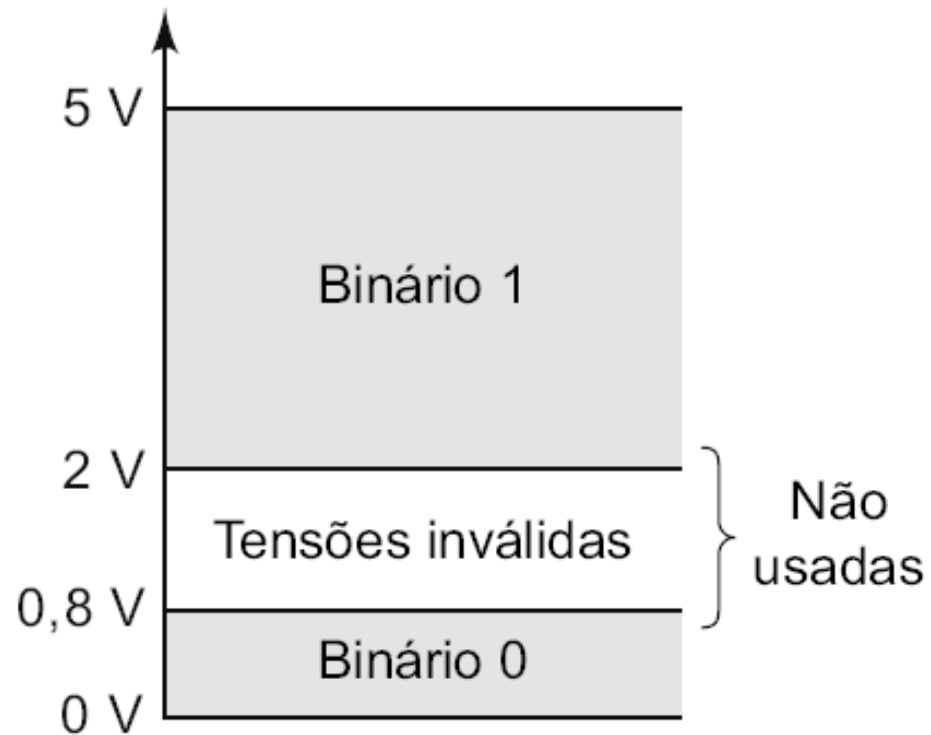
Ligação de Saídas de Portas lógicas TTL

- Necessidade de compartilhamento de duto (fio)
- Uma saída em **alto** e outra em **baixo** conectadas juntas
➔ PROBLEMA

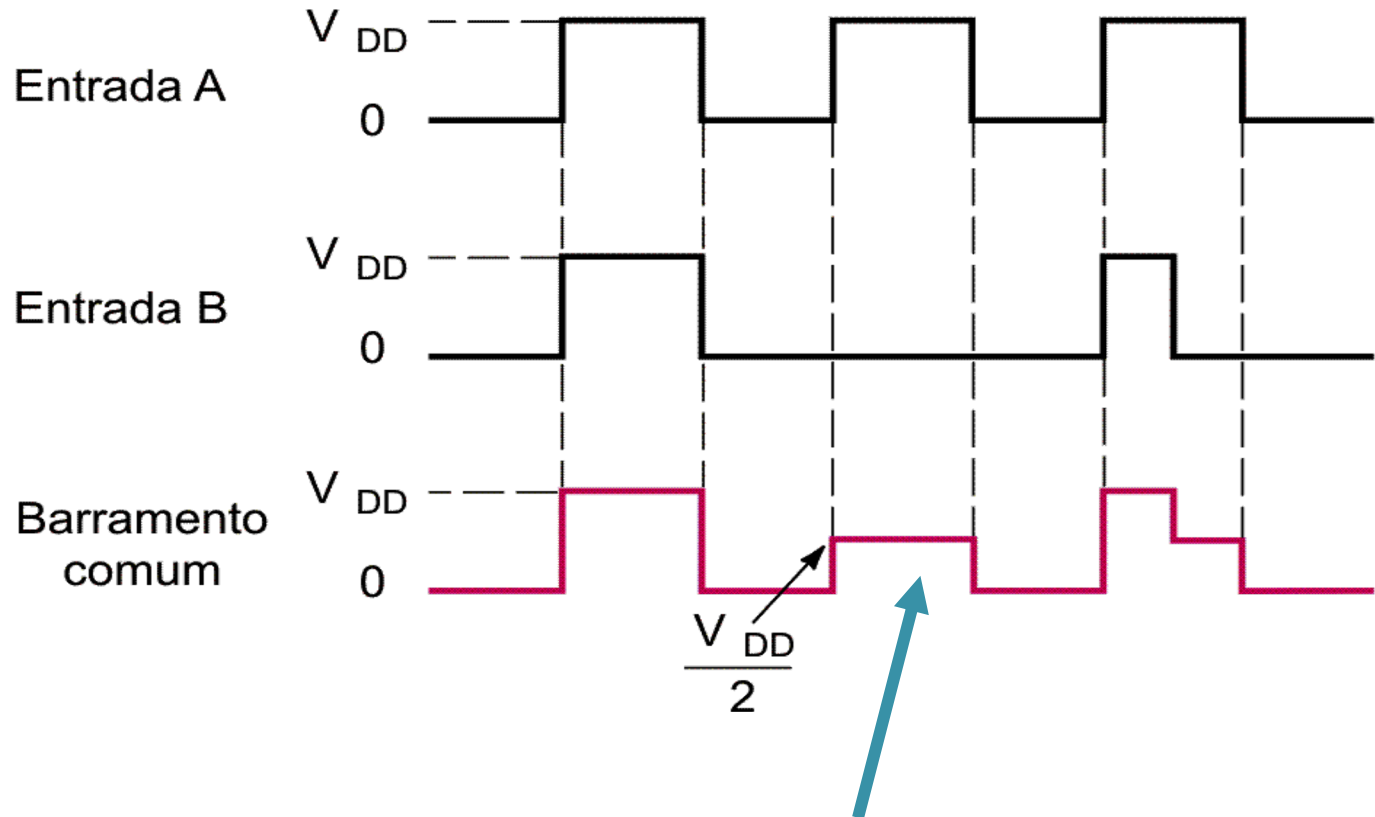


- Causa um curto-circuito na fonte!

Conflito no Barramento



Conflito no Barramento



Que nível lógico é esse?

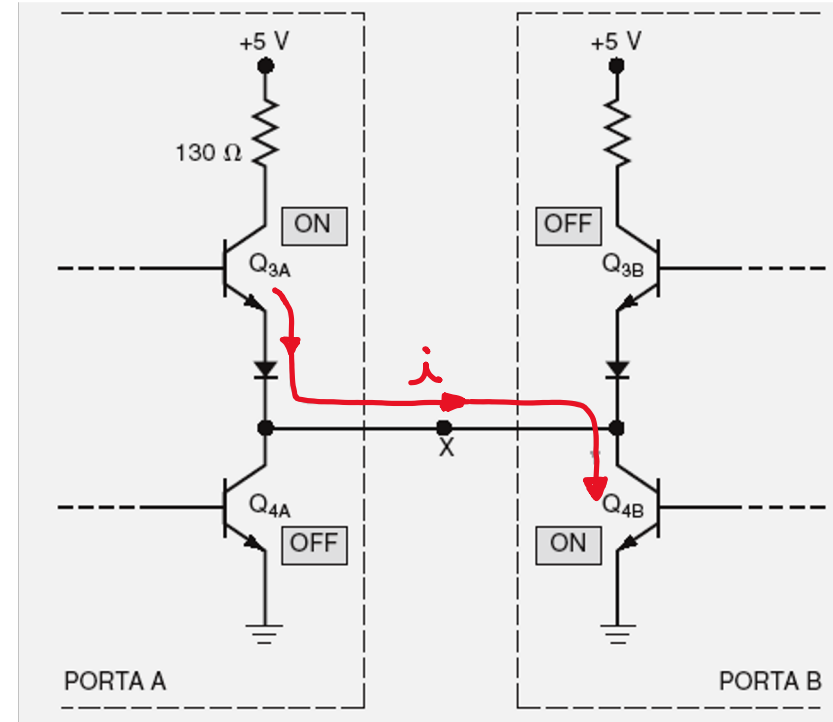
Ligação de Portas lógicas TTL

- Se a saída de A = 1 (alto) \Rightarrow Q_{3A} conduz e Q_{4A} cortado
- Se a saída de B = 0 (baixo) \Rightarrow Q_{3B} cortado e Q_{4B} conduz

Q_{4B} drenará uma corrente muito alta (impedância de entrada muito baixa)

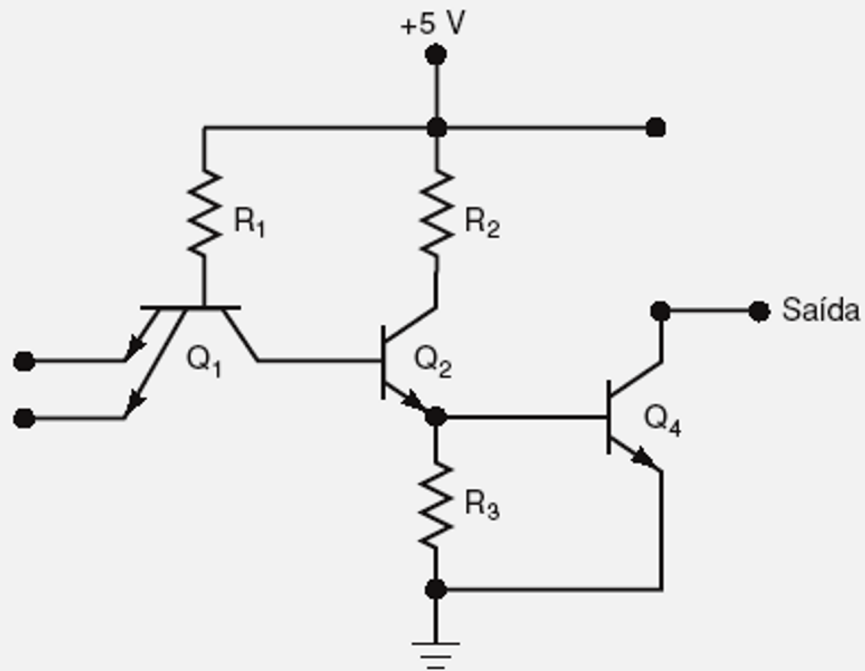
DANOS

SOLUÇÃO \Rightarrow remover o transistor ativo dos circ. saída (Q_3)
 \Rightarrow saída em **coletor aberto**

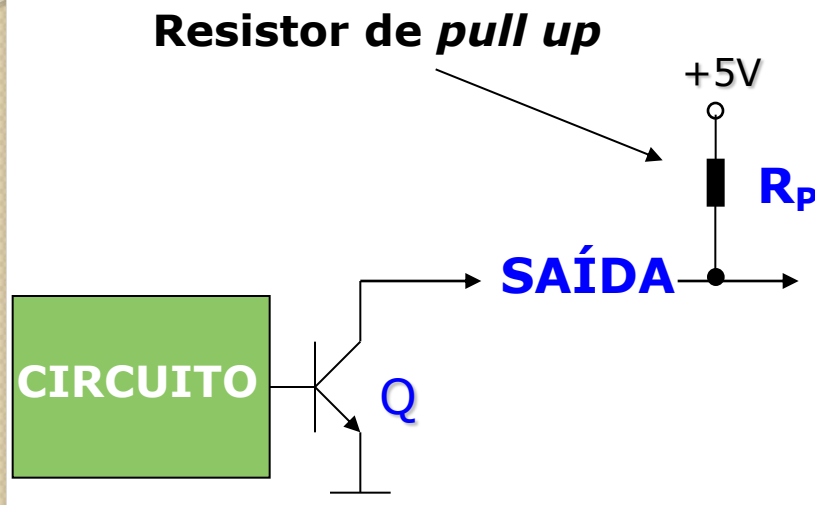


Circuitos com Saída em Coletor Aberto

➔ **CIRCUITO ABERTO** ➔ necessidade de R_p (Pull-up)



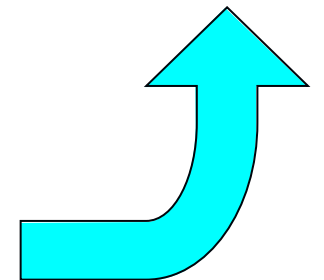
CIRCUITOS DE SAÍDA EM COLETOR ABERTO



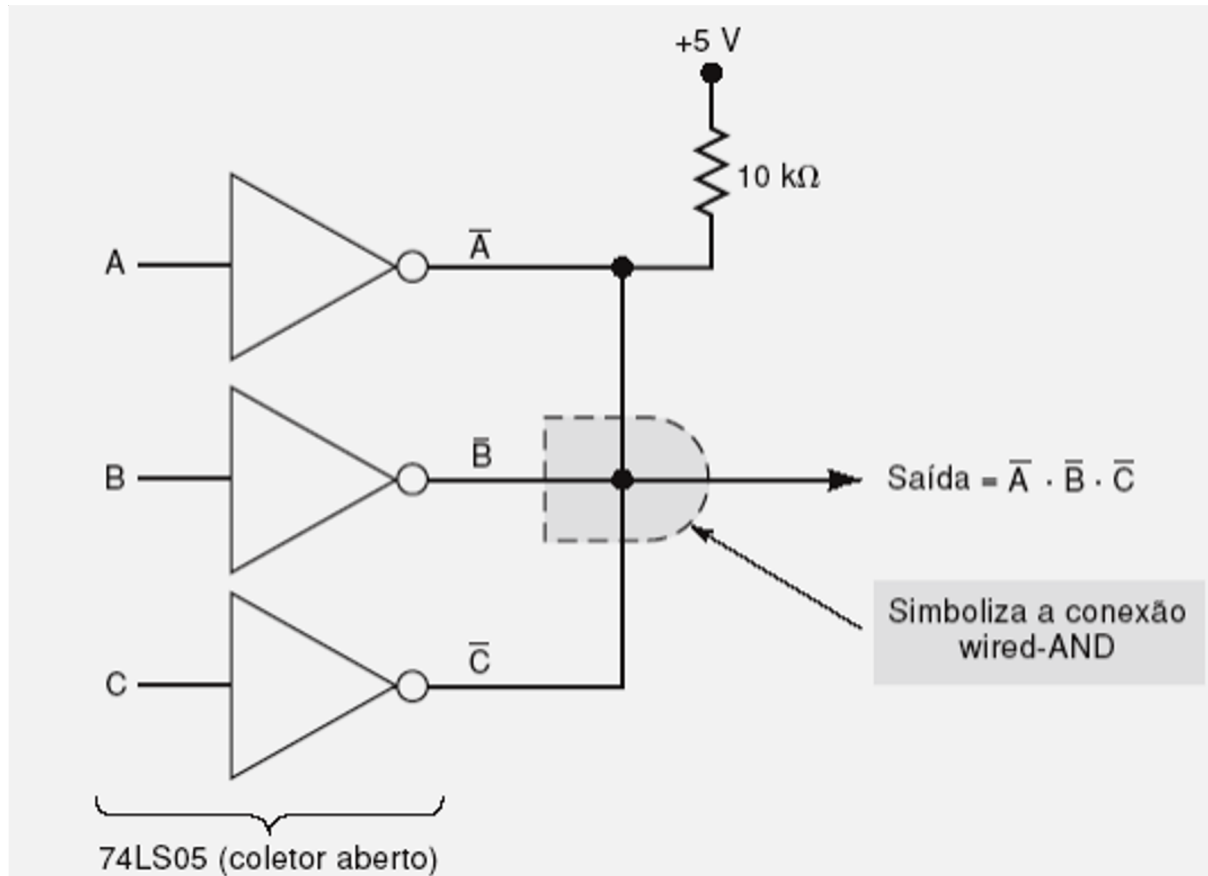
- ⇒ Se Q conduz ("ligado")
➔ $S = 0$
- ⇒ Se Q cortado ("aberto")
➔ $S = 1^*$

* *sem R_p ➔ V_o seria indeterminada (flutuante)*

- Com saída em **0 (baixo)** ➔ Q conduzindo
- Com saída em **1 (alto)** ➔ Q cortado ➔ **CIRCUITO ABERTO** ➔ necessidade de R_p



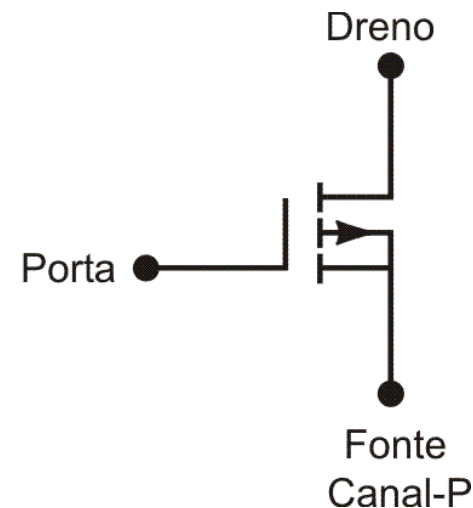
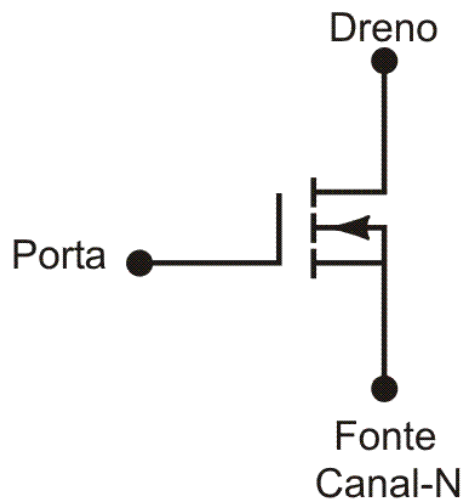
CIRCUITOS DE SAÍDA EM COLETOR ABERTO



- ⇒ Se uma ou mais saídas $\rightarrow 0 \rightarrow S = 0$ (o zero "vence")
- ⇒ $S = 1$ apenas se todas as saídas = 1
- ⇒ Mais lento e maior dissipação de potência do que o TTL normal, mas é mais seguro.

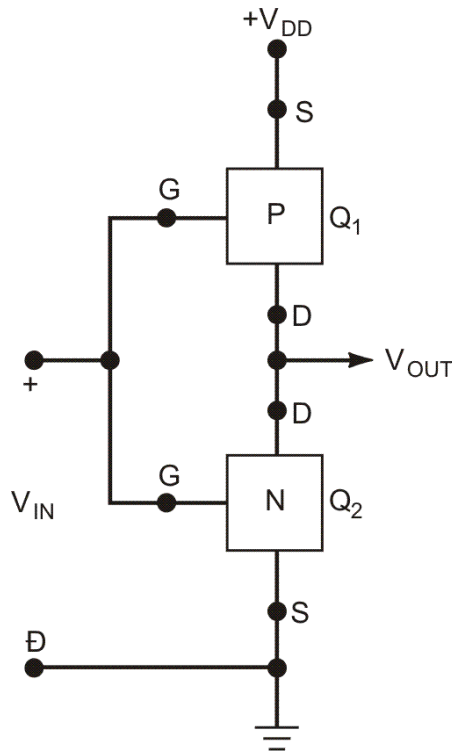
MOSFET (Metal-Óxido-Semicondutor)

- N-MOS ou P-MOS
- Circuito Integrado MOS é mais simples e mais barato do que o TTL
- Não necessita resistores: menor dissipação e potência e maior integração no CI
- Muito usado em circuitos LSI e VLSI
- Desvantagem: Mais lento e menos durável que os TTLs



CMOS (MOS Complementar)

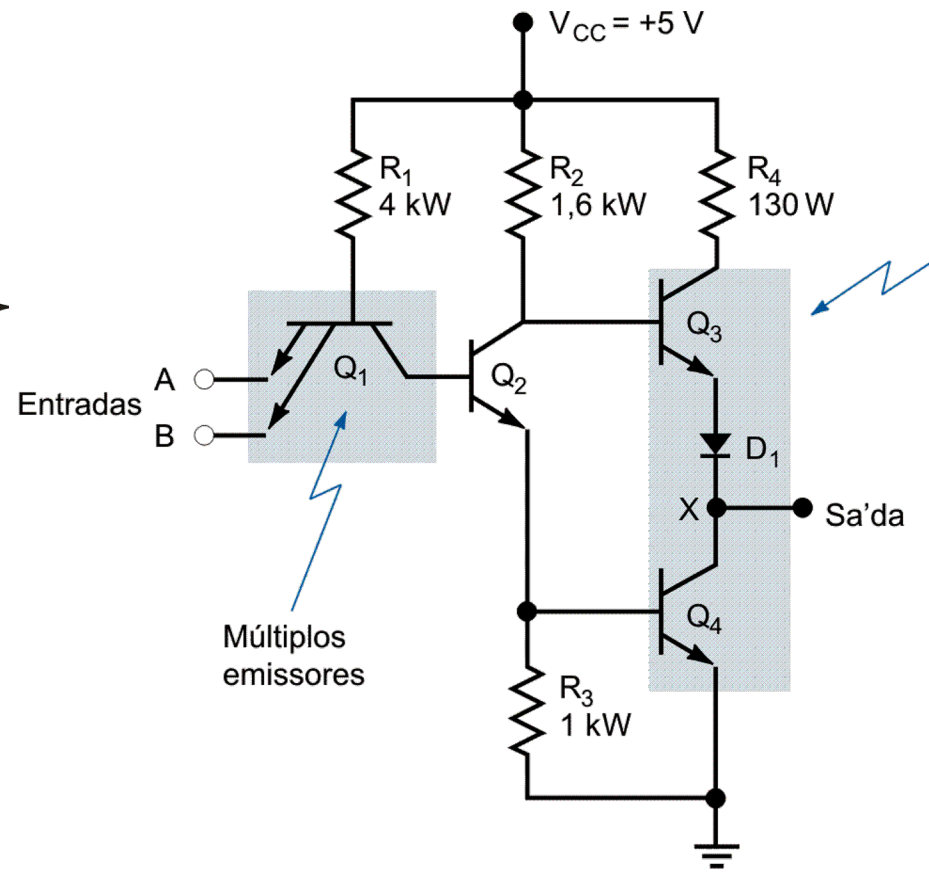
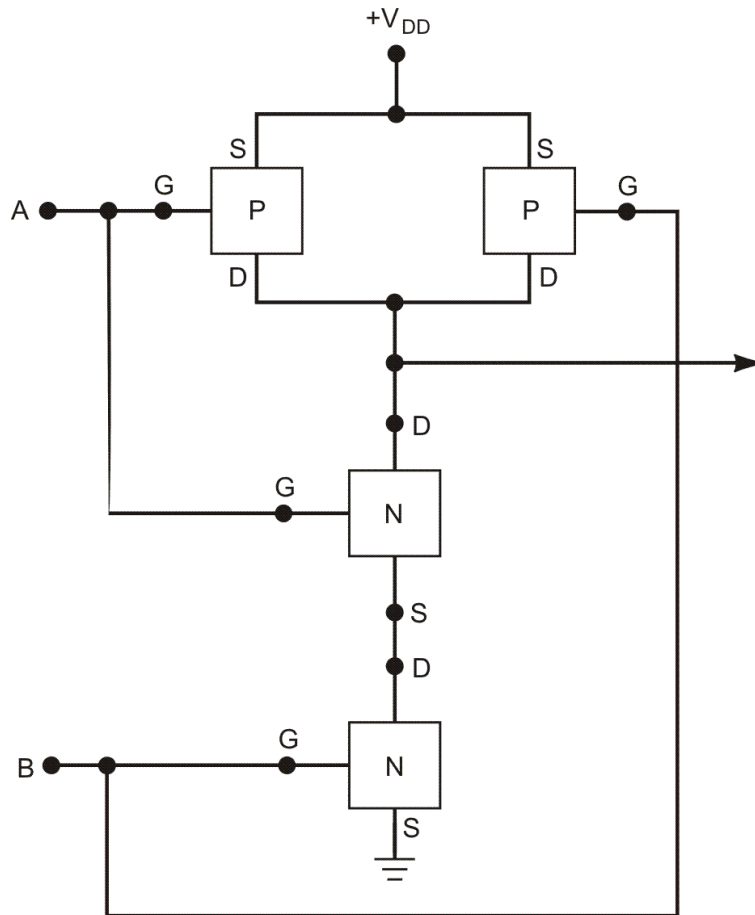
- CMOS: Complementar (N-MOS e P-MOS ligados juntos)
- Mais complexo do que o MOS
- Mais rápido com menor dissipação de potência do que o MOS



V_{IN}	Q_1	Q_2	V_{OUT}
$+V_{DD}$ (1 lógico)	OFF $R_{OFF} = 10^{10} \Omega$	ON $R_{ON} = 1 \text{ k}\Omega$	$\approx 0 \text{ V}$
0 V (0 lógico)	ON $R_{ON} = 1 \text{ k}\Omega$	OFF $R_{OFF} = 10^{10} \Omega$	$\approx +V_{DD}$

$$V_{OUT} = \overline{V_{IN}}$$

CMOS XTTL



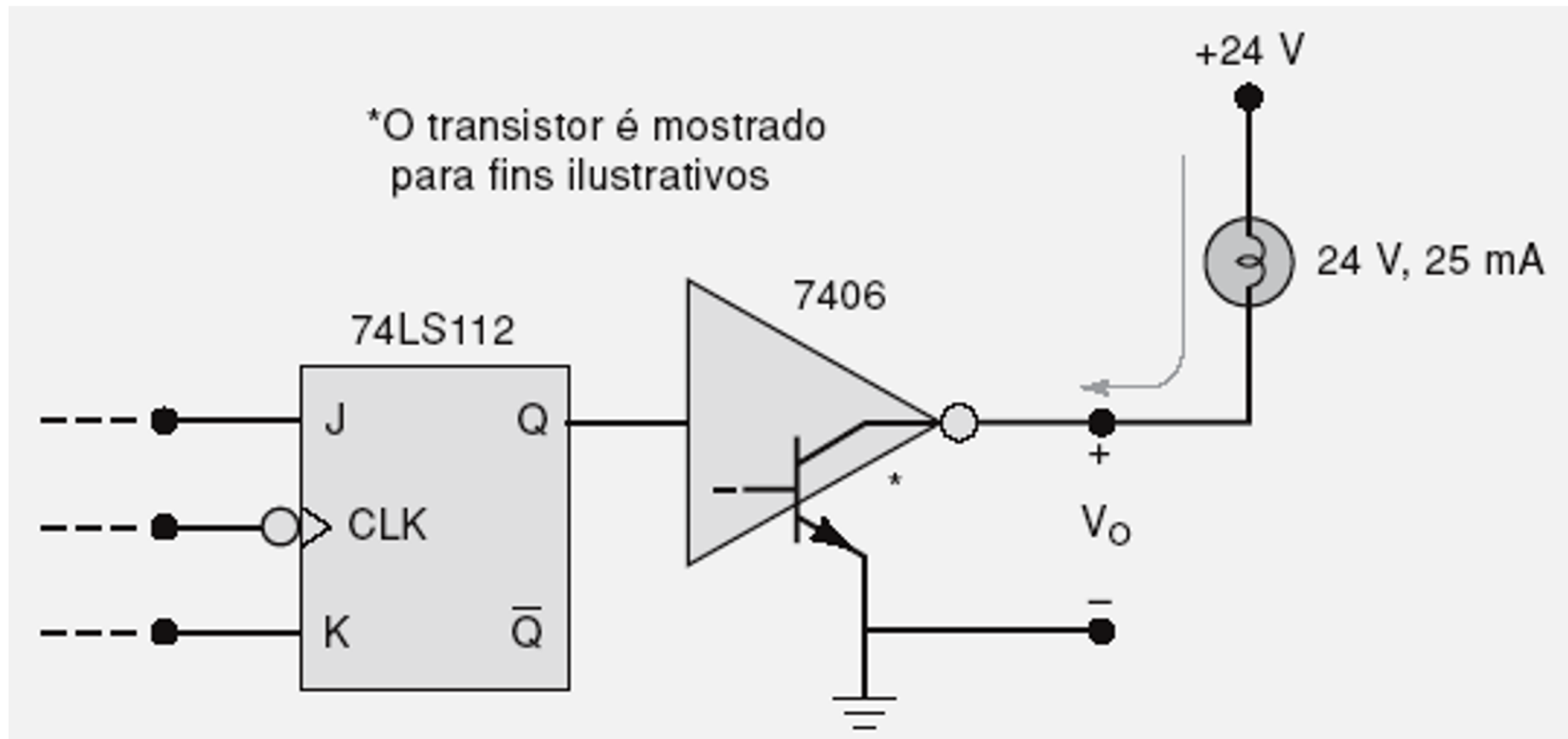
(a)

CIRCUITOS DE SAÍDA EM COLETOR (ou Dreno) ABERTO

■ EX. DE APLICAÇÕES:

→ **Drivers**

→ 7406 – 30V/40mA



Portas Tri-State

- Usada também para compartilhamento de duto
- Característica ➔ S em
 - Alto
 - Baixo
 - Alta impedância

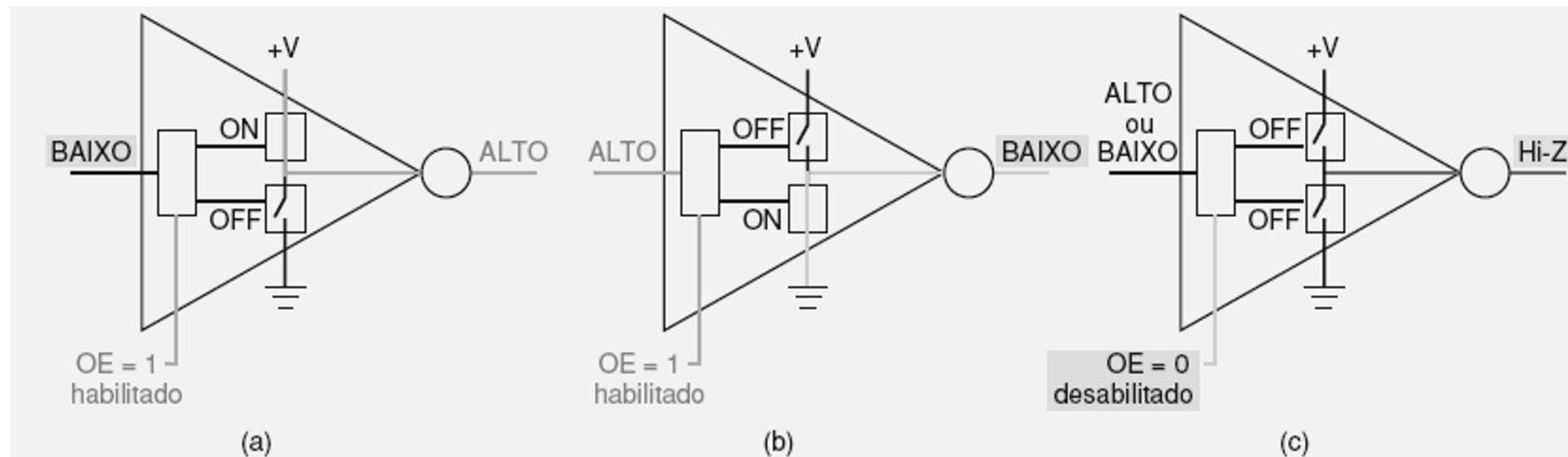
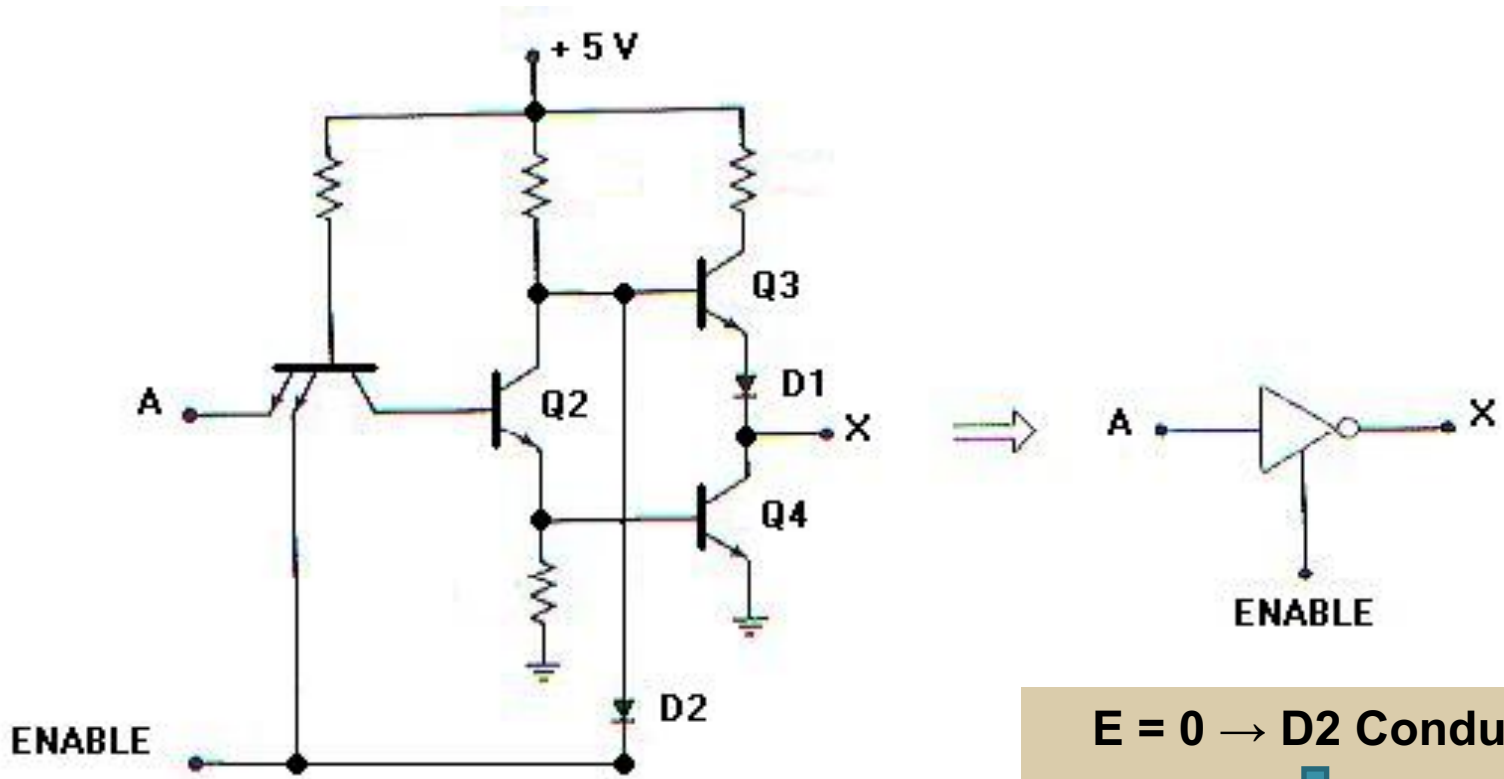


FIGURA 8.35

Três condições de saída tristate.

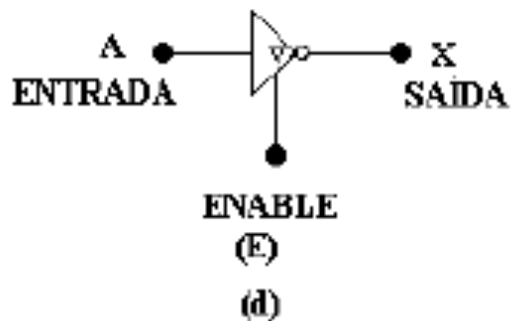
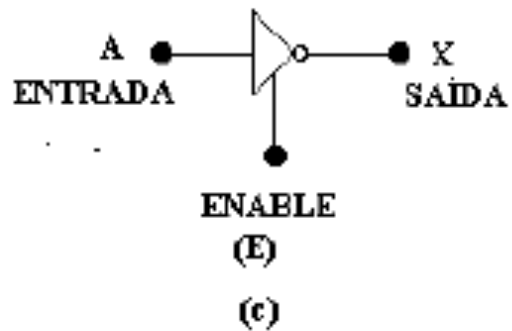
Porta Inversora Tri-State



E = 1 → D2 aberto
↓
Saída: Inversor normal

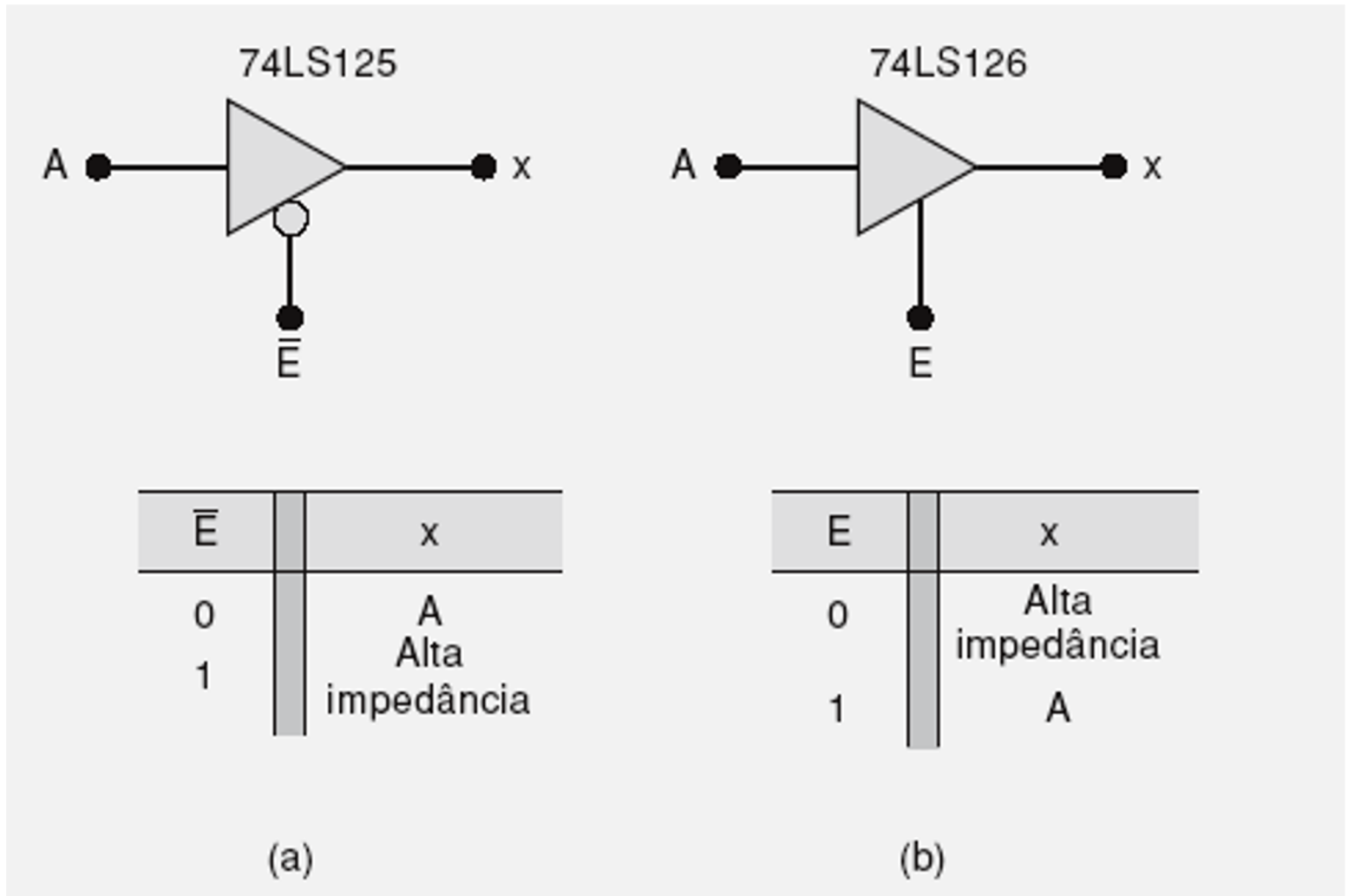
E = 0 → D2 Conduz
↓
Q2, Q3 e Q4 ficam abertos
↓
Saída: Alta impedância

Porta inversora Tri-State

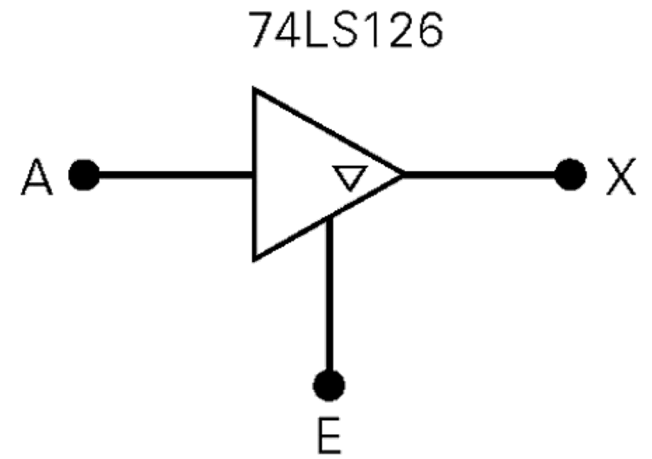
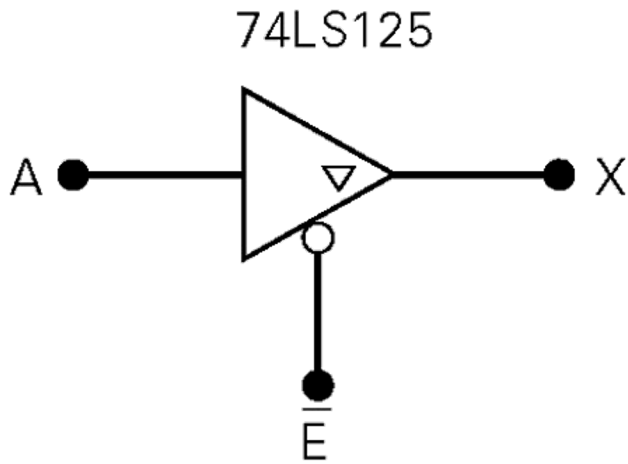


HABILIT(E)	ENTRADA	SAÍDA
1	0	1
1	1	0
0	0	Alta imped.
0	1	Alta imped.

Buffers tristate (não-inversores)



Símbolo Tristate



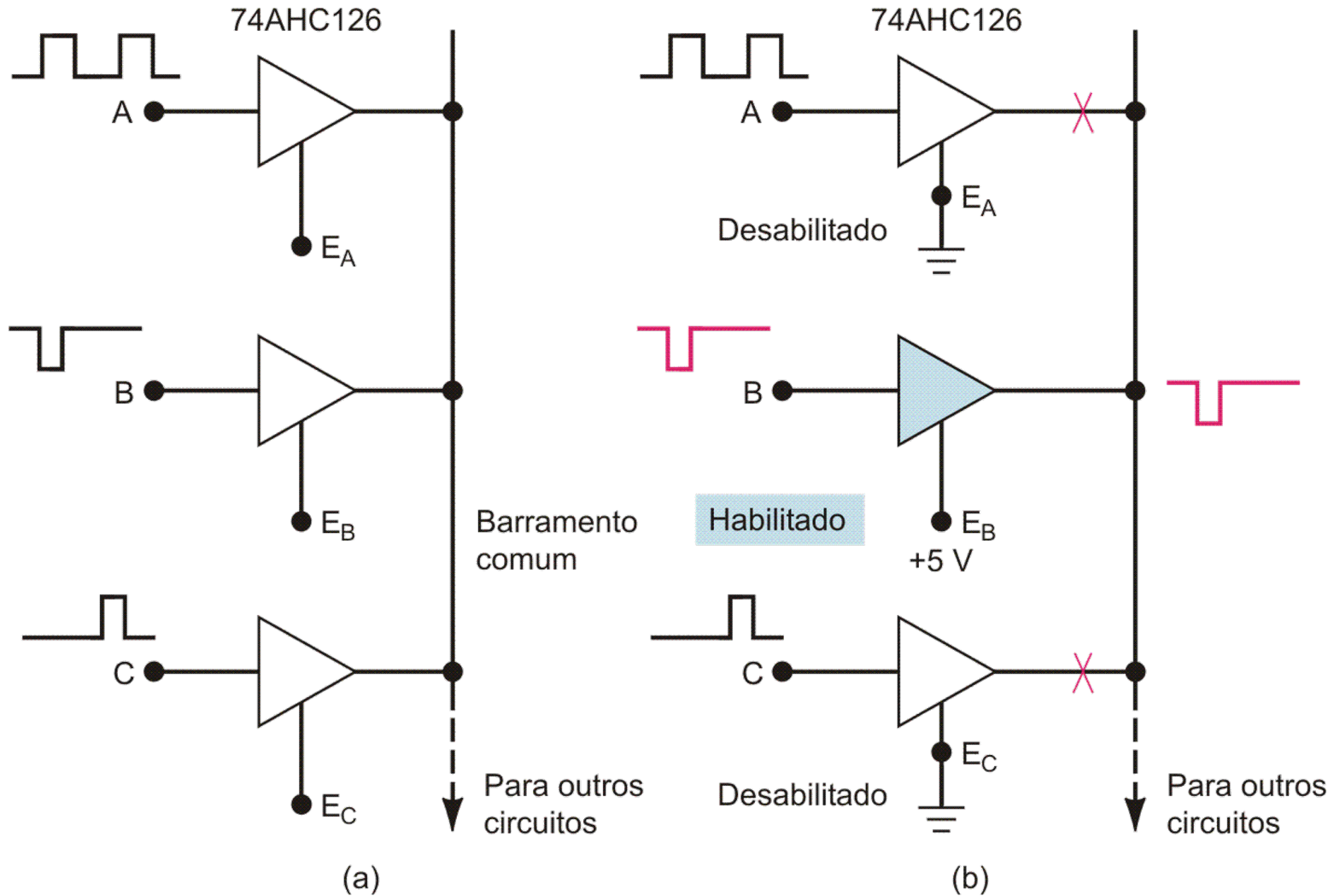
Saídas 3-State

- Saídas de CIs com *3-state* podem ser conectadas juntas sem causar problemas à velocidade de chaveamento (mesma velocidade dos TTL comuns)
- Quando várias portas *3-state* são ligadas juntas, apenas uma deve ser habilitada por vez.
 - Pode danificar o dispositivo se essa condição não for respeitada!

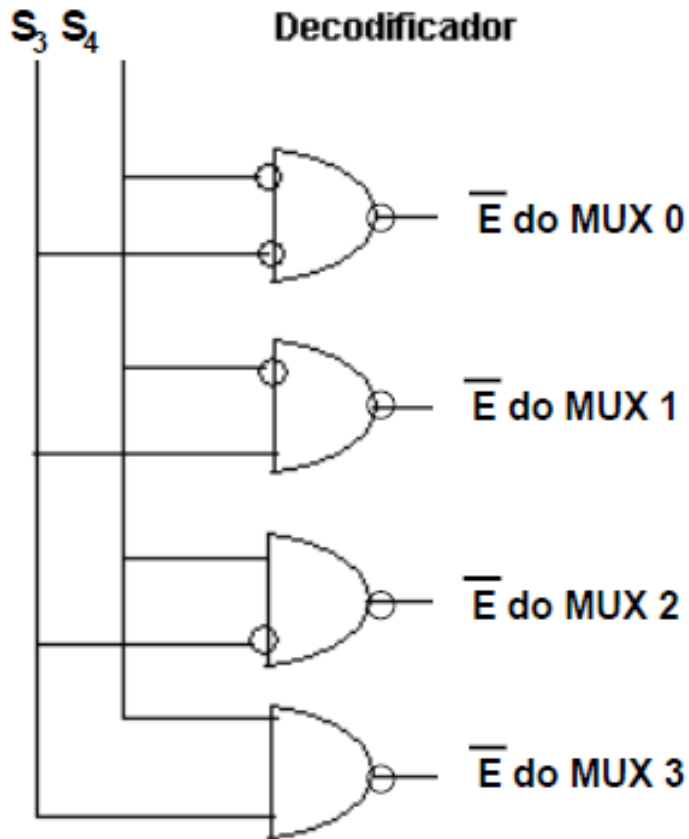


IMPORTANTE

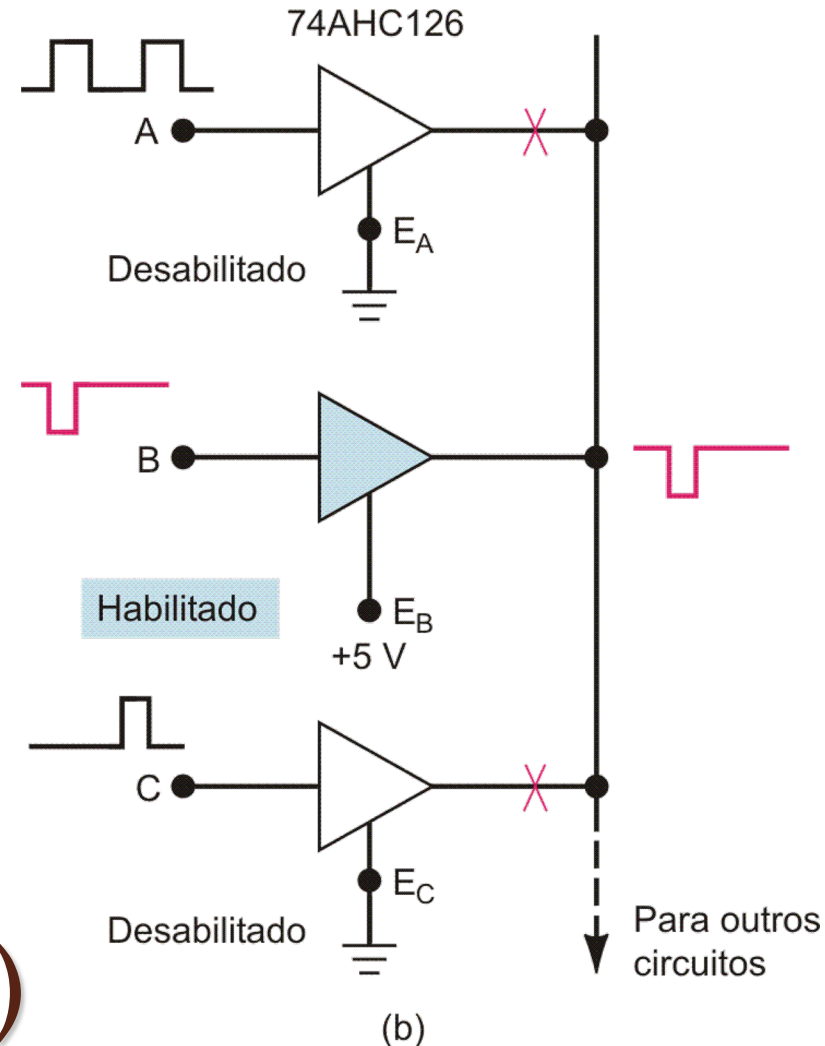
- Tristate usados para conectar alguns sinais a um barramento comum;
- Condições para transmitir o sinal B para o barramento.



- Usa-se decodificador para a lógica de seleção dos *buffers*.
- Somente um *buffer* acionado por vez



$$S_4 S_3 = 01 = 1 \rightarrow (E_B)$$



Compartilhamento de barramento de dados

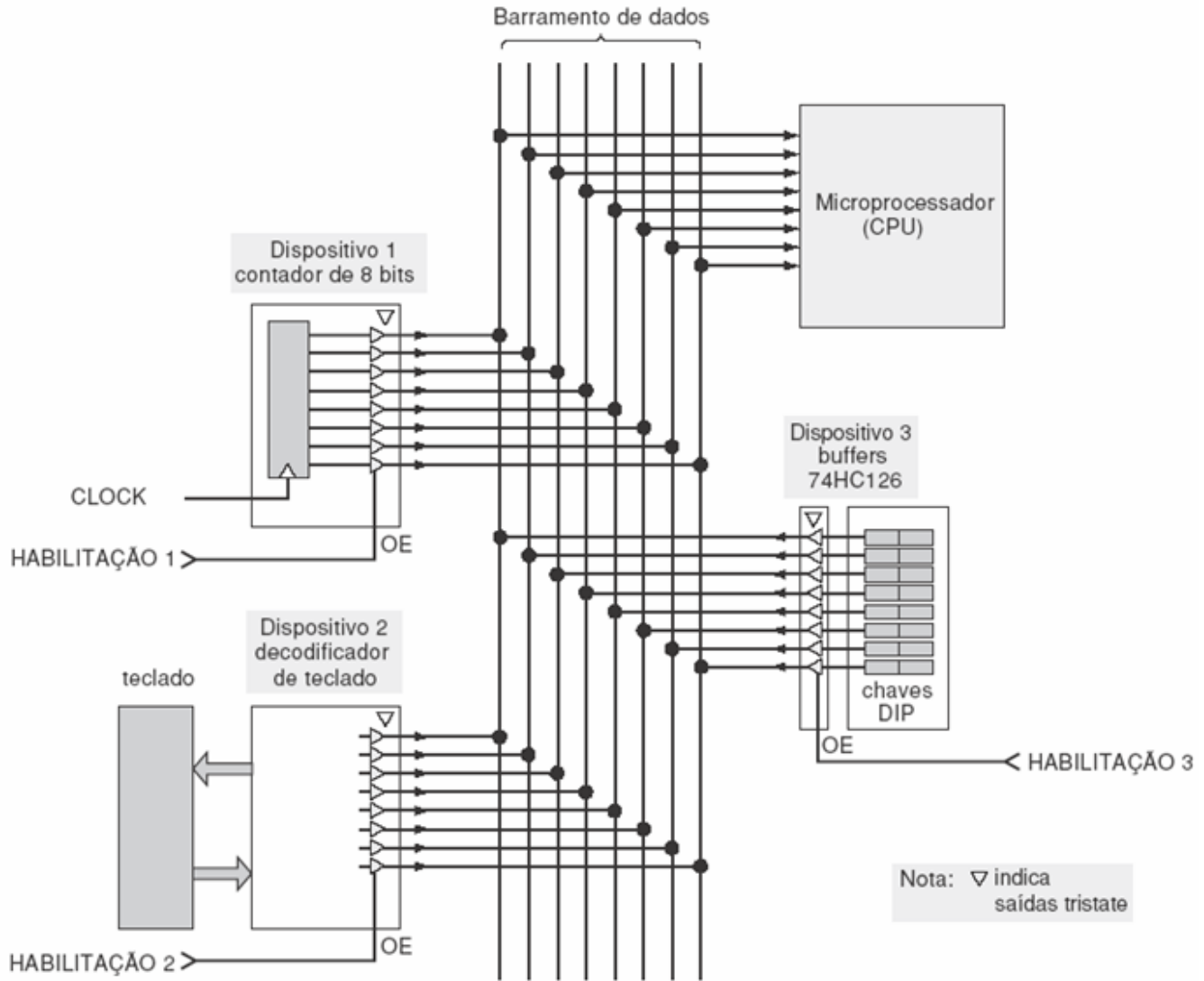
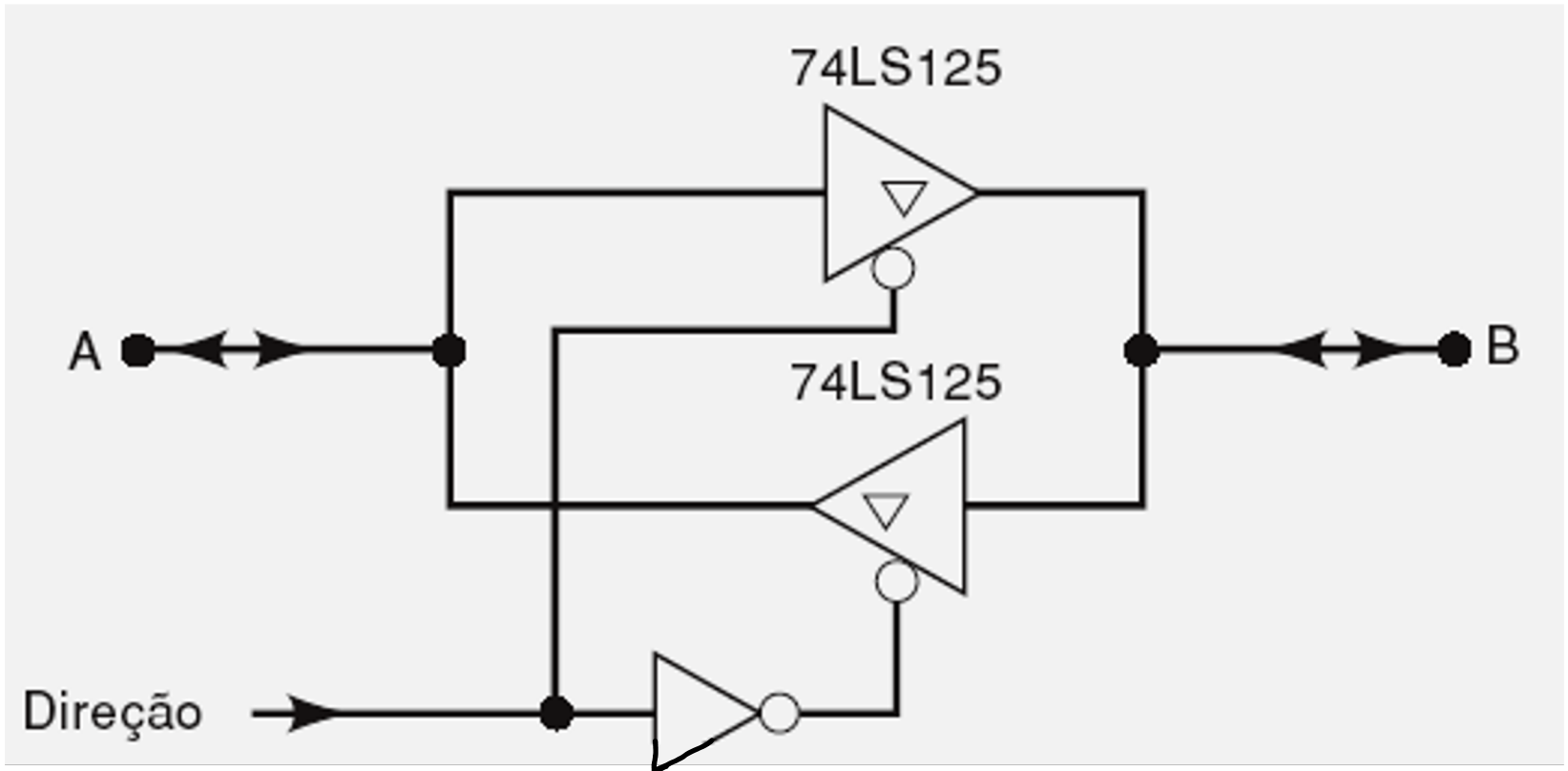


FIGURA 9.41

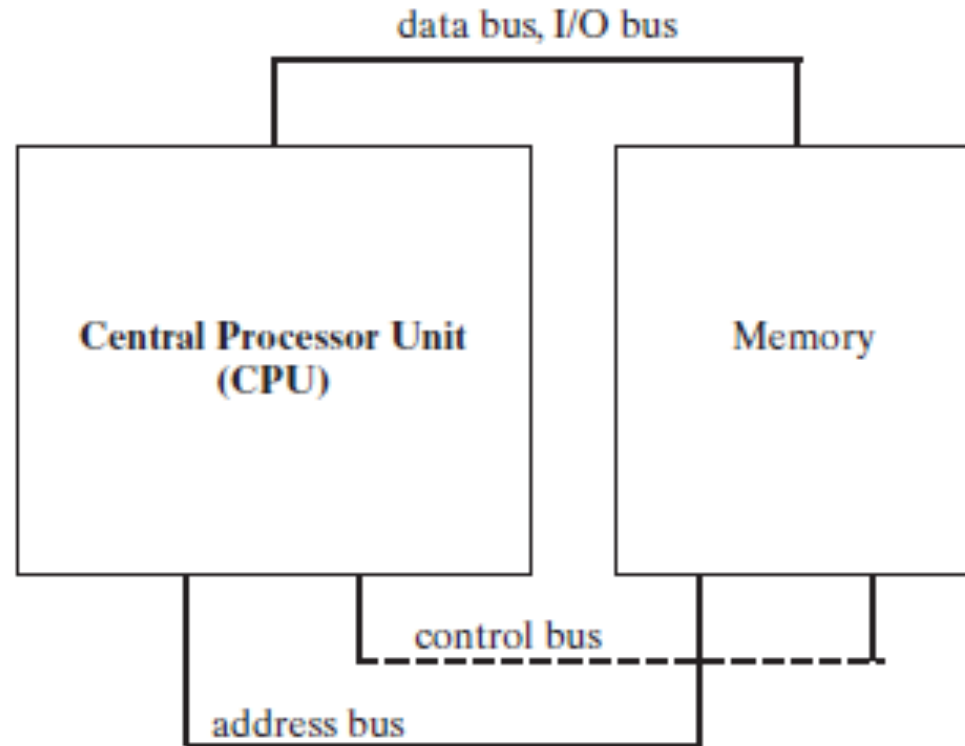
Três dispositivos diferentes podem transmitir oito bits de dados, por meio de um barramento de dados de oito linhas, para um microprocessador; apenas um dispositivo de cada vez é habilitado para que a contenção de barramento seja evitada.

Porta Bidirecional Utilizando Tristate



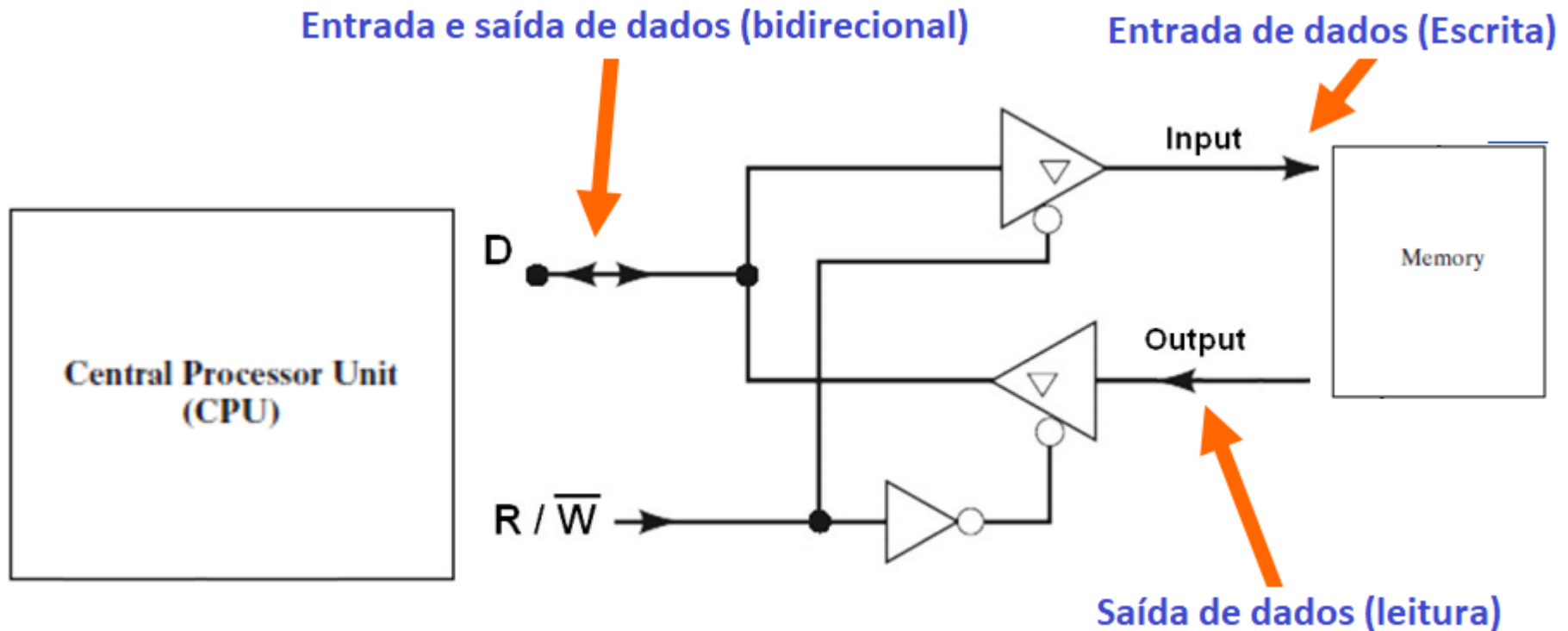
- A lógica com o *Enable* permite escolher a direção de fluxo dos dados - Duto Bi-direcional

Porta Bidirecional Utilizando Tristate



- Control Bus -> Escolhe a direção (Read/Write)
- Ler ou Escrever na Memória

Porta Bidirecional – Memória – Read/Write



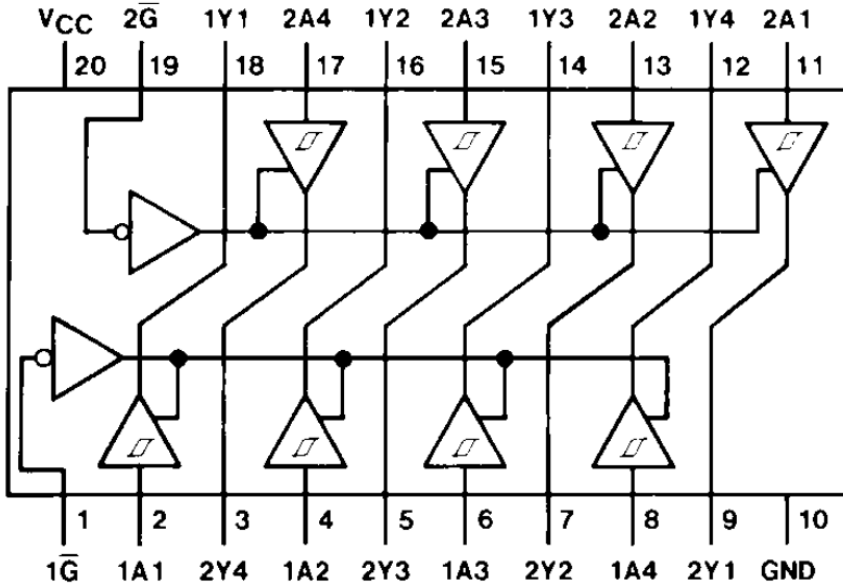


Alguns circuitos comerciais tristate

DM74LS244

Octal 3-STATE Buffer/Line Driver/Line Receiver

Connection Diagram



Function Table

Inputs		Output
\overline{G}	A	Y
L	L	L
L	H	H
H	X	Z

L = LOW Logic Level

H = HIGH Logic Level

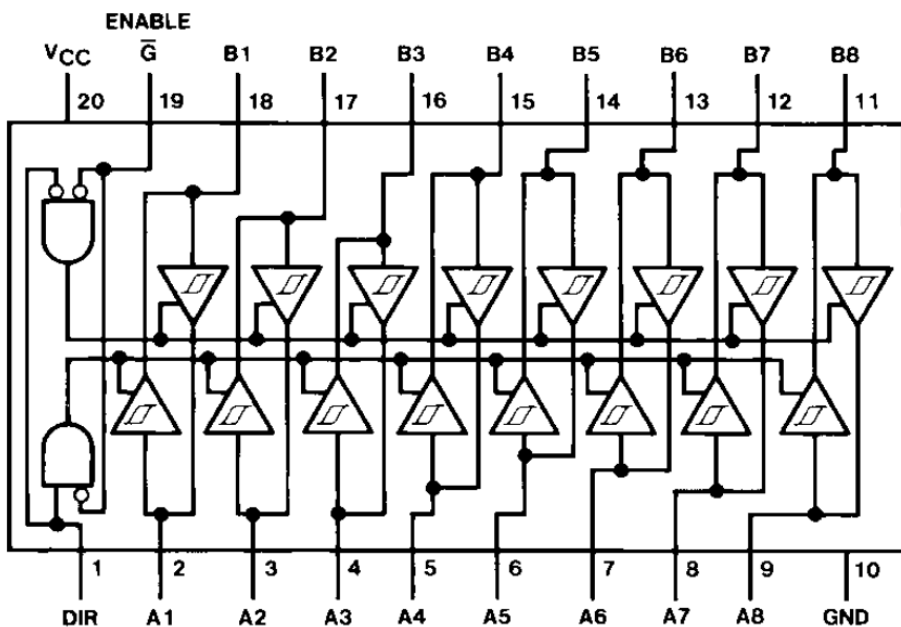
X = Either LOW or HIGH Logic Level

Z = High Impedance

DM74LS245

3-STATE Octal Bus Transceiver

Connection Diagram



Function Table

Enable \overline{G}	Direction Control DIR	Operation
L	L	B Data to A Bus
L	H	A Data to B Bus
H	X	Isolation

H = HIGH Level
L = LOW Level
X = Irrelevant

FIM