



Escola de Engenharia de São Carlos
Departamento de Engenharia Elétrica e de Computação

SEL0384 – Laboratório de Sistemas Digitais I

Profa. Luiza Maria Romeiro Codá
Profa. Dra. Maria Stela Veludo de Paiva

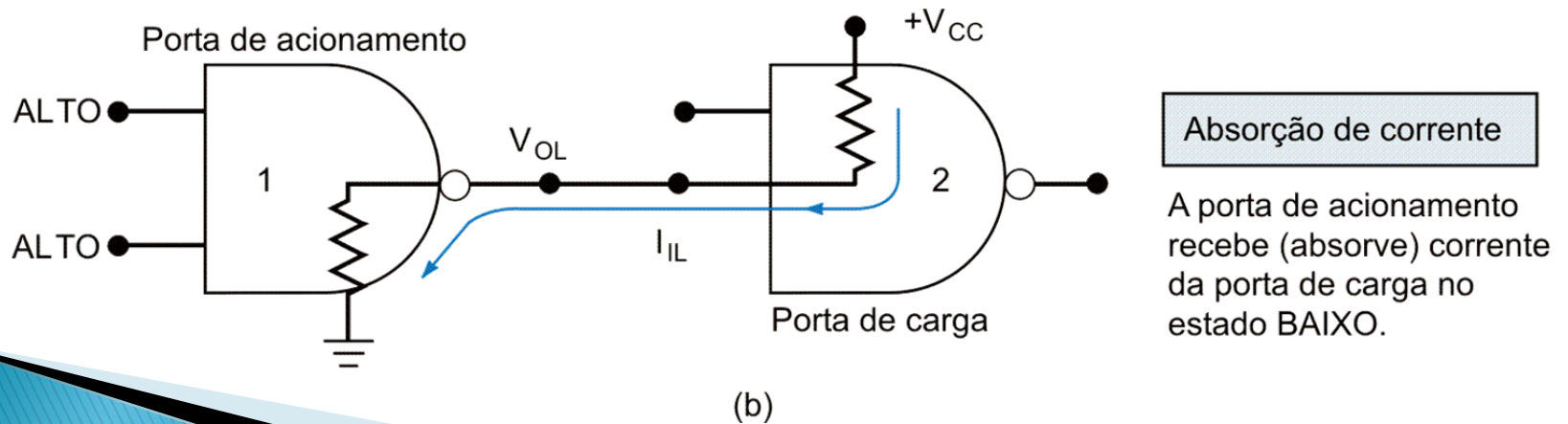
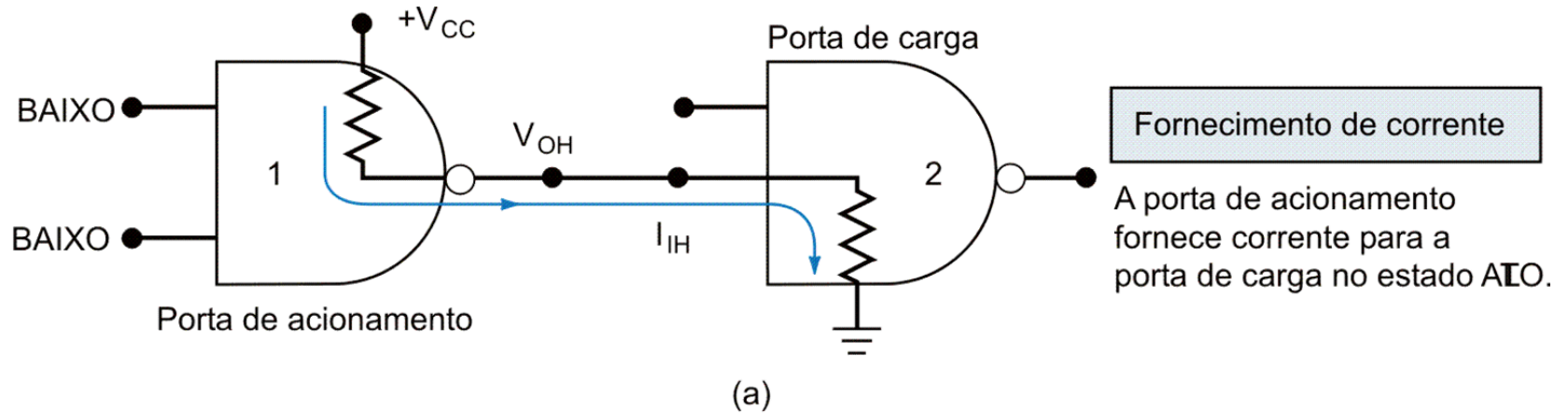


Medida de Fan-out e Compatibilidade entre CIs de Famílias Diferentes

Aula 2

Profa. Luiza Maria Romeiro Codá
Profa. Dra. Maria Stela Veludo de Paiva

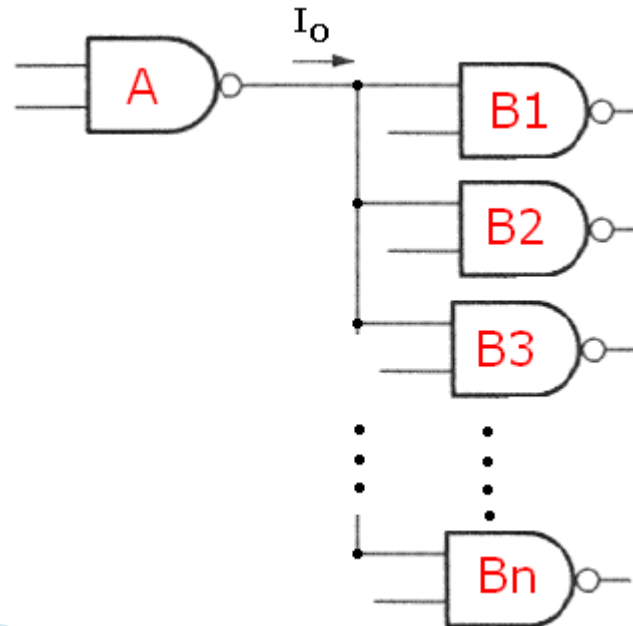
Funcionamento de uma porta lógica



Medida de Fan-out

Sistemas digitais: diversas portas podem ser conectadas à saída de uma mesma porta

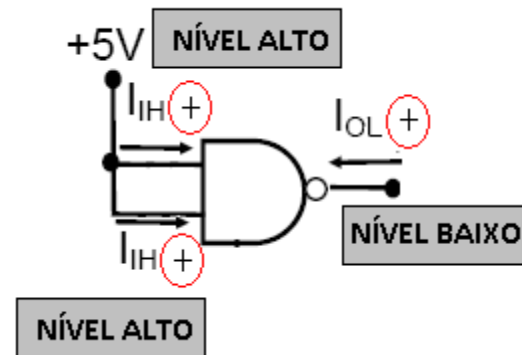
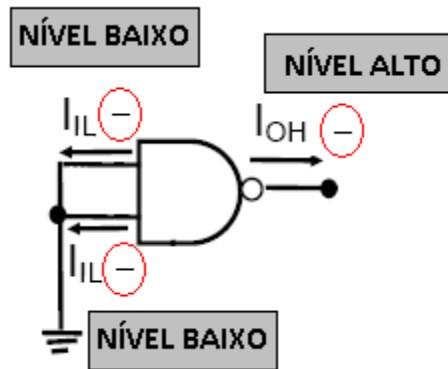
A porta de acionamento, A, “enxerga” a porta de carga B1 como uma impedância Z . Ao aumentar a quantidade de portas ligadas à saída da porta de acionamento, a impedância equivalente do bloco (B1 a Bn) diminui, e portanto a corrente I_o aumenta .



Medida de Fan-out(Cont)

- ✓ Cada tipo de porta apresenta um valor máximo de corrente de saída que pode ser drenada (I_{oHmax}) ou absorvida (I_{oLmax}) pela porta
- ▶ ***Fan-out:*** *é o número que expressa qual a quantidade máxima de blocos da mesma família que poderá ser conectado à saída de um bloco.*

convenção do sinal das correntes na porta lógica

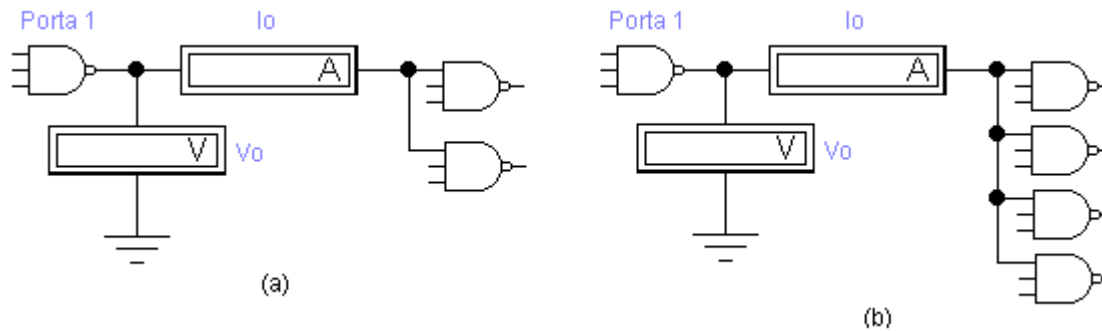


Cálculo do Fan-out

$$\text{Fan-out} = \text{mín} \{ n_H, n_L \} \quad [1]$$

onde: $n_H = \left| \frac{I_{oHmax}}{I_{iHmax}} \right|$ e $n_L = \left| \frac{I_{oLmax}}{I_{iLmax}} \right|$

Experimento: Medida experimental do Fan-out

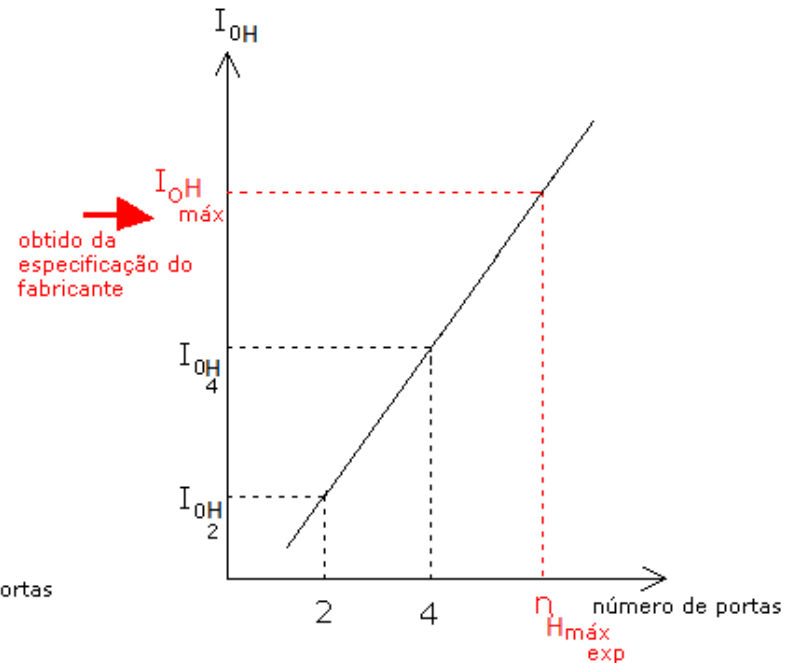
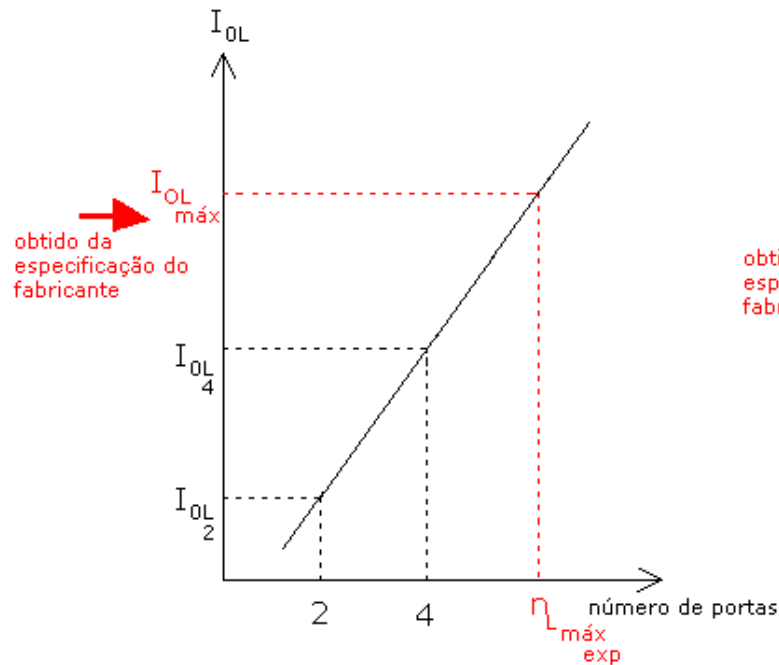


Número de portas (N)	I_{oL}	I_{oH}	V_{oL} (V)	V_{oH} (V)
2				
4				

Experimento: Medida experimental do Fan-out(cont)

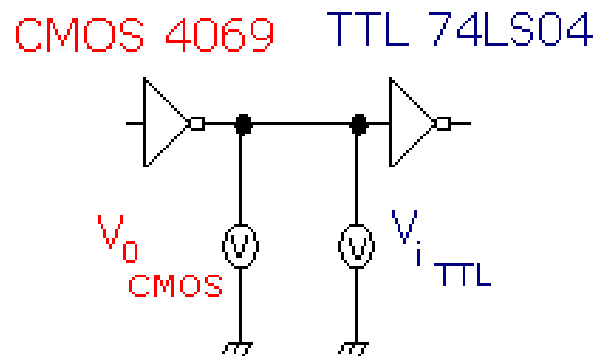
Número de portas (N)	I_{oL}	I_{oH}	$V_{oL}(V)$	$V_{oH}(V)$
2				
4				

Com os valores da Tabela acima, obter a equação da reta para I_{oL} e I_{oH} e obter o fan-out experimental. Comparar com o fan-out experimental com o obtido através da expressão [1]



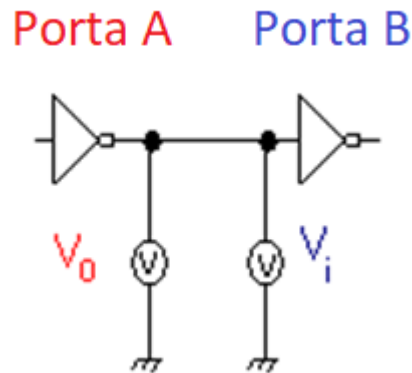
Experimento: Compatibilidade entre Cis de famílias diferentes

Ligando portas de famílias diferentes num mesmo circuito deve-se verificar se os níveis de tensões e valores de correntes são compatíveis



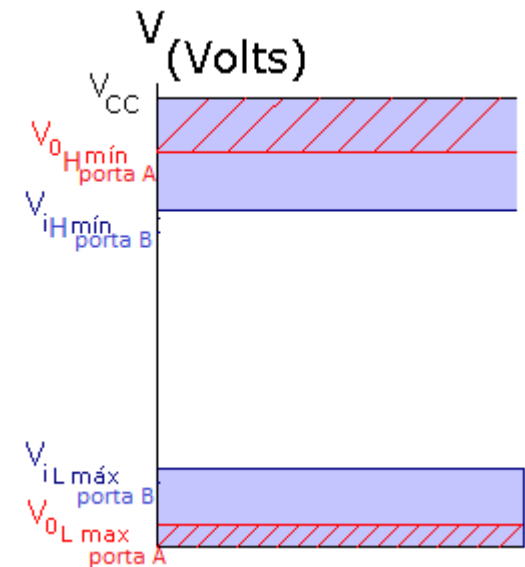
Experimento: Compatibilidade entre CIs de famílias diferentes (cont)

Exemplo Genérico: Nesse caso, todos os valores de nível lógico que a saída da **porta A** aciona a entrada da **porta B** são interpretados corretamente, portanto são compatíveis eletricamente, tanto para nível alto como para nível baixo.



V_{OL} porta A \Rightarrow V_{iL} porta B

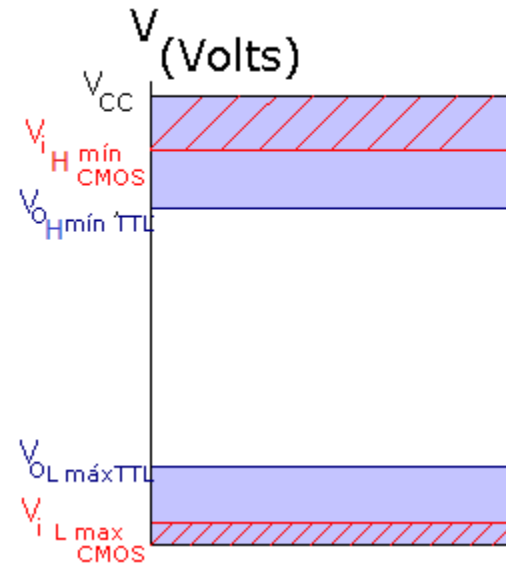
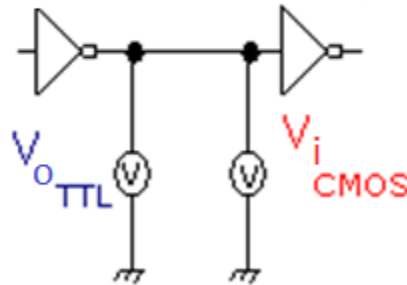
V_{OH} porta A \Rightarrow V_{iH} porta B



Experimento: Compatibilidade entre Cis de famílias diferentes (cont)

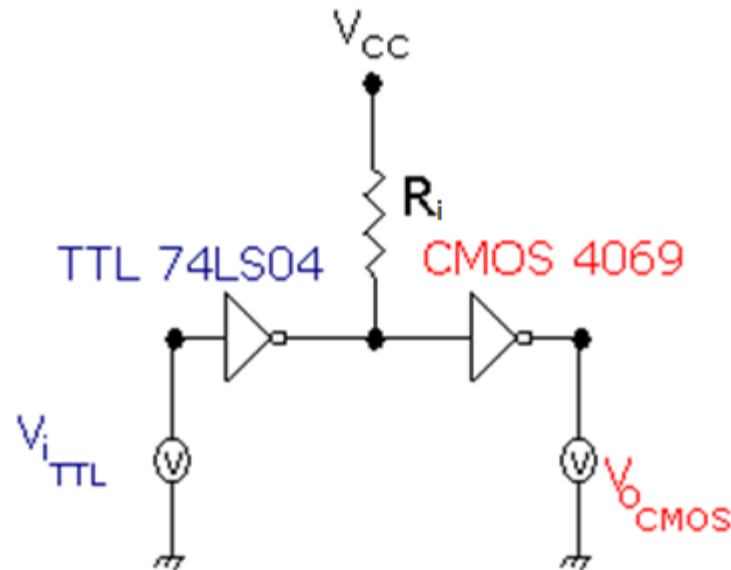
TTL acionando CMOS: Os valores que a porta TTL envia para o CMOS
Entram na faixa proibida do CMOS → não são compatíveis eletricamente.

TTL 74LS04 CMOS 4069



Experimento: Compatibilidade entre CIs de famílias diferentes (cont)

Compatibilizando \Rightarrow Inserir um resistor (R_i) entre a saída da porta acionadora(TTL) e a entrada da porta acionada (CMOS) e o V_{cc}



Compatibilizando CIs de famílias diferentes (cont)

Cálculo do resistor R_i para compatibilidade:

R_i é um valor entre $R_{i\min}$ e $R_{i\max}$ (ver pag. 37 apostila de Laboratório de Sistemas Digitais)

$$R_{i\min} = \frac{(V_{cc} - V_{oL\max})}{I_{oL\max}}$$

$$R_{i\max} = \frac{t}{C_i \times \ln \left[\frac{V_{cc}}{V_{cc} - V_{iH\min}} \right]}$$

Onde: t é o tempo de transição
 C_i é a capacitância de entrada

Experimento: Compatibilidade entre CIs de famílias diferentes (cont)

Variar a tensão de entrada da porta TTL (V_{i_TTL}) medir com o voltímetro e comparar com a tensão de saída da porta CMOS (V_{o_CMOS})

Nível baixo para a porta TTL

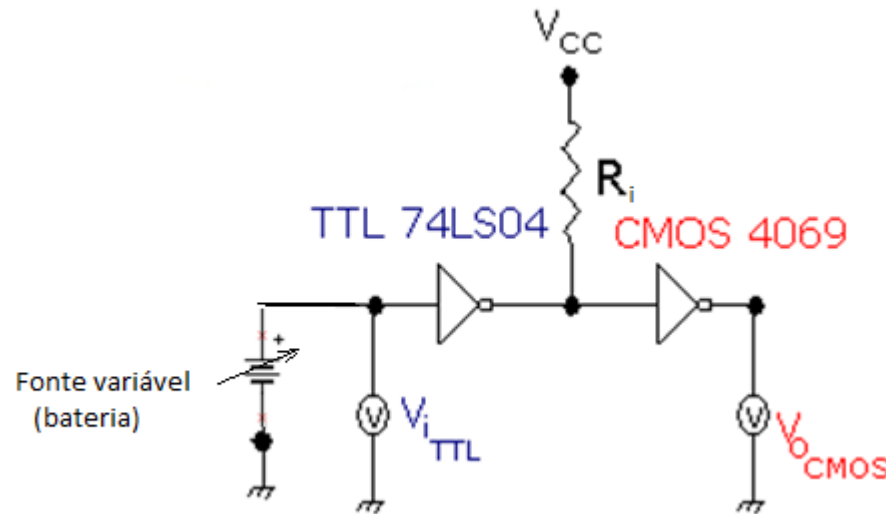


nível baixo para porta CMOS

Nível alto para a porta TTL



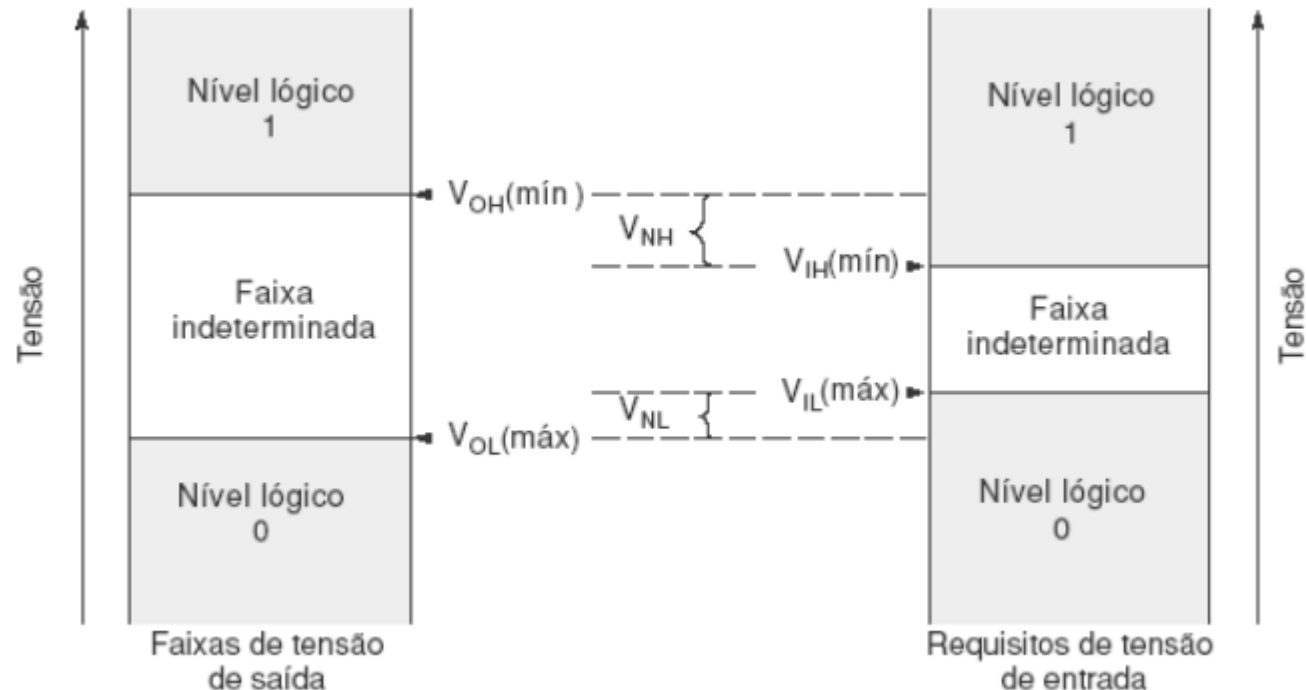
nível alto para porta CMOS



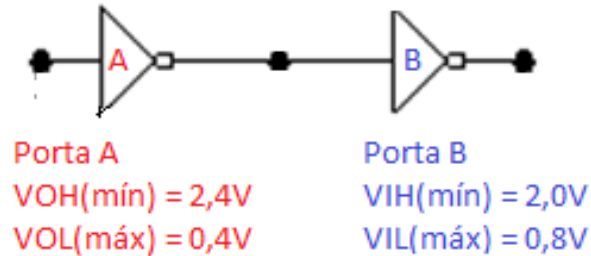
Margem de ruído(ou Imunidade ao ruído):

É a variação da tensão que pode ocorrer na saída de uma porta para as entradas da portas que estão sendo alimentadas, de maneira que as entradas das portas ainda reconheçam o sinal como sendo nível lógico;

- VNH: a maior amplitude de ruído tolerável quando uma saída nível ALTO está acionando uma entrada.
- VNL: a maior amplitude de ruído tolerável quando uma saída nível BAIXO está acionando uma entrada.



Margem de ruído(ou Imunidade ao ruído):



Margem de ruído para nível alto:

$$VNH = VOH(\text{mín}) - VIH(\text{mín}) = 2,4V - 2,0V = 0,4V$$

Margem de ruído para nível baixo:

$$VNL = |VOL(\text{máx}) - VIL(\text{máx})| = |0,4V - 0,8V| = 0,4V$$

Obs: dependendo da características elétricas das portas VNH pode ser diferente de VNL

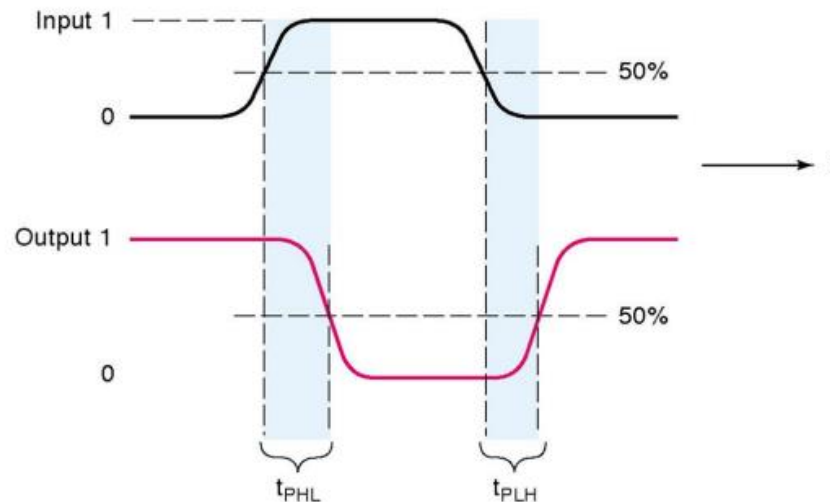
Atraso de Propagação:

É o tempo que a porta leva para responder a uma variação da entrada

- t_{PHL} = tempo de atraso do estado lógico 1 para o estado lógico 0.
- t_{PLH} = tempo de atraso do estado lógico 0 para o estado lógico 1.

Em geral, os dois atrasos não têm o mesmo valor e variam dependendo das condições de carga.

Tais atrasos são utilizados como uma medida de velocidade relativa dos circuitos lógicos.



Exemplo para uma porta inversora

FIM