****

**Departamento de Engenharia Elétrica e de Computação**

SEL 405 –Laboratório de Introdução aos Sistemas Digitais I

# Trabalho Nº3

Dispositivos de Lógica Programável –FPGA (*Field- Programmable Gate Array*)

 “Circuitos Combinacionais: Somador/Subtrator de 2 digitos em BCD”

**1. Objetivos:**

* utilização de circuitos aritméticos e decodificadores BCD para 7 segmentos
* utilização do programa QUARTUSII da empresa ALTERA no projeto e simulação de circuitos em dispositivos “CPLD (Dispositivo Lógico Programável Complexo e FPGA( Arranjo de Portas Programável em Campo).

**2. Procedimento Experimental:**

**2.1** Utilizando o software QUARTUSII, configurar no dispositivo HCPLD Cyclone IV-E EP4CE30F23C7 do Módulo de desenvolvimento Mercúrio IV –Macnica DWH, modificar o circuito somador/subtrator da prática anterior para mostrar o resultado da soma de 2 palavras de 4 bits com ajuste decimal. O resultado deve ser apresentado em dois displays de 7 segmentos. O resultado que tem 4 dígitos (S[3] S[2] S[1] S[0]) deve ser apresentado em BCD no display de 7 segmentos , Cada digito BCD é representado por 4 bits de (0000)b a (1001)b, ou seja de 0 a 9 em decimal. Quando a soma tiver resultado maior do que 9 (1001)b, esse valor deve ser ajustado e em um outro display deve aparecer 0 1.

O circuito a ser implementado deve executar a operação de soma ou subtração de 2 números de 4 bits representados por A e B. A entrada A é ( A[3] A[2] A[1] A[0]), e a entrada B é (B[3] B[2] B[1] B[0]),

Exemplos:

 Soma de A + B 8 + 8 A= A[3] A[2] A[1] A[0]= 8

 B = B[3] B[2] B[1] B[0] = 8

 

Esses valores ligados ao display de 7 segmentos mostraria o número 10, como mostra a figura 1, quando deveria mostrar 16.



Figura 1 Resultado apresentado no display da soma de 8+8 sem ajuste decimal

Portanto, é necessário fazer o ajuste de binário BCD (4 bits) para decimal. Para ajustar o resultado deve ser somado o valor (0110)b ao resultado binário da soma, figura 2,



 Figura 2 Apresentação do número 16 nos displays, resultado da soma de 8+8 com ajuste decimal

Então, o circuito implementado deve prever a soma do valor 6 ao resultado apenas da soma. Para tal, deve ser acrescentado ao circuito somador/subtrator, projetado anteriormente, um circuito somador completo (7483) e um circuito multiplex que selecione o valor 6 quando ocorrer uma soma (sinal P=0) e quando um carry = 1 seja gerado entre a soma dos 4 bits de A e B(somador interno ao circuito somador/subtrator), se essa situação (P= 0 e Cf=1) não ocorrer o multiplex deve selecionar o valor 0. O diagrama em blocos do circuito é mostrado na Figura 3. Para visualizar o resultado no display, utiliza-se o decodificador 7448, o qual é um circuito decodificador BCD para display de 7 segmentos catodo comum (mostrado na Figura 4.



Figura 3 Circuito de ajuste de hexadecimal para BCD para 2 dígitos decimais

O Multiplex usado na figura 3 pode ser o componente lpm\_mux selecionando 2 entradas de 4 bits, e automaticamente é gerado 1 entrada de seleção de 1 bit. As constantes de 6 e 0 podem ser criadas com o componente lpm\_constant com 4 bits. O 7448 é um CI decodificador BCD para display de 7 segmentos catodo comum, ou seja, as saídas são ativas em nível alto como mostra a Figura 4.



Figura 4 Decodificador BCD pra display de 7 segmentos catodo comum

As entradas ABCD são as entradas binárias onde a entrada a é a menos significativa. Os controles LTN, RBIN e BN podem ser deixados sem ligação. As 7 saídas de QA a QF serõ ligadas nos displays da placa.

 **2.2** Simule o funcionamento do circuito analisando as saídas do decodificador 7448 utilizando o ModelSIM.

**2.3** Para o relatório entregar pelo Moodle um arquivo PDF com a figura (print screen) do projeto esquemático no software Quartus II com os comentários necessários ao entendimento do que foi projetado, figura do RTL gerado (print screen) e das formas de onda de simulação( (print screen) ).cópia impressa do esquemático com os comentários necessários ao entendimento do que foi projetado, incluindo nomes e número USP dos componentes do grupo.

**4. Bibliografia:**

* Site da ALTERA
* Fregni, E. & Saraiva, A.M., “Engenharia do Projeto Lógico Digital”, Ed. Edgard Blücher Ltda.
* Tocci, J. R. , “Sistemas Digitais- Princípios e Aplicações.