****

**Departamento de Engenharia Elétrica e de Computação**

# SEL 455 – Laboratório de Sistemas Digitais

# Prática nº3 COVID

“Dispositivos de Lógica Programável de Complexo (CPLD- “Complex Programable Logic Devices”)- Acionamento de LEDS de uma matriz e Display de 7 segmentos”

* 1. Utilizando o software QUARTUSII**,** crie um projeto para ser configurado nodispositivo HCPLD EP4CE30F23C7, família Cyclone IV-E da placa mercúrio IV da Macnica, de tal forma que o circuito projetado controle a matriz de LEDs 5x8 da seguinte maneira:

acenda um LED por vez, a cada 5Hz percorrendo da 1ª linha até a 7ª. linha com a 1ª coluna (LEDM\_C[0]) selecionada(em `0`). Após o Led da 7ª. Linha a próxima coluna deve ser selecionada e novamente o LED aceso deve percorrer da 1ª a 7ª linha. Repita esse procedimento até a última coluna.

Nomeie as saídas para as 7 linhas da matriz como LEDM\_R[0] até LEDM\_R[7]) e as 5 colunas como LEDM\_C[0] até LEDM\_C[4].

Ambas, linhas e colunas são selecionadas com o nível ‘0’. O clock interno de 50MHz é nomeado como CLOCK\_50MHz.

 **Sugestão: use o projeto lpm\_counter e o decodificador 74138. (não usar o 7493!!)**

Para criar um arquivo de projeto esquemático no software QuartusII siga os passos do arquivo “Guia esquemático do QUARTUS” que se encontra no Moodle disciplinas Stoa USP.

 1.2 Para apresentar as saídas dos contadores nos displays de 7 segmentos da placa Utilize o decodificador para display, BCD para 7 segmentos 7448, tabela mostrada na Figura 1, que é um decodificador BCD para display de 7 segmentos com configuração catodo comum, ou seja, o segmento acende quando tem nível `0` nas entradas. para apresentar as saídas dos contadores nos displays de 7 segmentos DISP1 (display da esquerda) e DISP0 (display da direita), respectivamente, o número da coluna e da linha a qual o LED que está aceso pertence. Os segmentos do display acendem com nível’1’. A correspondência entre os nomes dos pinos e os segmentos dos displays é mostrada na Figura 2.



Figura 2 Tabela de Funcionamento do 7448

ON ocorre qdo a entrada do segmento é nível `1`



|  |  |  |
| --- | --- | --- |
| segmento | DISP0 | DISP1 |
| a | DISP0\_D[0] | DISP1\_D[0] |
| b | DISP0\_D[1] | DISP1\_D[1] |
| c | DISP0\_D[2] | DISP1\_D[2] |
| d | DISP0\_D[3] | DISP1\_D[3] |
| e | DISP0\_D[4] | DISP1\_D[4] |
| f | DISP0\_D[5] | DISP1\_D[5] |
| g | DISP0\_D[6] | DISP1\_D[6] |
| Pto. decimal | DISP0\_D[7] | DISP1\_D[7] |

Figura 2 nomes dos displays da placa mercúrio IV

 1.3 Compile, gere o RTL e simule o circuito para verificar o funcionamento

 1.4 Responda: Qual a frequência que deve ser dividido o clock de 50MHz para seja visualizado como se toda a matriz de LEDs estivesse acesa, sabendo-se que o olho humano não identifica frequências acima de 24Hz?

 1.5 Como relatório entregue o pdf do circuito esquemático documentado, RTL gerado, figura com as ondas da simulação e a resposta do item 1.

2. INFORMAÇÕES SOBRE O PROJETO LPM\_COUNTER:

O componente lpm\_counter (figura 3) da biblioteca megafunction do Quartus II é um contador que possibilita que o projetista escolha o modo de seu funcionamento, up ou down assim como o tamanho da contagem até 2 32 bits. A tabela de funcionamento do projeto lpm\_counter é mostrada na Figura 4. A Figura 5 mostra as ondas das saídas q e da saída Cout obtidas da simulação contador módulo 3. Observe que o sinal Cout fica alto assim que o último estado da saída q ocorre(saída 3).

 Esse projeto lpm\_counter apresenta as entradas e saídas descritas abaixo as quais podem ser selecionadas ou não, com exceção da entrada clock e saídas q:

ENTRADAS:

Clock : entrada do pulso que será contado

clk\_en : qdo selecionada habilita a entrada do clock no contador qdo em`1`

cnt\_en: qdo selecionada habilita os valores das saídas do contador em q qdo em `1`

updown: qdo selecionada habilita contagem crescente qdo em `1` e decrescente qdo em `0`

sclear: qdo selecionada entrada reset síncrona zera as saídas qdo em `1` na subida do clock

aclear: qdo selecionada entrada reset assíncrona zera as saídas qdo em `1` independente do clock

sset: qdo selecionada entrada set síncrona e qdo em `1` força as saídas para `1` na subida do clock

aset: qdo selecionada entrada set síncrona e qdo em `1` força as saídas para `1` independente do clock;

sload: qdo essa entrada é selecionada é criada a entrada data que possibilita que a contagem inicie a partir de um número carregado no data qdo sload em `1` e ocorrer uma subida do clock

aload: qdo essa entrada é selecionada é criada a entrada data que possibilita que a contagem inicie a partir de um número carregado no data qdo aload em `1` independente do clock

data: entrada criada qdo a entrada sload ou aload forem usadas e qdo sload ou aload forem iguais a `1`o valor de data é carregado nas sídas q

SAÍDAS:

Q: saídas dos FFs do contador

Cout: saída que é levada a `1`qdo o contador chegar à contagem final chegar ao número máximo qdo crescente e zero qdo decrescente.



Figura 3 Componente lpm\_counter



Figura 4 Tabela de funcionalidade do projeto lm\_counter



Figura 5 Resultado da simulação de um contador módulo 3 construído com lpm\_counter.

**4. Bibliografia:**

* Site da ALTERA
* Fregni, E. & Saraiva, A.M., “ Engenharia do Projeto Lógico Digital”, Ed. Edgard Blücher Ltda.
* Tocci, J. R. , “Sistemas Digitais- Princípios e Aplicações