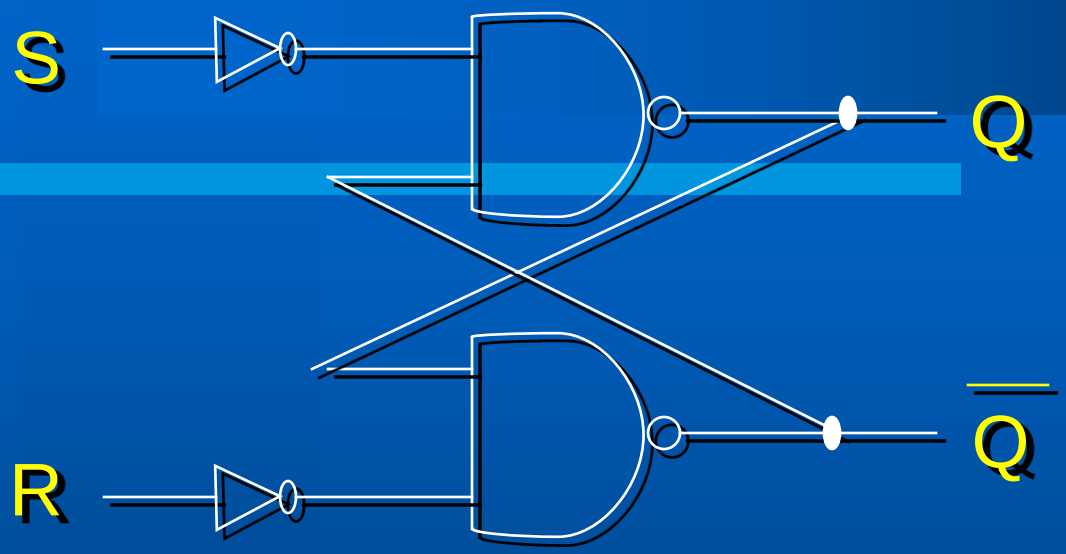
ANÁLISE DE SIST. SEQUENCIAIS SÍNCRONOS

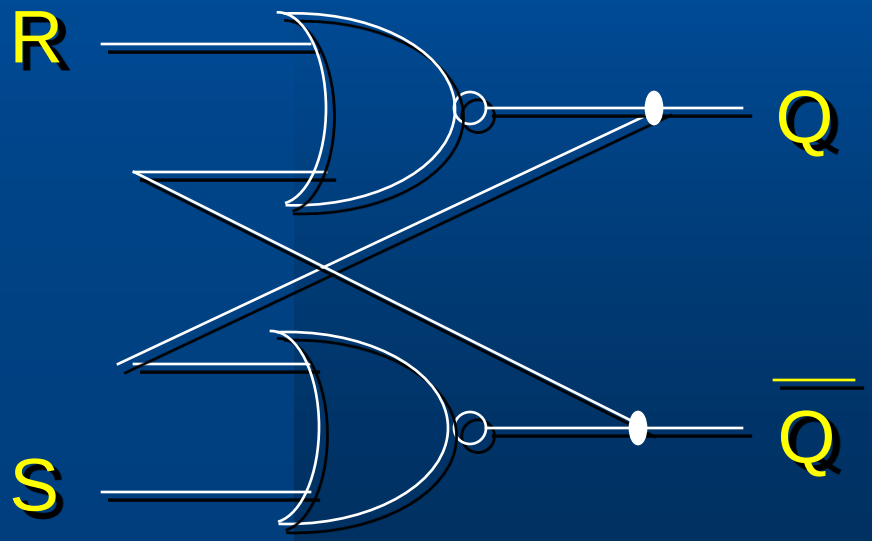
Sel 414 - Sistemas Digitais

Prof. Homero Schiabel

ELEMENTOS DE MEMÓRIA: LATCHES E FLIP-FLOPS

Latch RS





R	S	Q*
0	0	Q
0	1	1
1	0	0
1	1	1 **

Latch RS

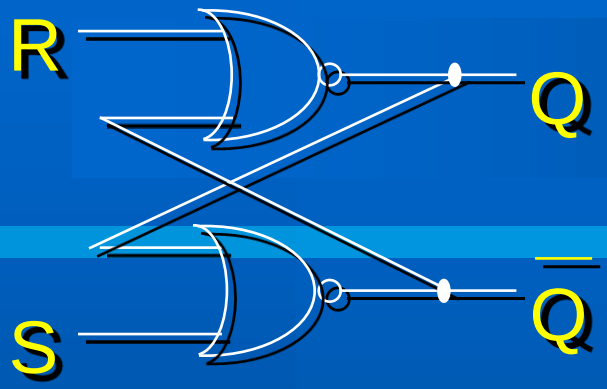
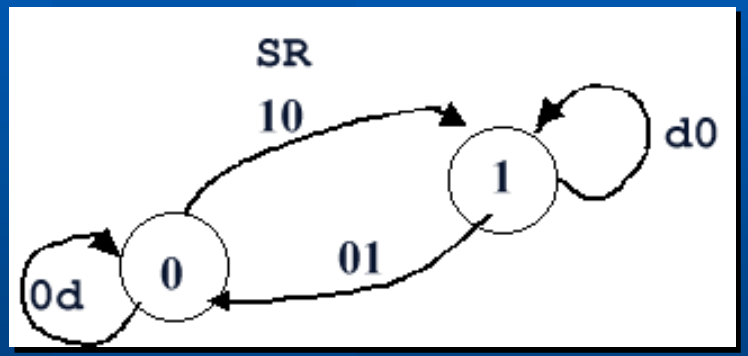


TABELA DE EXCITAÇÃO

Entradas de excitação S	R	Estado presente Q	Estado futuro Q*	
0	0	0	0	Não muda
0	0	1	1	
0	1	0	0	RESET
0	1	1	0	
1	0	0	1	SET
1	0	1	1	
1	1	0	X	"Proibido"
1	1	1	X	

DIAGRAMA DE ESTADO



SR / Q	00	01	11	10
0	0	0	x	1
1	1	0	x	1

EQUAÇÃO CARACTERÍSTICA

$$Q^* = S + \overline{R}\,Q$$

Latch RS Síncrono

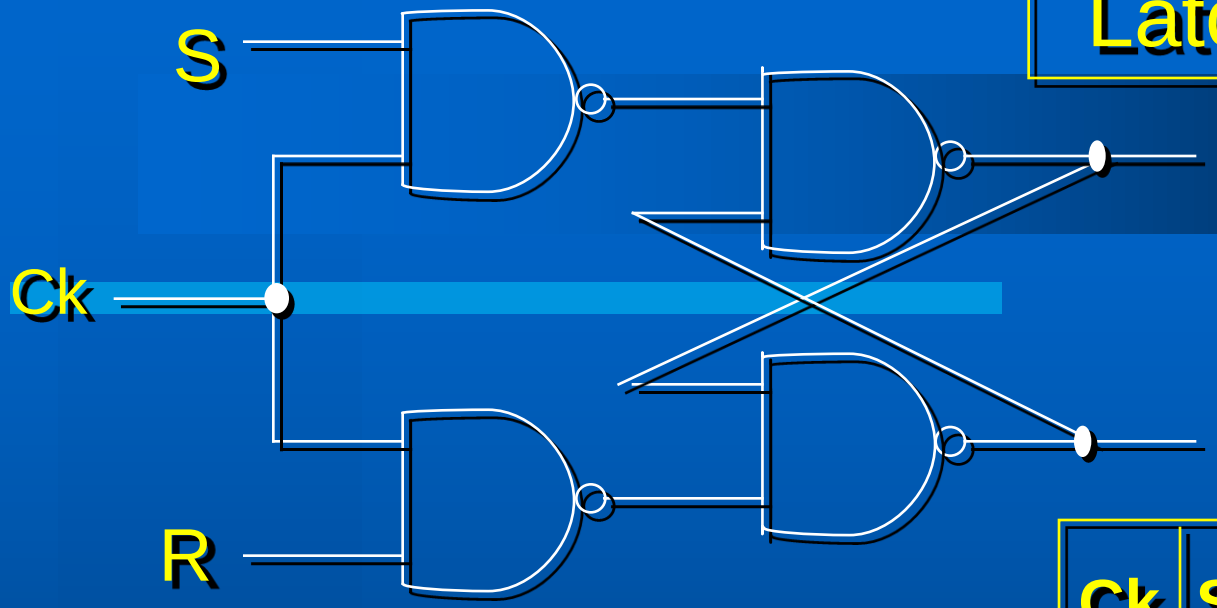
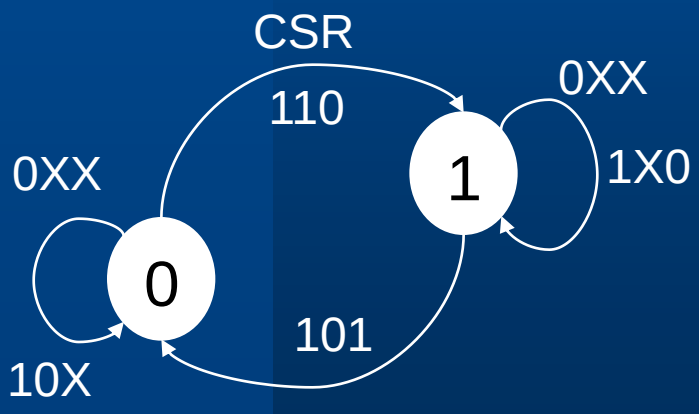


TABELA DE EXCITAÇÃO

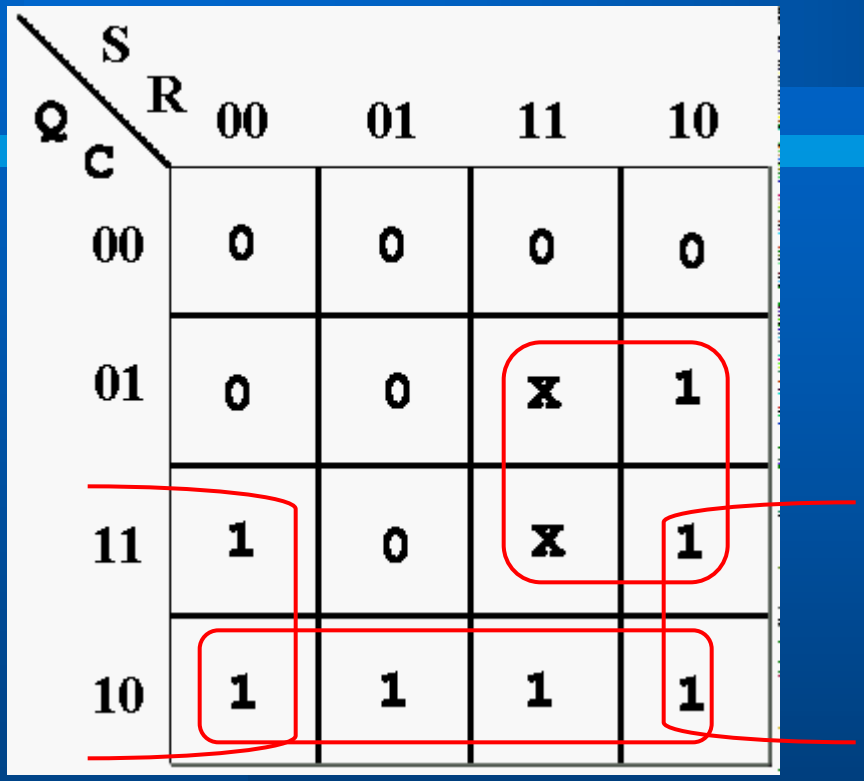
Ck	S	R	Q	Q*	
0	X	X	0	0	Mantém
0	X	X	1	1	
1	0	0	0	0	Não muda
1	0	0	1	1	
1	0	1	0	0	RESET
1	0	1	1	0	
1	1	0	0	1	SET
1	1	0	1	1	
1	1	1	0	X	"Proibido"
1	1	1	1	X	

DIAGRAMA DE ESTADO



Latch RS

K-MAP



Q \ SR	00	01	11	10
00	0	0	0	0
01	0	0	x	1
11	1	0	x	1
10	1	1	1	1

EQUAÇÃO CARACTERÍSTICA

$$Q^* = SC + \overline{R}Q + Q\overline{C}$$

Se C = 0 ➡ $Q^* = Q$

Se C = 1

$$Q^* = S + \overline{R}Q$$

(*) C = CK

que é a eq. característica do RS simples

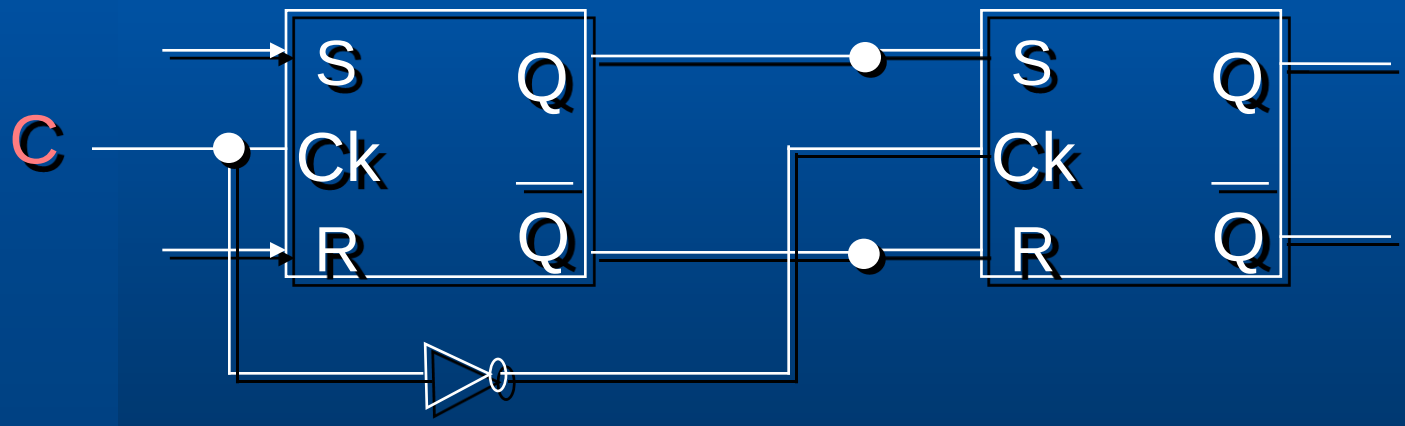
FLIP-FLOP

- *Latches* ➡ inadequados para uso em sistemas seqüenciais síncronos ➡ quando o sinal de *Enable* está ativo, as entradas são gatilhadas diretamente com a saída Q
- Portanto: qualquer mudança na entrada de excitação causa imediatamente uma mudança na saída do *latch*

Quando o *Enable* está ativo o *Latch* comporta-se como Circuito Combinacional!

FLIP-FLOP

Solução ➡ controle de tempo – **CLOCK** – para restringir os tempos nos quais os estados dos elementos de memória podem mudar



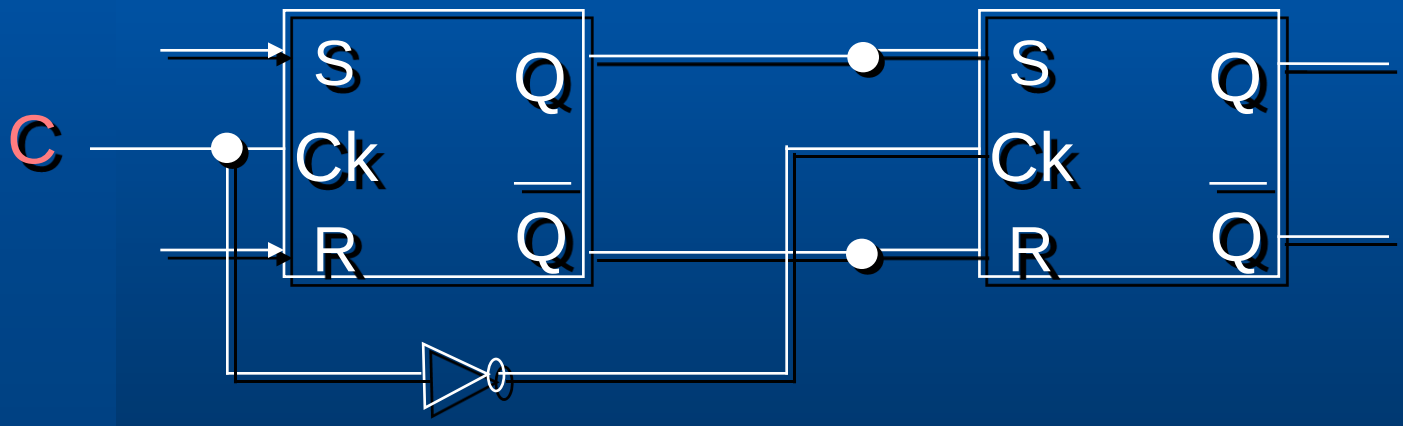
Flip-flop Mestre-Escravo SR

FLIP-FLOP

= à do *latch* simples

Equação característica ➡ $Q^* = S + \overline{R}Q$

- Saída do *latch* RS reage imediatamente a mudanças na entrada
- Saída do FF RS controlada pelo pulso de C



Flip-flop Mestre-Escravo RS

Flip-flop RS Mestre-Escravo

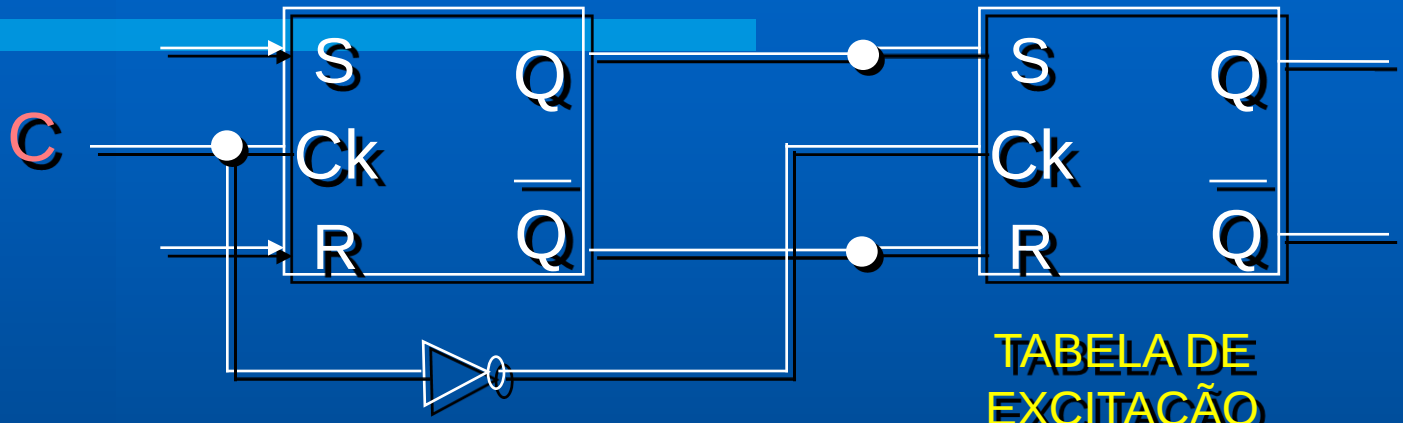
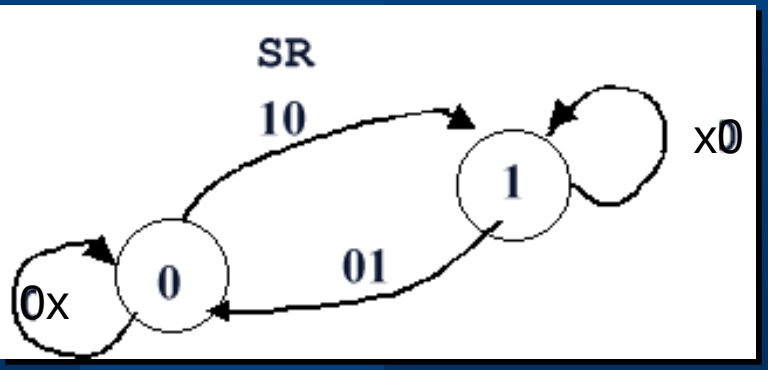


TABELA DE EXCITAÇÃO

DIAGRAMA DE ESTADO



S	R	Q	C	Q*	
0	0	0		0	Não Muda
0	0	1		1	
0	1	0		0	Reset
0	1	1		0	
1	0	0		1	Set
1	0	1		1	
1	1	0		x	Não permitido
1	1	1		x	

Flip-flop Tipo D Mestre-Escravo

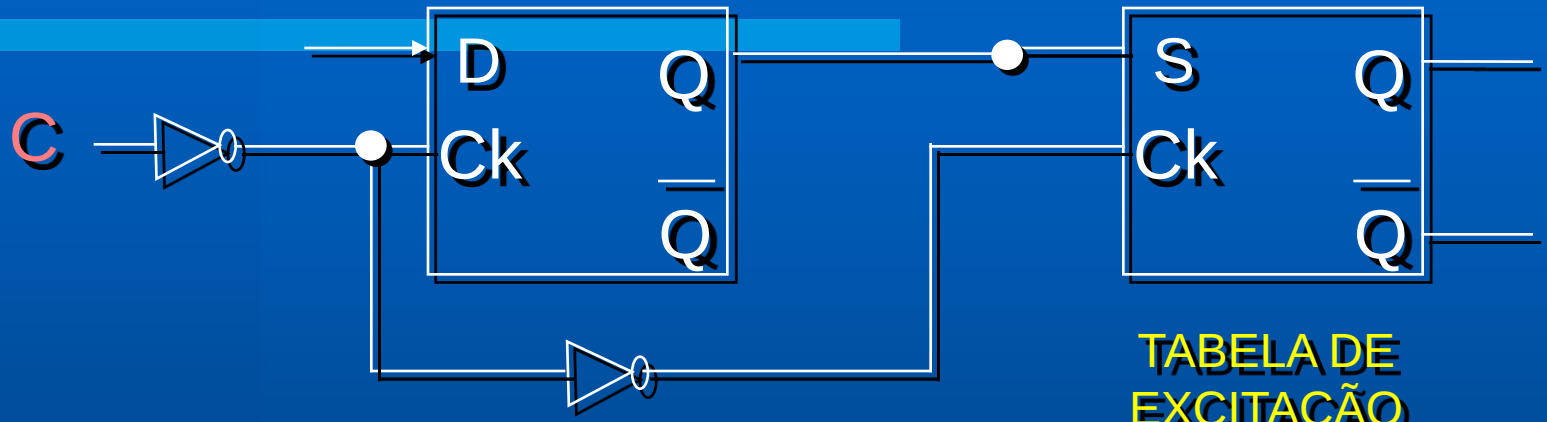
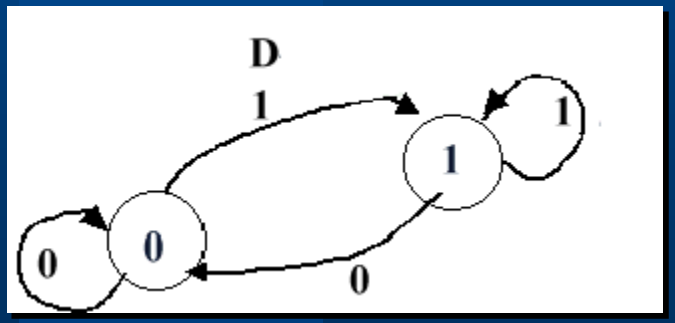


TABELA DE EXCITAÇÃO

D	Q	C	Q*	
0	0		0	Armazena 0
0	1		0	
1	0		1	Armazena 1
1	1		1	

DIAGRAMA DE ESTADO



EQUAÇÃO CARACTERÍSTICA

$$Q^* = D$$

Flip-flop JK Mestre-Escravo

DIAGRAMA DE ESTADO

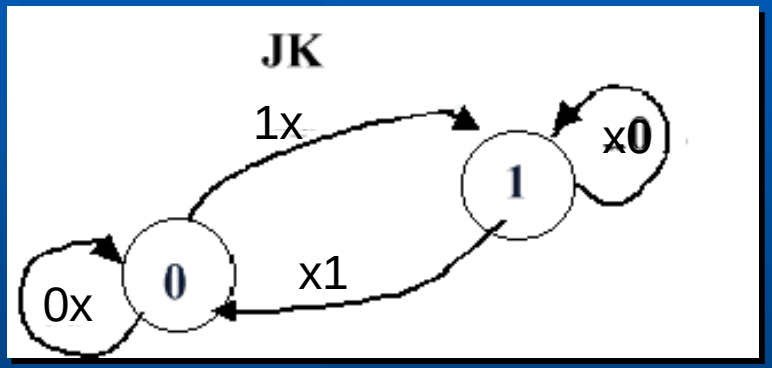


TABELA DE EXCITAÇÃO

J	K	Q	C	Q*	
0	0	0		0	Hold
0	0	1		1	
0	1	0		0	Reset
0	1	1		0	
1	0	0		1	Set
1	0	1		1	
1	1	0		1	Toggle
1	1	1		0	

EQUAÇÃO CARACTERÍSTICA ⇨ ?

DIAGRAMA LÓGICO ⇨ ?

Flip-flop JK Mestre-Escravo

DIAGRAMA DE ESTADO

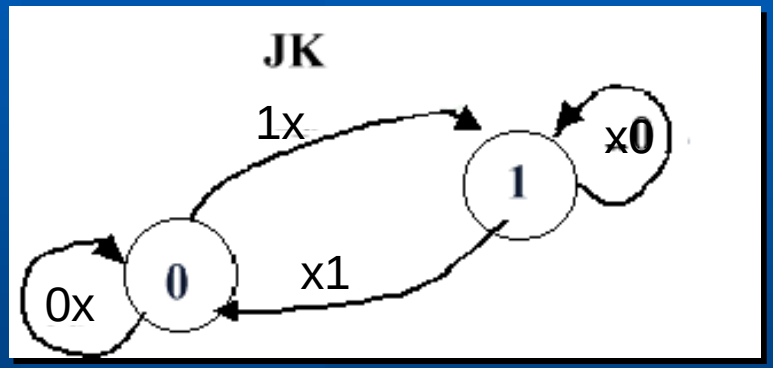
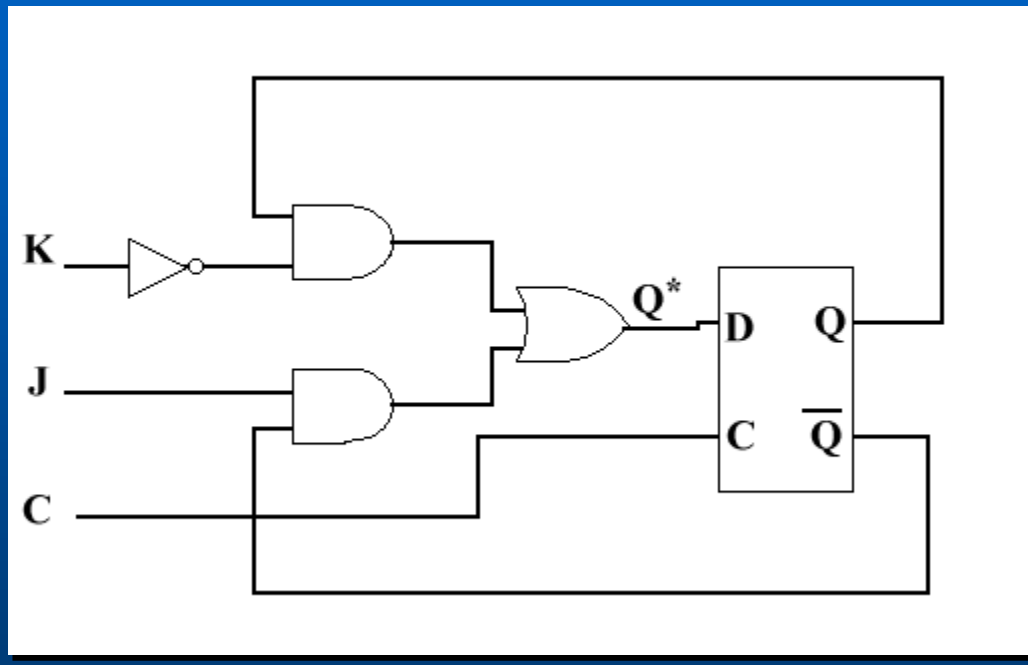


DIAGRAMA LÓGICO

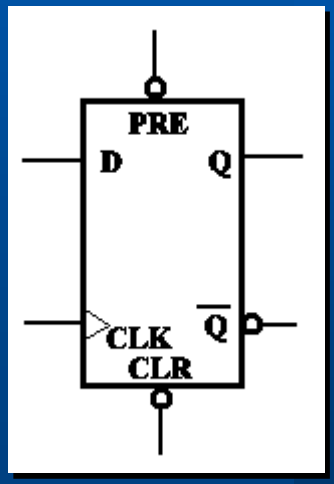


EQUAÇÃO CARACTERÍSTICA

$$Q^* = \overline{K}Q + J\overline{Q}$$

Flip-flop Tipo D sensível à borda

• Sensibilidade a bordas ➡ elimina as transições não estáveis ➡ período durante o qual o sinal na entrada de excitação é disponibilizado ao *Latch* do FF = muito curto.



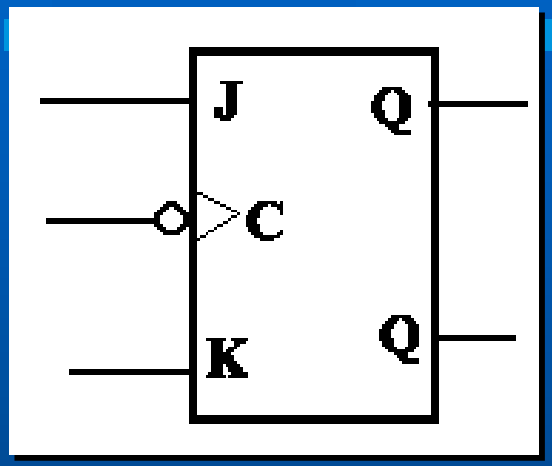
Símbolo Lógico padrão IEEE, do FF D sensível à subida de borda.

O pequeno triângulo na entrada CLK indica que o dispositivo é disparado em borda positiva.

TABELA DE EXCITAÇÃO

$\overline{PRE}$	$\overline{CLR}$	D	CLK	Q	$\overline{Q}$	Modo
L	H	X	X	H	L	Set
H	L	X	X	L	H	Clear
L	L	X	X	H	H	Não Permitido
H	H	H	↑	H	L	Operação com relógio
H	H	L	↑	L	H	Operação com relógio
H	H	X	L	Q_0	$\overline{Q_0}$	Hold

Flip-flop JK sensível à borda

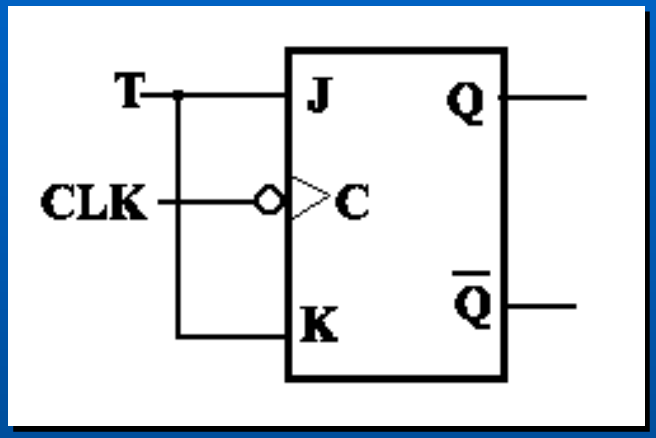


O pequeno triângulo e o cículo na entrada CLK indicam que o dispositivo é sensível a transições em borda negativa.

EQUAÇÃO CARACTERÍSTICA

$$Q^* = J\overline{Q} + \overline{K}Q$$

Flip-flop tipo T



EQUAÇÃO CARACTERÍSTICA

$$Q^* = J\overline{Q} + \overline{K}Q$$

$$= T\overline{Q} + \overline{T}Q$$

TABELA DE EXCITAÇÃO

T	Q	C	Q^*	
0	0	↓	0	Hold
0	1	↓	1	
1	0	↓	1	Toggle
1	1	↓	0	

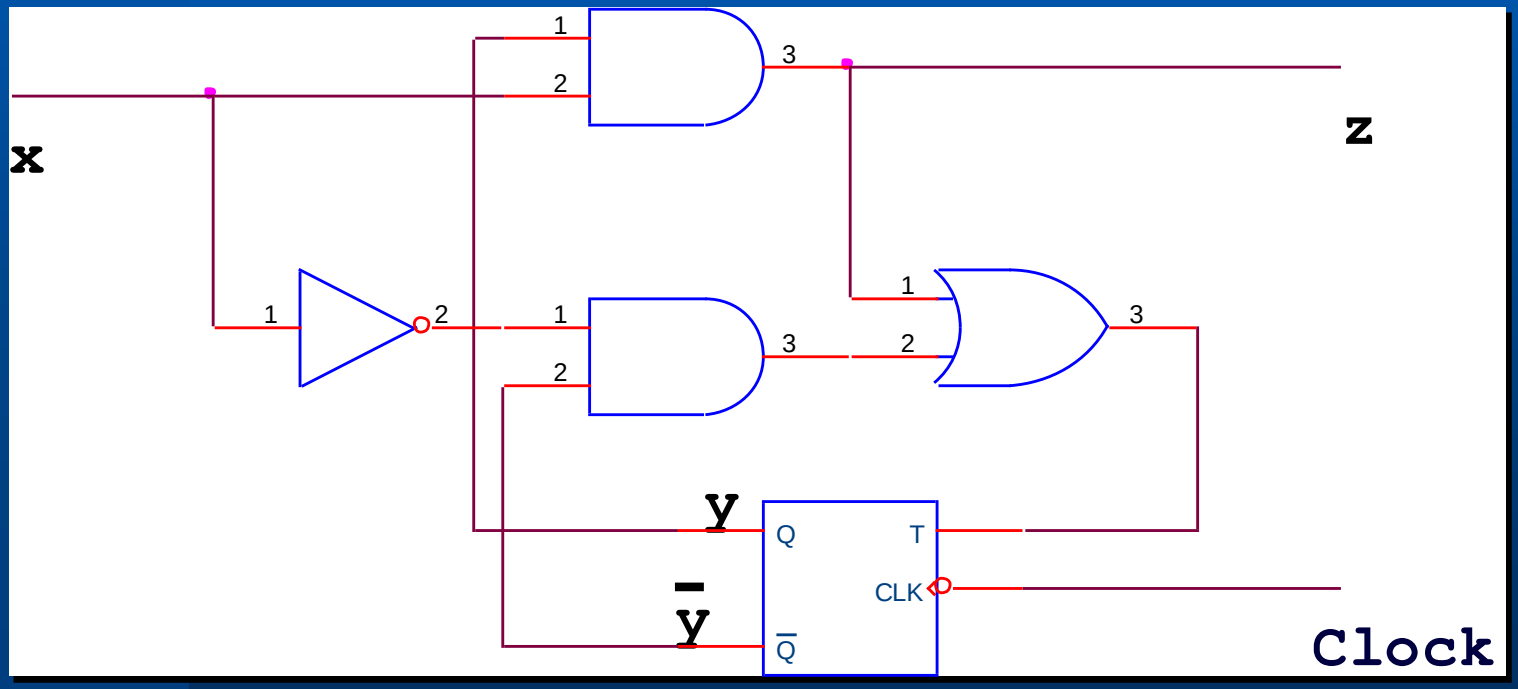
SUMÁRIO – LATCHES E FF

Dispositivo	Equação Característica
Latch SR	$Q^* = S + \overline{R}Q$
Latch SR Gatilhado	$Q^* = SC + \overline{Q}R + \overline{C}Q$
Latch D	$Q^* = DC + \overline{C}Q$
Flip-flop SR	$Q^* = S + \overline{R}Q$
Flip-flop D	$Q^* = D$
Flip-flop JK	$Q^* = \overline{K}Q + J\overline{Q}$
Flip-flop T (sensível a borda)	$Q^* = \overline{Q}$
Flip-flop T (com relógio)	$Q^* = T\overline{Q} + \overline{T}Q$

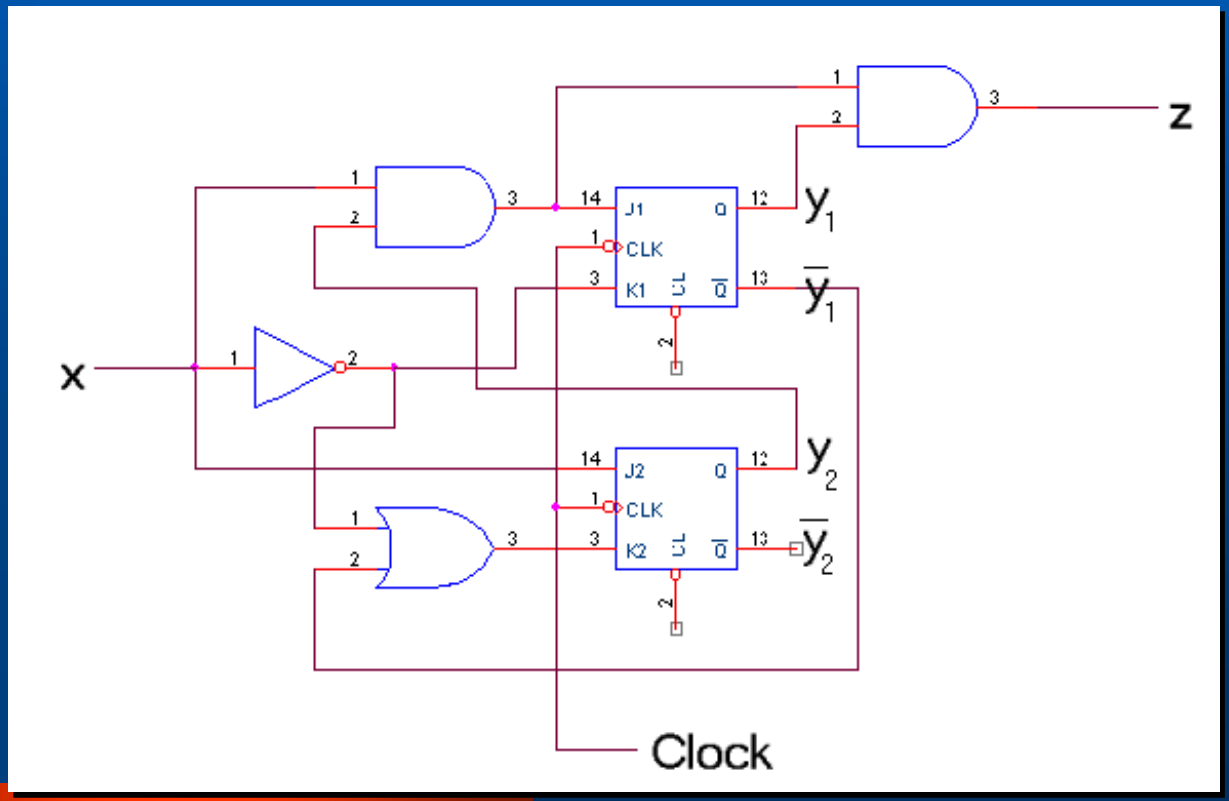
Exercício – Análise de sist. sequencial síncrono

1. Determinar:
   - Tabela de Estado;
   - Diagrama de Estado;
   - Diagrama de tempo

Sequência de entrada:
X = 01101000
Estado inicial: y = 0



Exercício – Análise de sist. sequencial síncrono

2. Determinar:
   - Tabela de Estado;
   - Diagrama de Estado;
   - Diagrama de tempo

Sequência de entrada:
X = 00111110
Estado inicial: $y_1^0 y_2^0 = 10$