

# LOM3221 – LABORATÓRIO DE ELETRÔNICA

## AULA 2

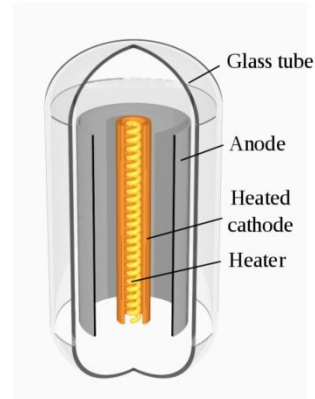
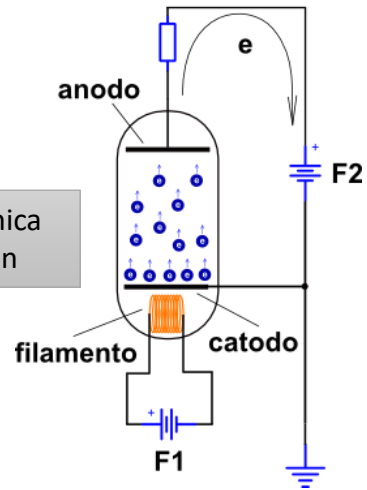
Prof. Dr. Emerson G. Melo

- ❑ Válvulas
- ❑ Transistor
- ❑ MOSFET
- ❑ Circuito Integrado
- ❑ Lei de Moore
- ❑ Tecnologia CMOS
- ❑ Etapas de Fabricação
- ❑ Processos

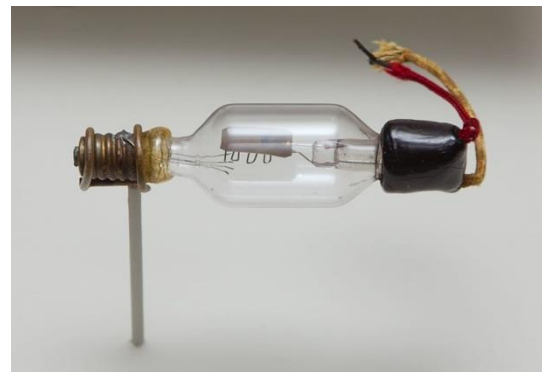
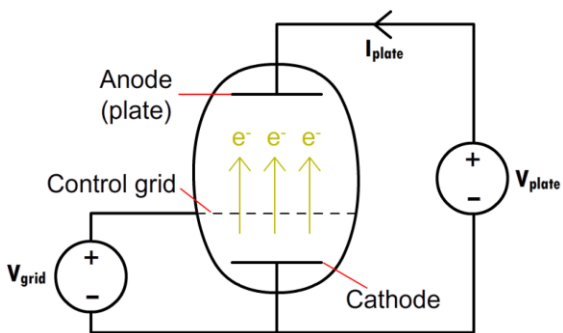
# Válvulas

## Válvula Diodo: John A. Fleming, 1904

Emissão Termiônica  
ou Efeito Edison



## Válvula Triodo: Lee de Forest, 1906



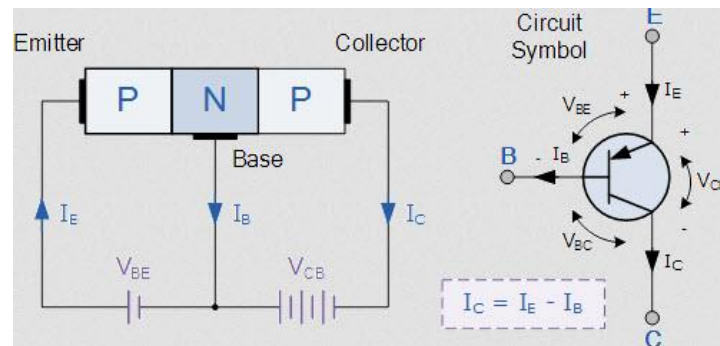
# Transistor



Transistor Bipolar de Junção:  
Laboratórios Bell, 1947



John Bardeen, William Shockley e Walter Brattain.  
Prêmio Nobel de Física em 1956



# MOSFET

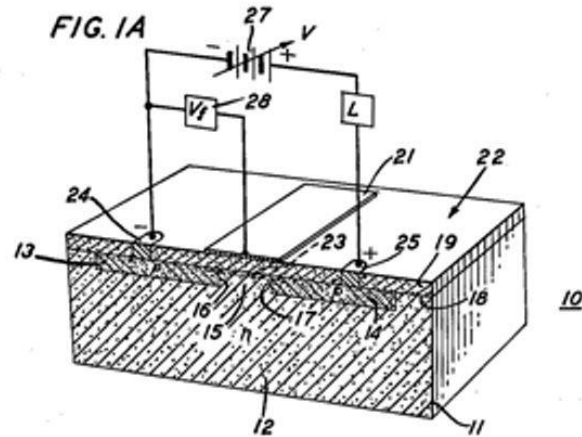
Aug. 27, 1963

DAWON KAHNG

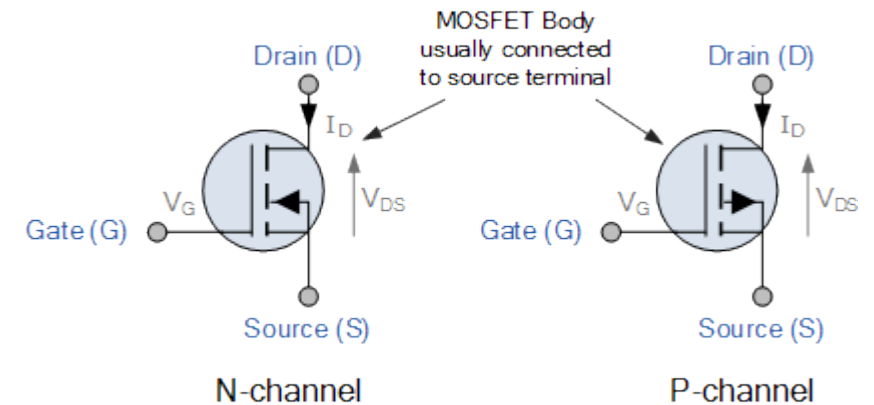
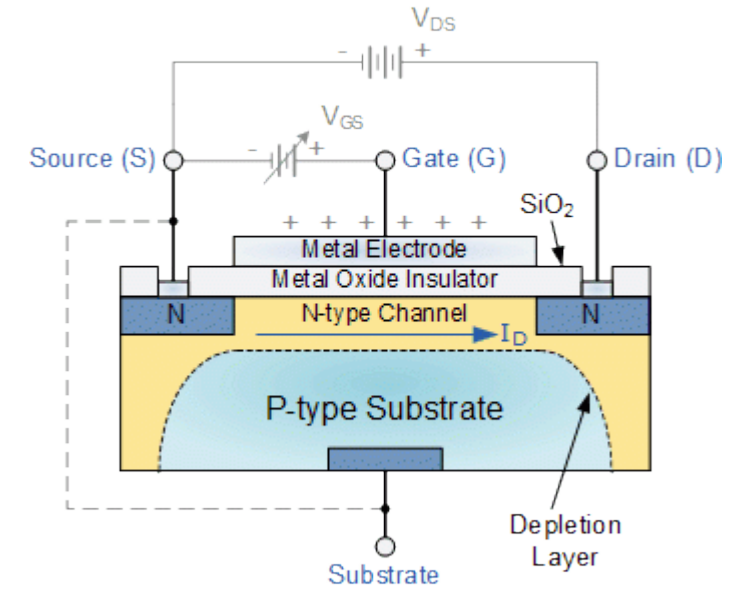
3,102,230

ELECTRIC FIELD CONTROLLED SEMICONDUCTOR DEVICE

Filed May 31, 1960



Metal-Oxide-Semiconductor Field-Effect-Transistor (MOSFET):  
Mohamed M. Atalla e Dawon Kahng, Laboratórios Bell, 1959



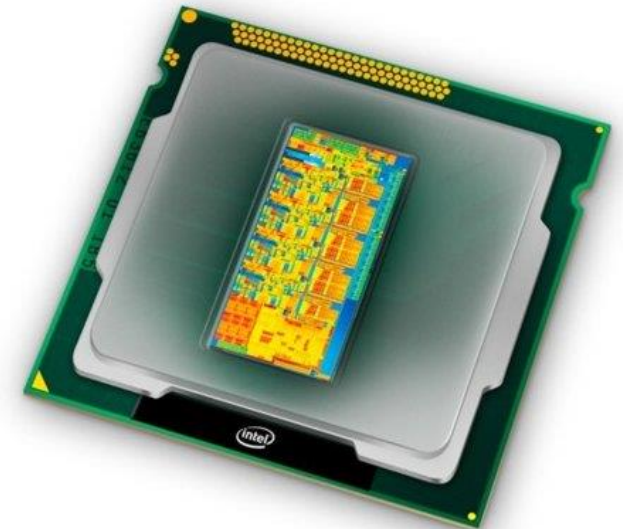
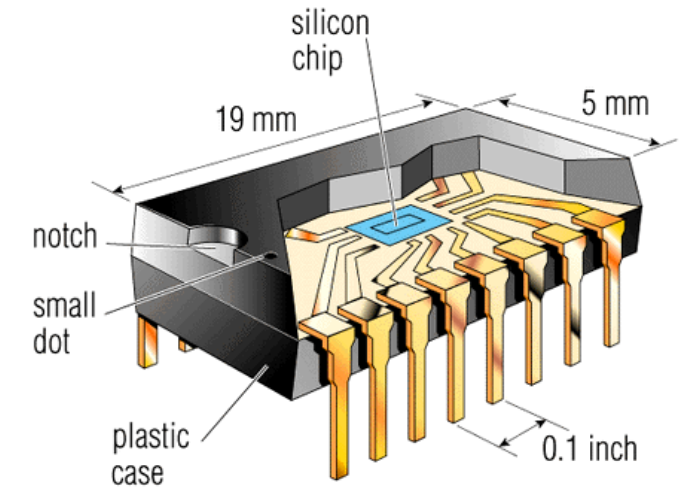
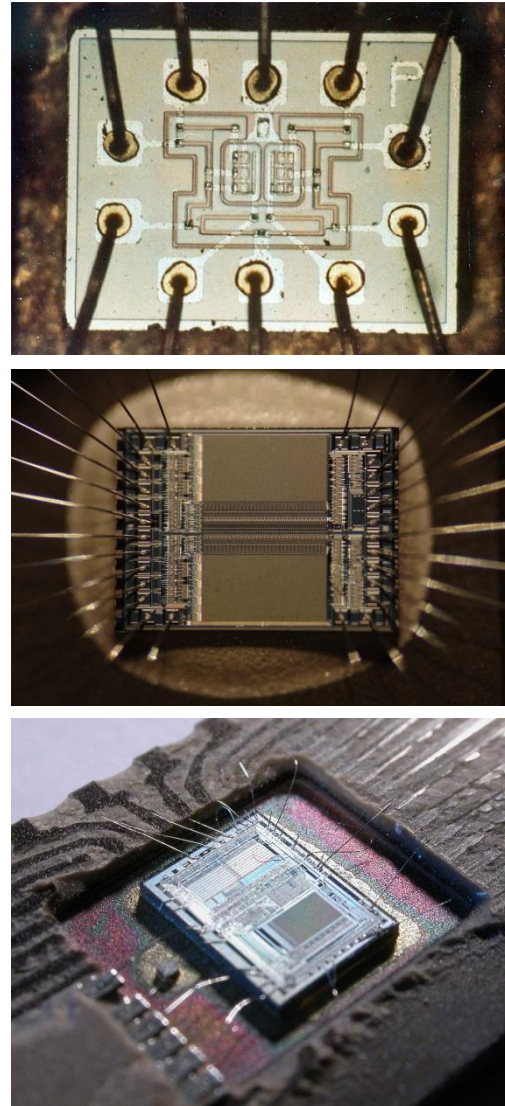
# Circuito Integrado



Jack Kilby, 1959 – Texas Instruments – Germânio  
Robert Noyce, 1960 – Fairchild Semiconductor – Silício

## Vantagens:

- Miniaturização;
- Redução de Custos;
- Confiabilidade;
- Menor consumo de energia;
- Redução de peso;
- Maior velocidade.



Em 1965 (1975), Gordon Moore estimou que a quantidade de transistores integrados em um mesmo chip com custo mínimo dobraria a cada 18 (24) meses.

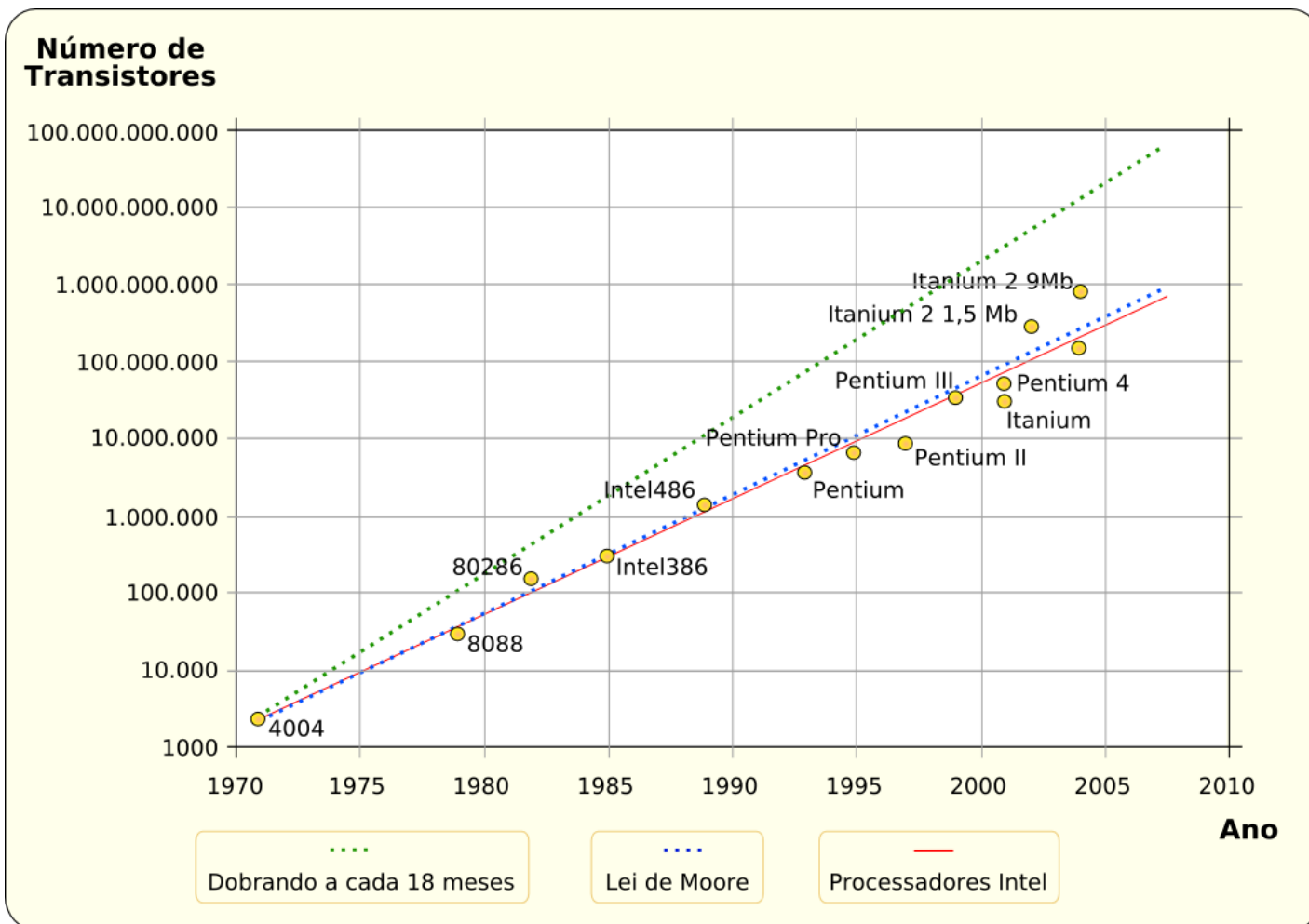
## Cramming more components onto integrated circuits

With unit cost falling as the number of components per circuit rises, by 1975 economics may dictate squeezing as many as 65,000 components on a single silicon chip

By Gordon E. Moore

Director, Research and Development Laboratories, Fairchild Semiconductor division of Fairchild Camera and Instrument Corp.

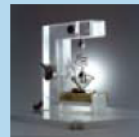
Electronics, Volume 38, Number 8, April 19, 1965



# Lei de Moore

## The Revolution Begins

Invented 60 years ago, the transistor is a key building block of today's digital world. Perhaps the most important invention of the 20th century, transistors are found in many devices and are the building blocks of computer chips. Intel, the largest manufacturer of computer chips, continues to innovate to help PCs and laptops become smaller, faster, sleeker and more energy-efficient. Many new applications and inventions powered by transistors have impacted all of our lives over the past 60 years.



1947 - When it comes to helping jumpstart innovation and technology, no invention is more important than the transistor created 60 years ago at Bell Labs.

1963 - The first commercial device to make use of the transistor is put on the market - the Sonotone 1010 hearing aid.



1954 - The first transistor radio, the Fligency TR 1, goes on the market for just \$49.95. The radio contains just four transistors.



1960 - Sony introduces the first portable, transistorized TV, the TW-301. It has a modest 5-inch screen and uses 23 silicon and germanium transistors.



1965 - Moore's Law, which states that the number of transistors on a chip doubles about every two years, is born when Intel's Gordon Moore made a prediction about the semiconductor business that still holds true today.



1971 - Intel launches its first microprocessor, the 4004, containing just over 2,000 transistors.



1971 - Busicom introduces the first single-chip, pocket-size calculator, the TI-305A "MANEY," which uses a MOSFET MM6010 integrated circuit.

1947

1950

1960

### Moore's Law

In 1965, Intel co-founder Gordon Moore predicted that the number of transistors on a chip would double about every two years. Since then, Moore's Law has fueled a technology revolution as Intel has exponentially increased the number of transistors integrated into its processors for greater performance and energy efficiency.



Intel® 4004 processor  
Introduced 1971  
Initial clock speed  
**108 KHz**  
Number of transistors  
**2,300**  
Manufacturing technology  
**10μ**

The groundbreaking Intel® 4004 processor was introduced with the same computing power as ENIAC.



Intel® 8008 processor  
Introduced 1972  
Initial clock speed  
**500-800 KHz**  
Number of transistors  
**3,500**  
Manufacturing technology  
**10μ**

The Intel® 8008 processor was twice as powerful as the Intel® 4004 processor.



Intel® 8080 processor  
Introduced 1974  
Initial clock speed  
**2 MHz**  
Number of transistors  
**4,500**  
Manufacturing technology  
**6μ**

The Intel® 8080 processor made video games and home computers possible.



Intel® 8086 processor  
Introduced 1978  
Initial clock speed  
**5 MHz**  
Number of transistors  
**29,000**  
Manufacturing technology  
**3μ**

The Intel® 8086 processor was the first 16-bit processor and delivered about ten times the performance of its predecessors.



Intel® 8088 processor  
Introduced 1979  
Initial clock speed  
**5 MHz**  
Number of transistors  
**29,000**  
Manufacturing technology  
**3μ**

A pivotal sale to IBM's new personal computer division made the Intel® 8088 processor the brains of IBM's new PC product - the IBM PC.



Intel® 286 processor  
Introduced 1982  
Initial clock speed  
**6 MHz**  
Number of transistors  
**134,000**  
Manufacturing technology  
**1.5μ**

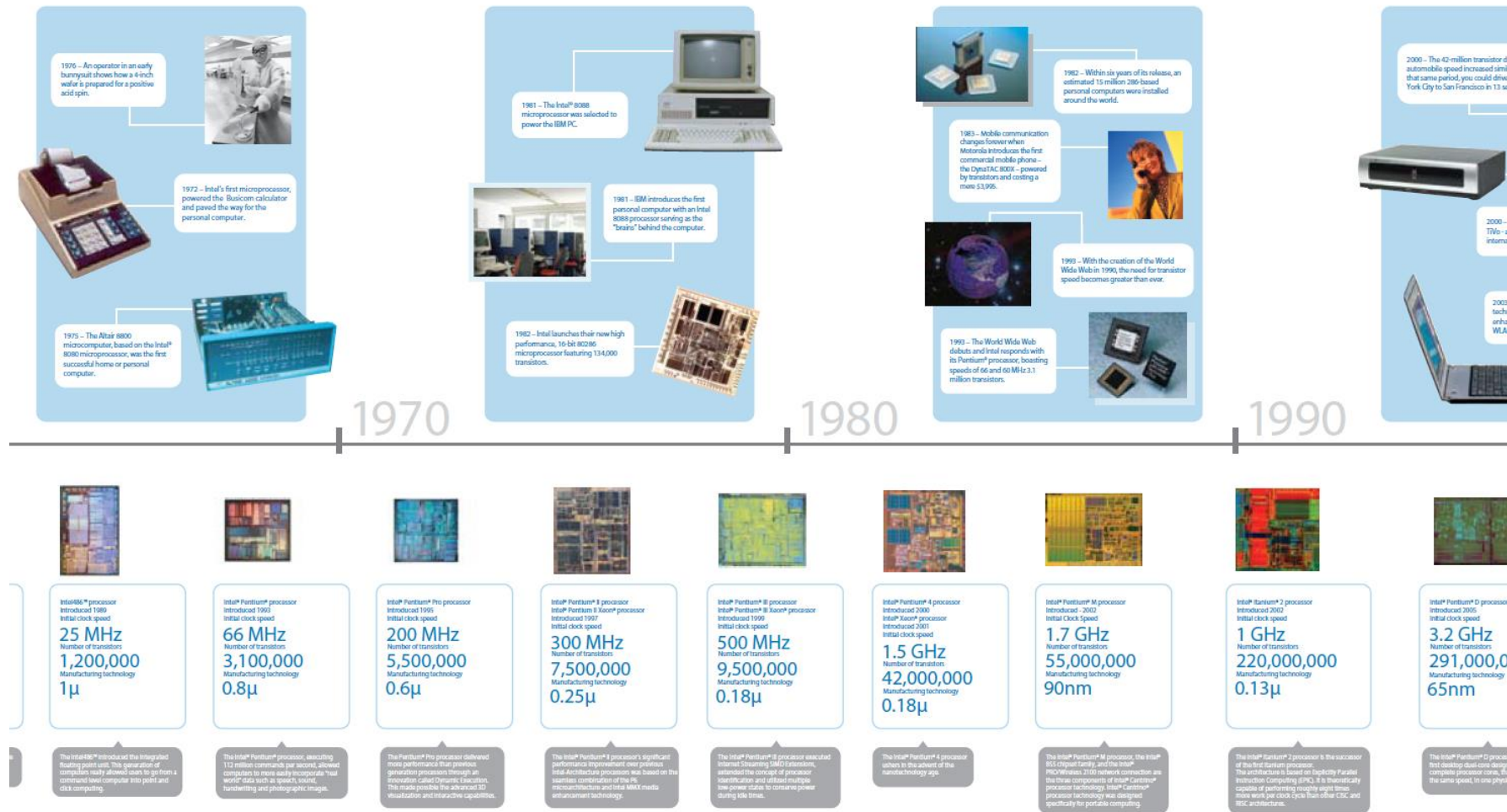
The Intel® 286 was the first Intel processor that could run all the software written for its predecessor.



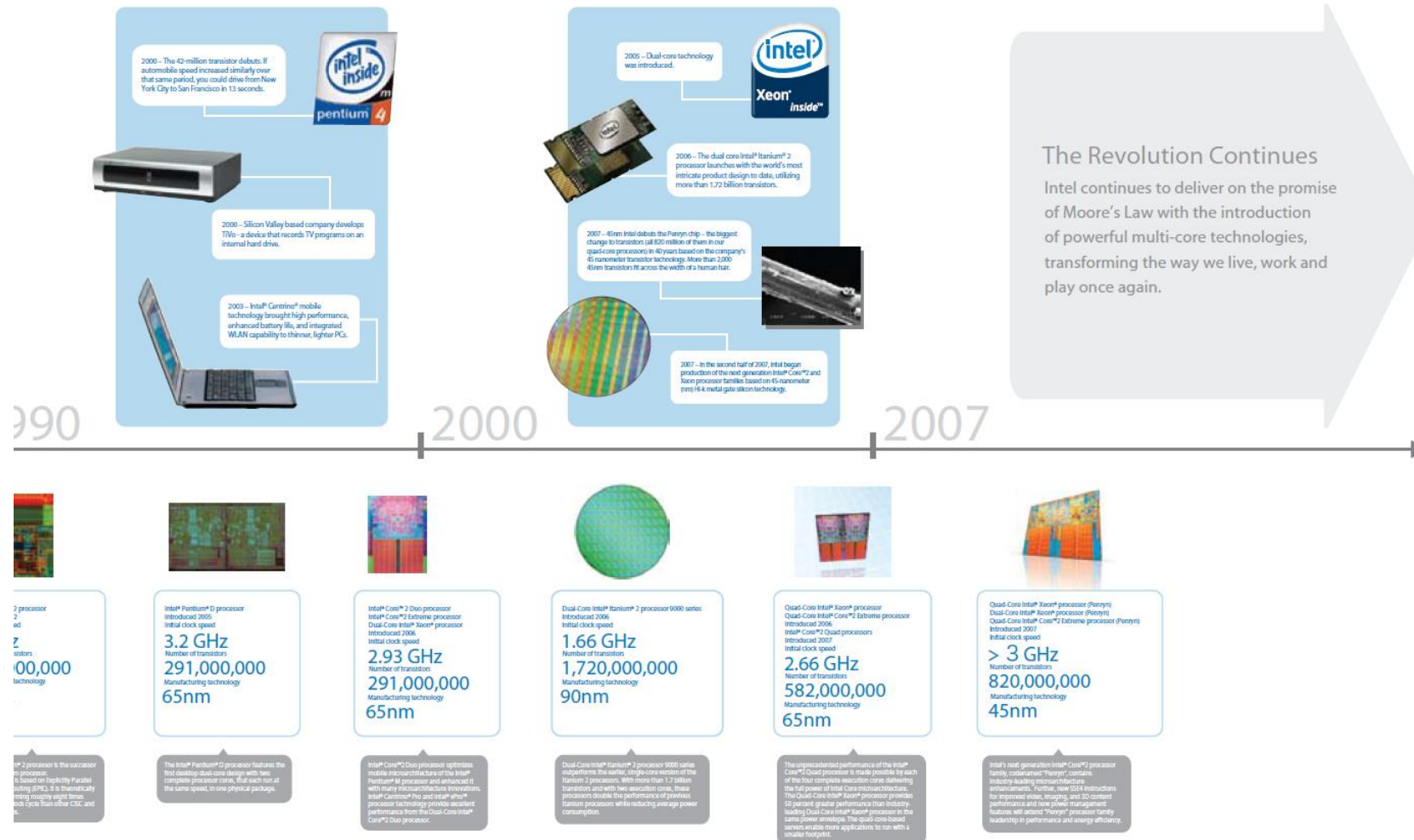
Intel® 386 processor  
Introduced 1985  
Initial clock speed  
**16 MHz**  
Number of transistors  
**275,000**  
Manufacturing technology  
**1.5μ**

The Intel 386™ processor could run most software programs at once and feature 20,000 transistors - more than 100 times as many as the original Intel® 4004.

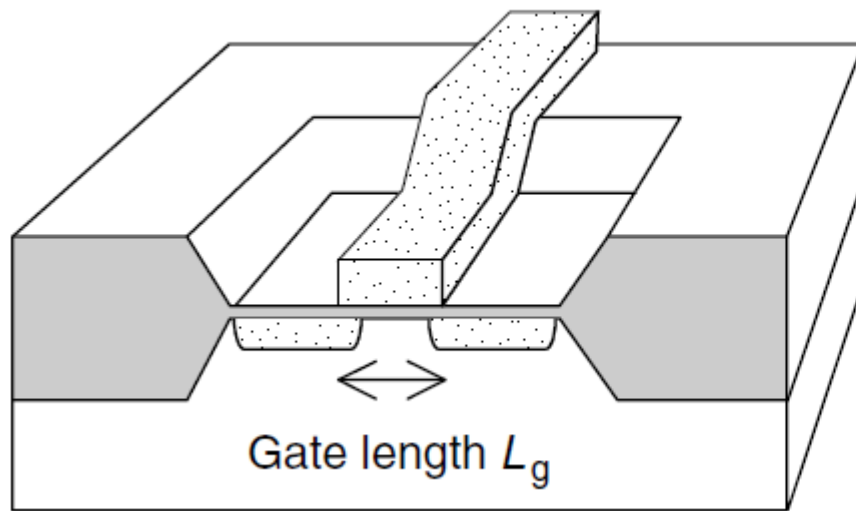
# Lei de Moore



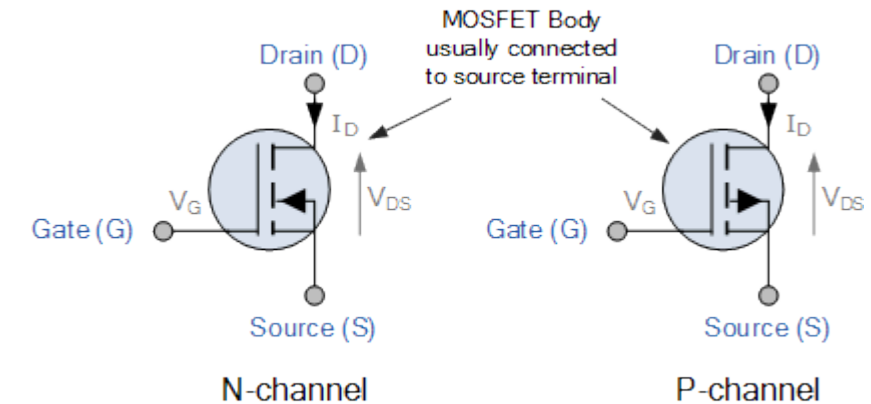
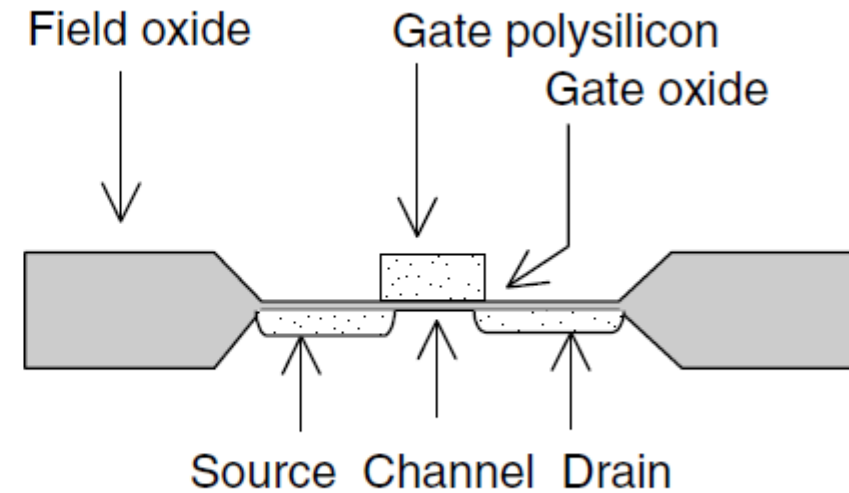
# Lei de Moore



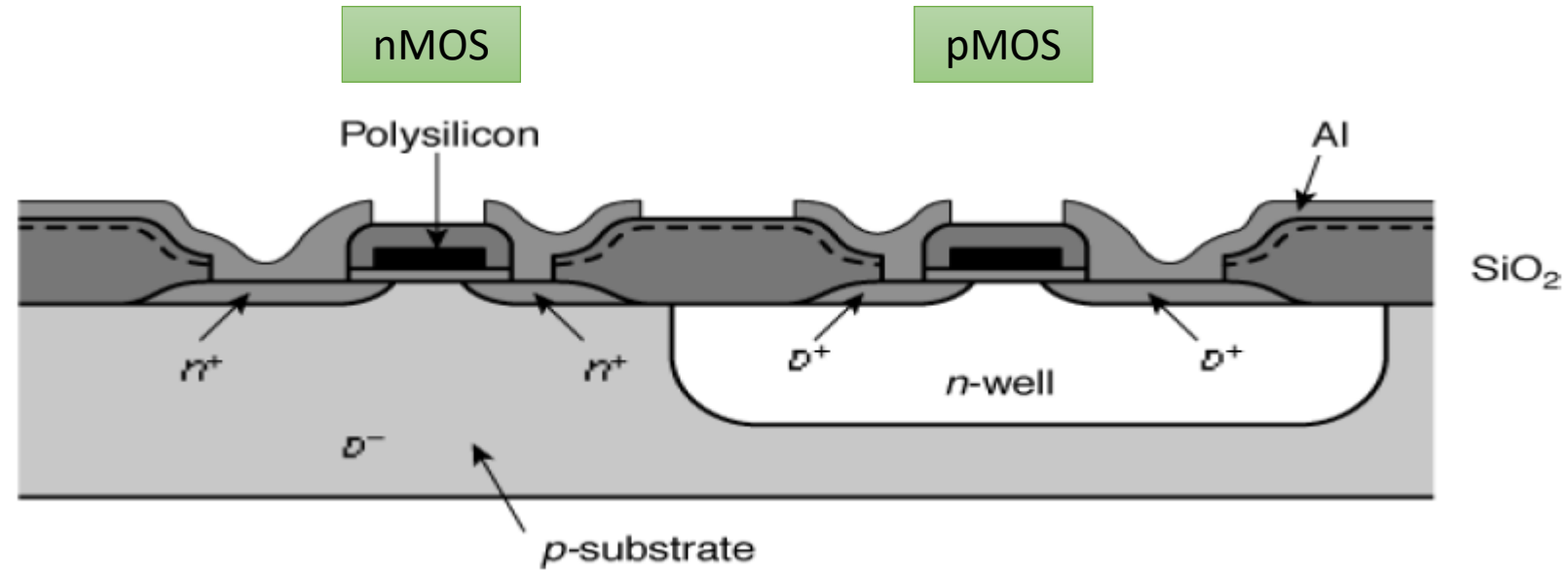
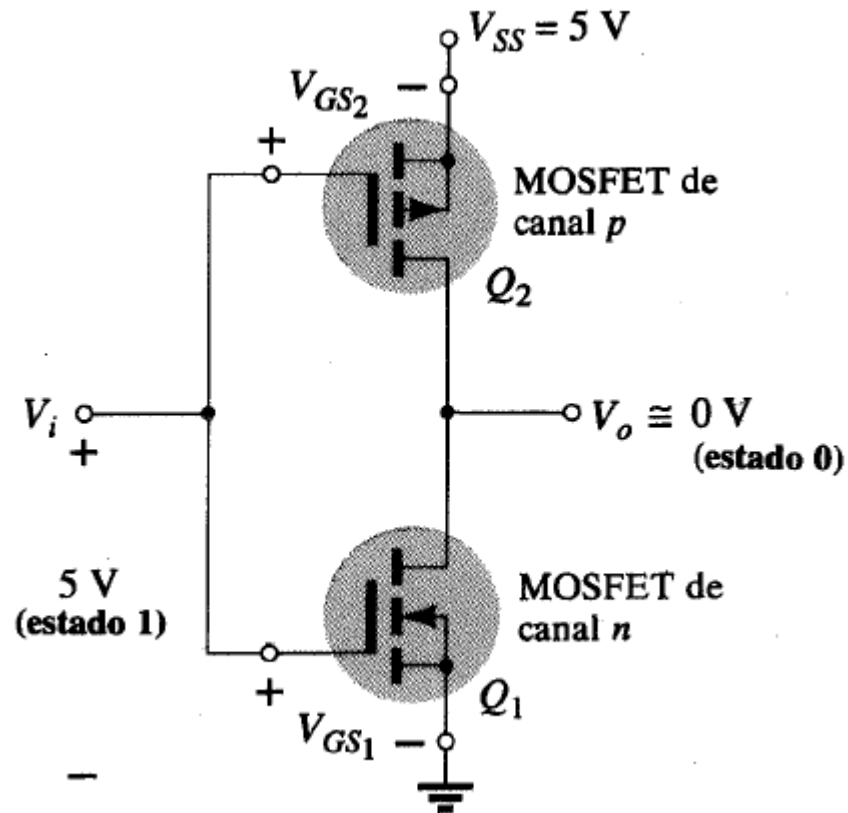
## Estrutura básica de um MOSFET



Compatível com processo de fabricação planar utilizando técnica bottom-up (de baixo para cima).



## Circuito Inversor



MOSFETs tipo N e tipo P são construídos na superfície de um substrato de de silício.

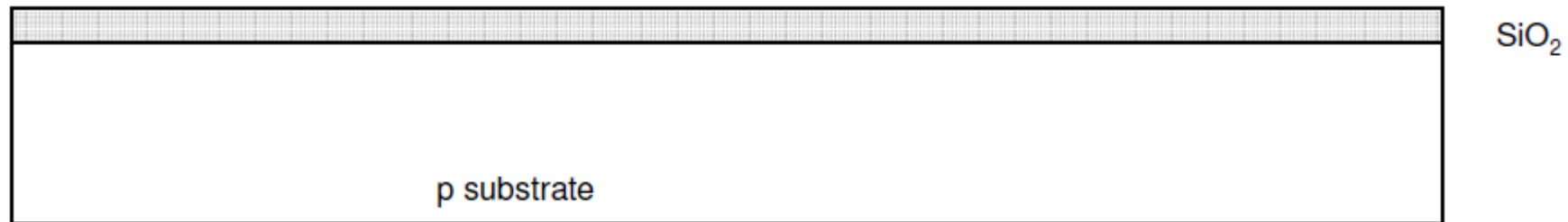
## ☐ I – Preparação do wafer (bolacha) de silício.

- ☐ Crescimento de um lingote monocristalino de silício.
- ☐ Usinagem e Fatiamento do lingote para obter os wafers.
- ☐ Limpeza dos wafers.

p substrate

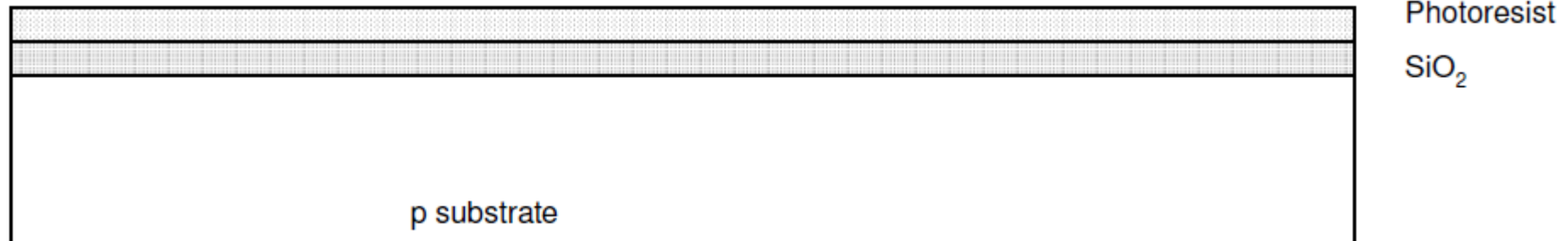
## □ 2 – Crescimento de um filme fino de dióxido de silício ( $\text{SiO}_2$ ).

- Forno de oxidação térmica com atmosfera rica em  $\text{H}_2\text{O}$  ou  $\text{O}_2$  à uma temperatura entre 900 e 1200 °C.



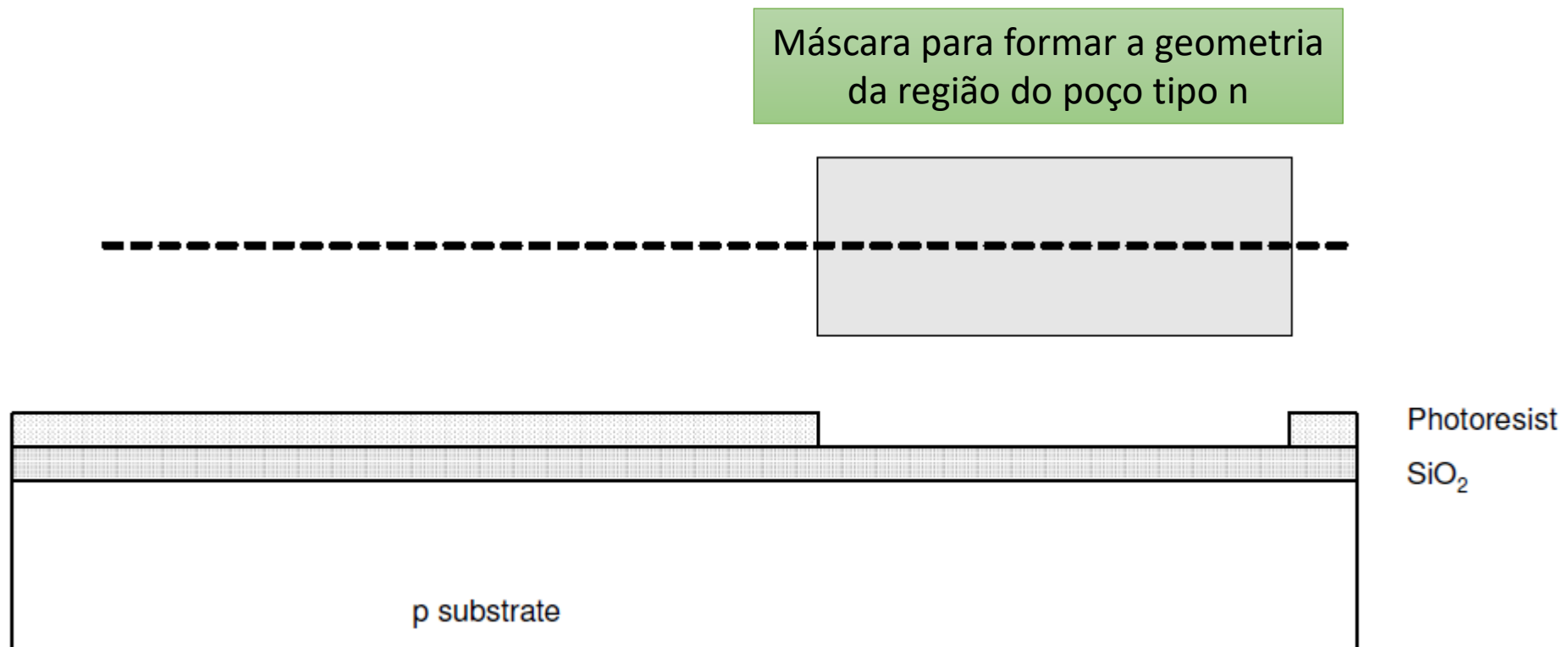
## ❑ 3 – Espalhamento de Fotorresiste (spin coating).

- ❑ Substância composta por um polímero orgânico sensível à luz (ultravioleta).
- ❑ As partes expostas à radiação luminosa podem ser dissolvidas em um solvente.



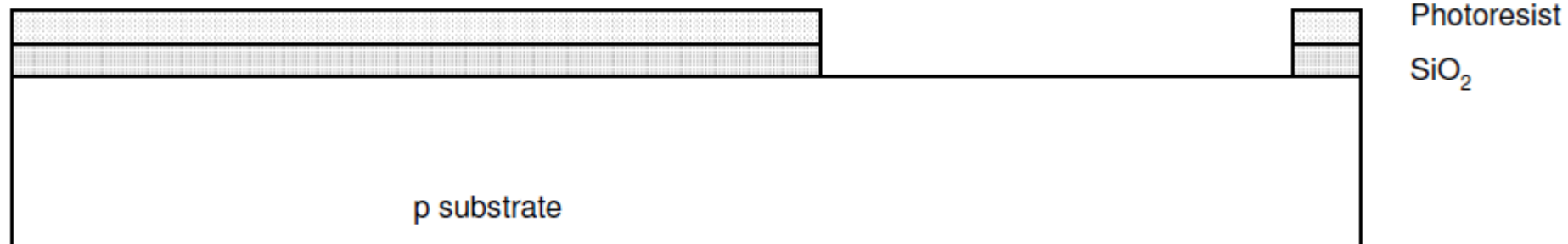
## ❑ 4 – Fotolitografia.

- ❑ Exposição do fotoresiste através de uma máscara contendo a geometria a ser transferida.
- ❑ Dissolução do fotoresiste em um solvente.



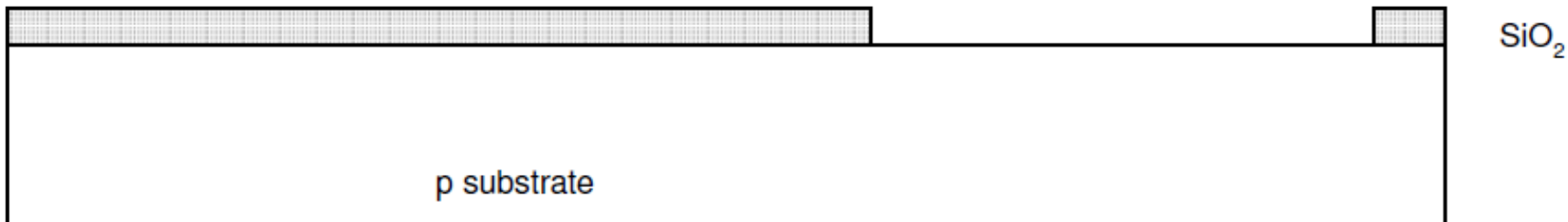
## ❑ 5 - Corrosão Úmida.

- ❑ Corrosão do óxido utilizando ácido fluorídrico (HF) ou "buffer" de HF (BOE).
- ❑ O óxido é atacado apenas no local exposto através da máscara.



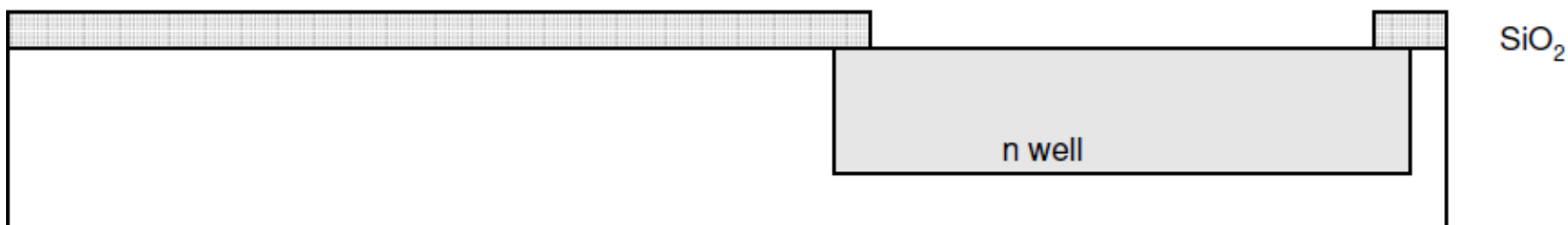
## ❑ 6 – Remoção do Fotorresiste.

- ❑ Utilização de substâncias como tricloro-etileno (TCE), acetona ( $C_3H_6O$ ) e isopropanol ( $C_3H_8O$ ) seguido de limpeza em "piranha".



## 7 - Formação do poço n.

- ☐ Dopagem do silício através de difusão ou implantação de íons.
- ☐ Difusão: o wafer é colocado em um forno com atmosfera rica em arsênio (As). A alta temperatura faz com que o As migre através do Si exposto.
- ☐ Implantação iônica: o wafer é bombardeado com íons de As. A região com óxido protege o Si, porém, na região exposta o As penetra no Si.



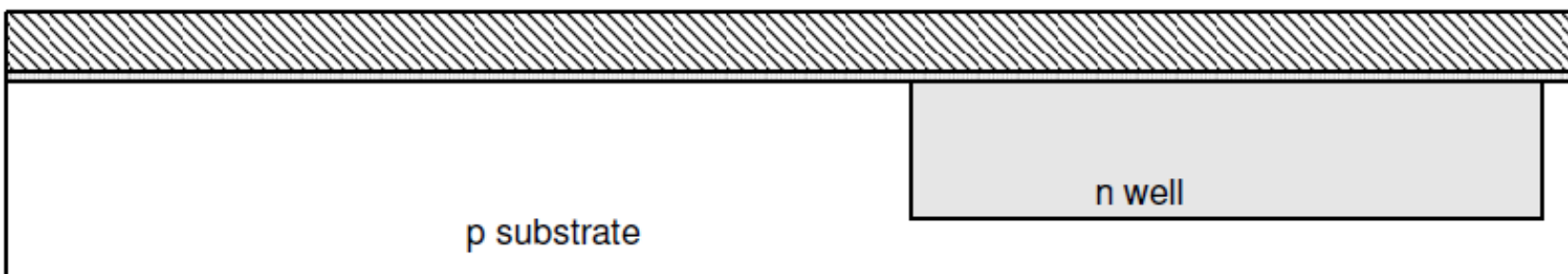
## ❑ 8 – Remoção do óxido de proteção.

- ❑ O óxido de proteção utilizado no processo de dopagem é removido com HF ou BOE.



## 9 – Deposição de Filmes Finos.

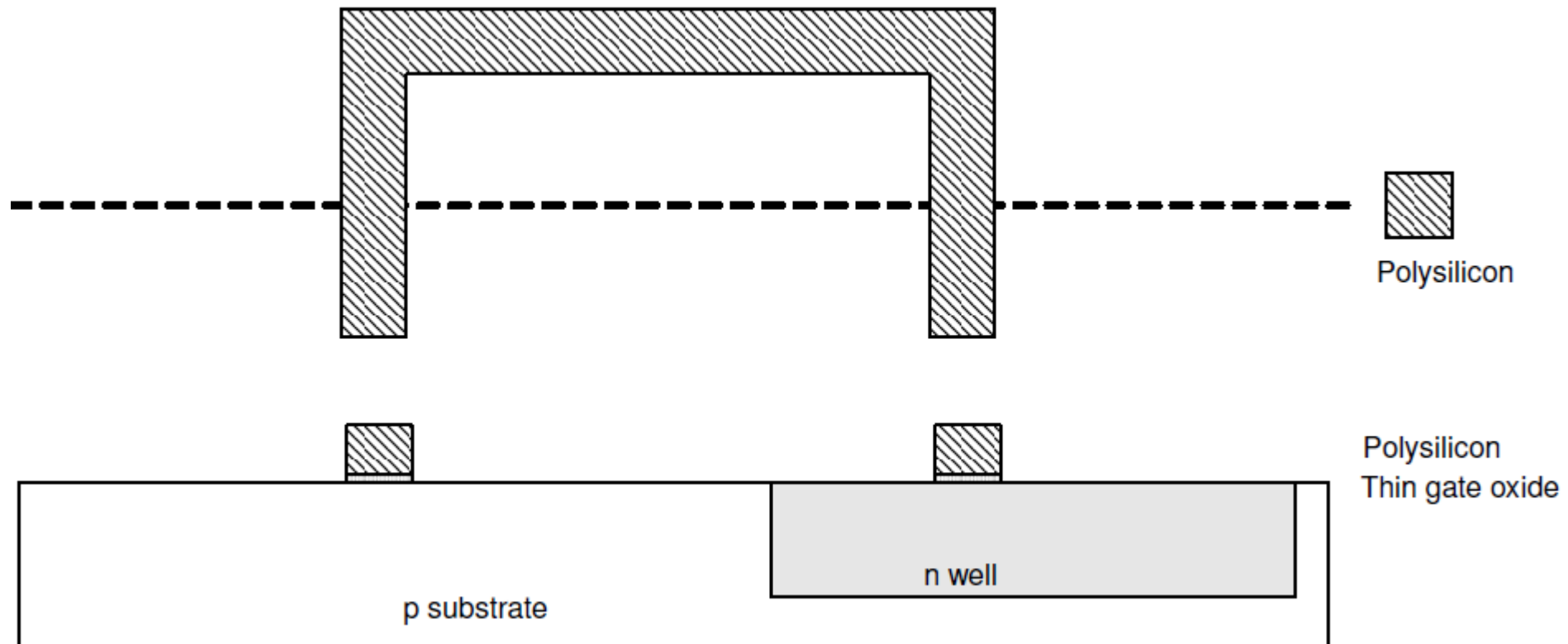
- ❑ Uma camada fina de  $\text{SiO}_2$  (alguns nanômetros) é depositada para formar o óxido de porta (gate).
- ❑ Deposição por vapor químico (CVD) de Si policristalino ( $\sim 500$  nm) para formar o contato de porta (gate).
- ❑ O Si policristalino é fortemente dopado para obter alta condutividade elétrica.



Polysilicon  
Thin gate oxide

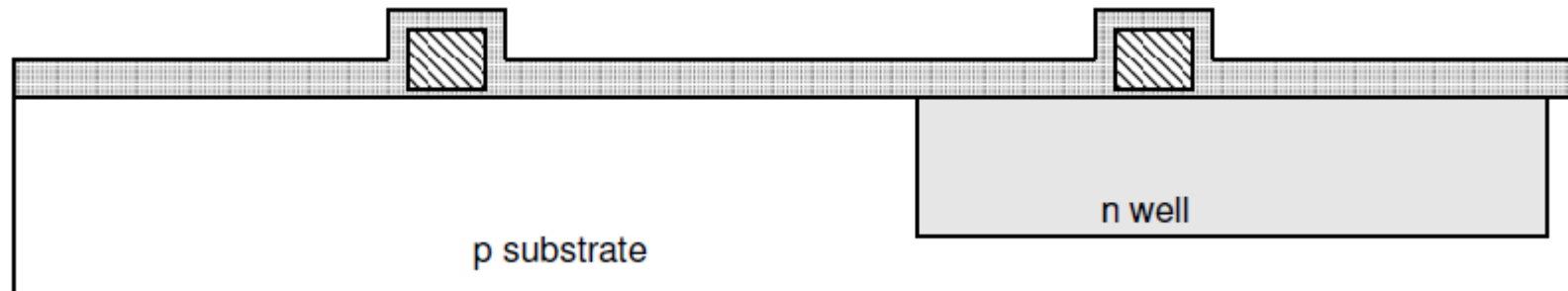
## □ 10 – Formação da geometria da porta.

- Outro processo de litografia é utilizado para formar a geometria do contato de porta.
- A corrosão dos filmes finos ( $\text{SiO}_2/\text{Si-p}$ ) geralmente é realizada através de plasma com tetrafluorometano/oxigênio ( $\text{CF}_4/\text{O}_2$ ).



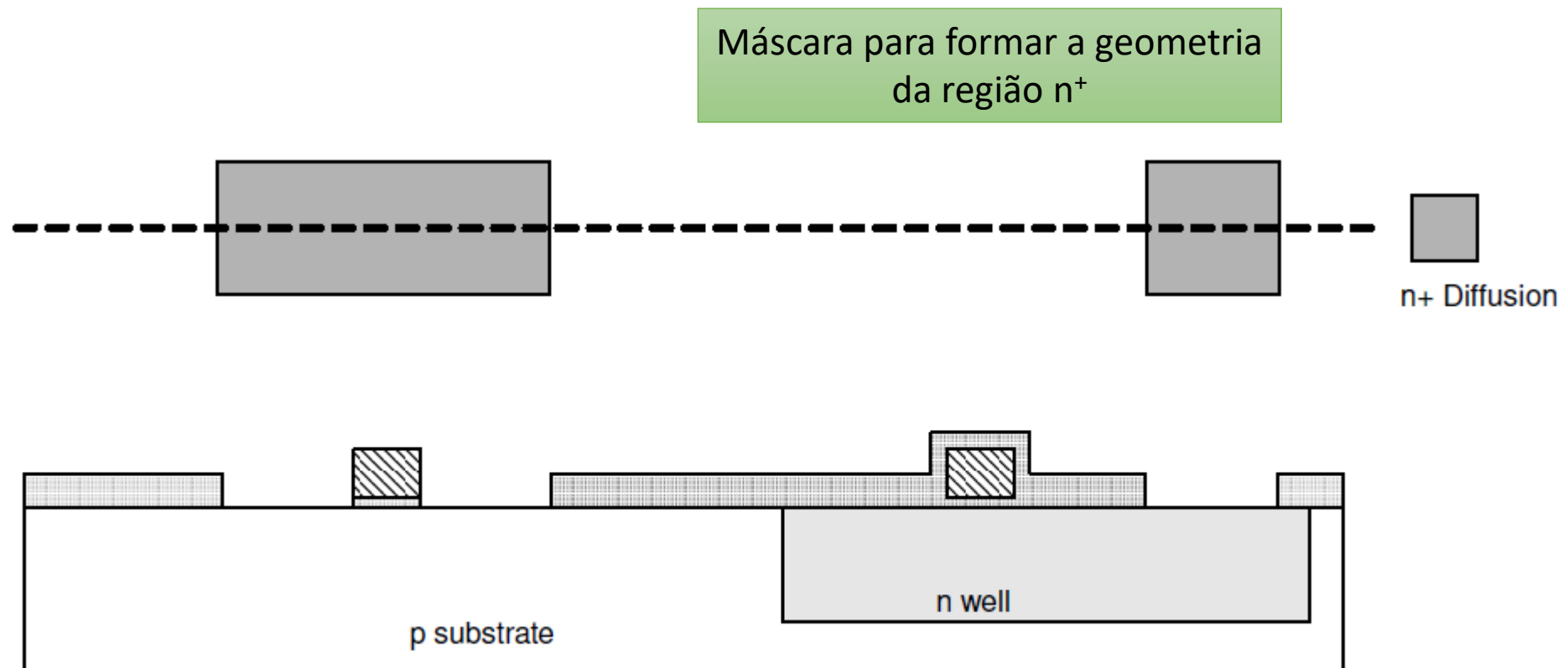
## □ II – Formação do óxido de proteção.

- Oxidação térmica para formar o óxido de proteção que será utilizado no processo de formação dos contatos de fonte e dreno.



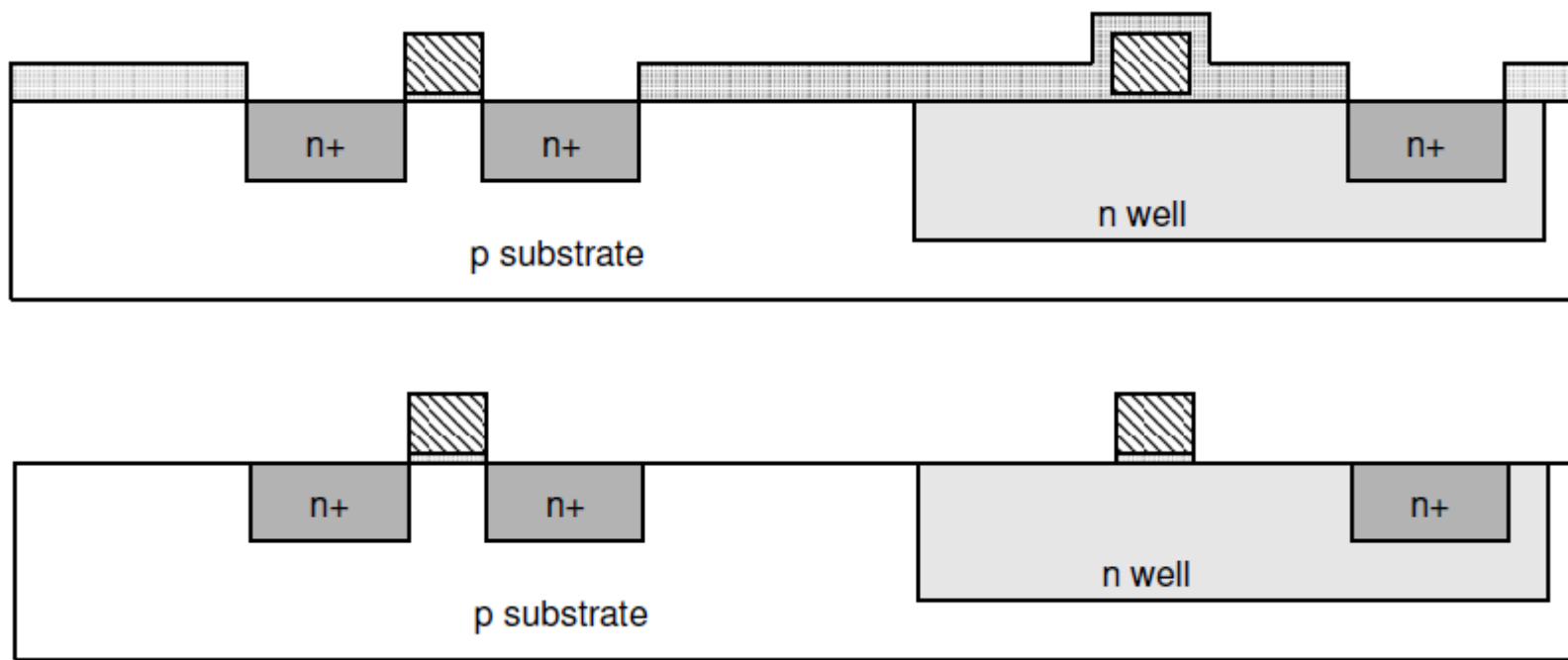
## □ II – Formação da região $n^+$ .

- Litografia e corrosão do óxido utilizando uma máscara para expor as regiões  $n^+$ .



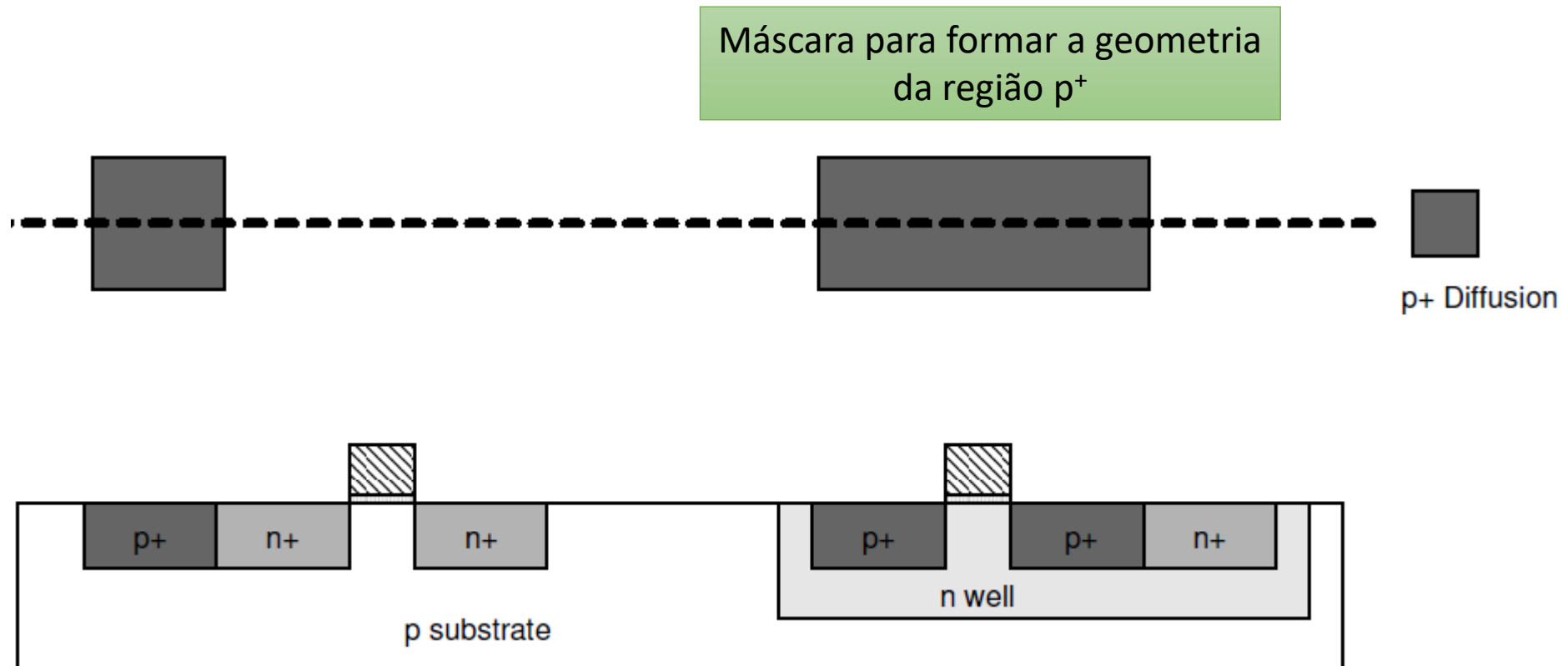
## □ II – Formação da região $n^+$ .

- Dopagem das regiões de fonte e dreno do nMOS e do contato do poço n através de difusão/implantação iônica.
- Remoção do óxido de proteção utilizado durante o processo de dopagem.



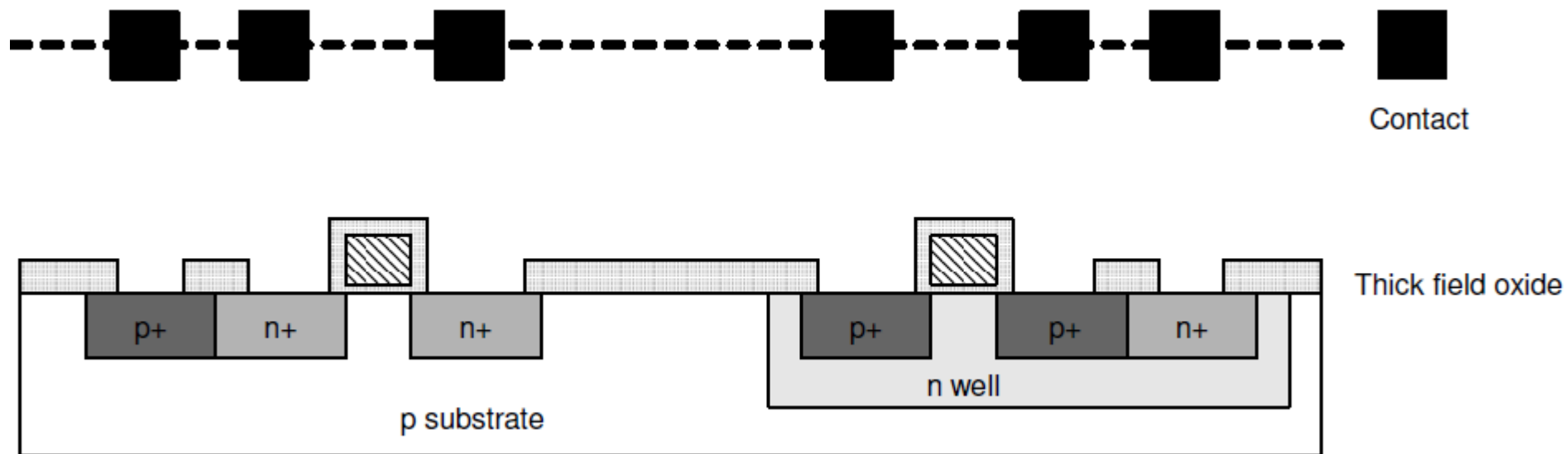
## □ 12 – Formação da região $p^+$ .

- As etapas 10 e 11 são repetidas para formar as regiões  $p^+$ , referentes ao contato do substrato, fonte e dreno do pMOS.



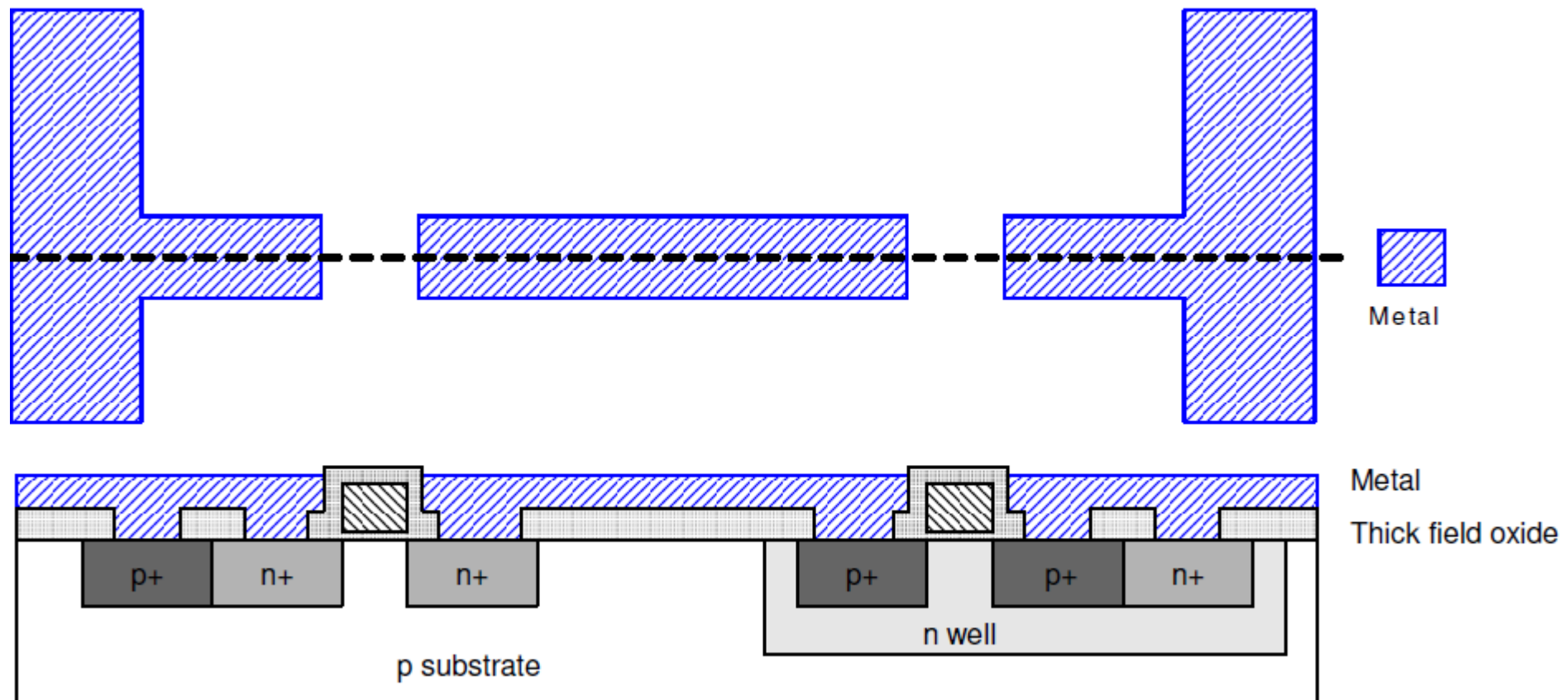
## 13 - Contatos Elétricos.

- Deposição de um óxido de campo espesso ( $1\ \mu\text{m}$ ) por CVD para isolamento elétrico.
- Litografia e corrosão do óxido de campo para formar os acessos aos terminais de fonte, dreno, poço, substrato e gate.



## □ 14 – Metalização.

- Deposição, litografia, corrosão e planarização de um filme metálico (Al/Au/Cu) para formar os contatos elétricos dos dispositivo.



## Principais Processos

- ☐ Projeto (Design);
- ☐ Preparação do Wafer;
- ☐ Limpeza;
- ☐ Spin coating;
- ☐ Fotolitografia;
- ☐ Oxidação Térmica;
- ☐ Corrosão Úmida;
- ☐ Corrosão Seca;
- ☐ Deposição de Filmes Finos;
- ☐ Difusão;
- ☐ Implantação Iônica;
- ☐ Planarização;
- ☐ Testes e Encapsulamento;

From Sand to Silicon: the Making of a Chip

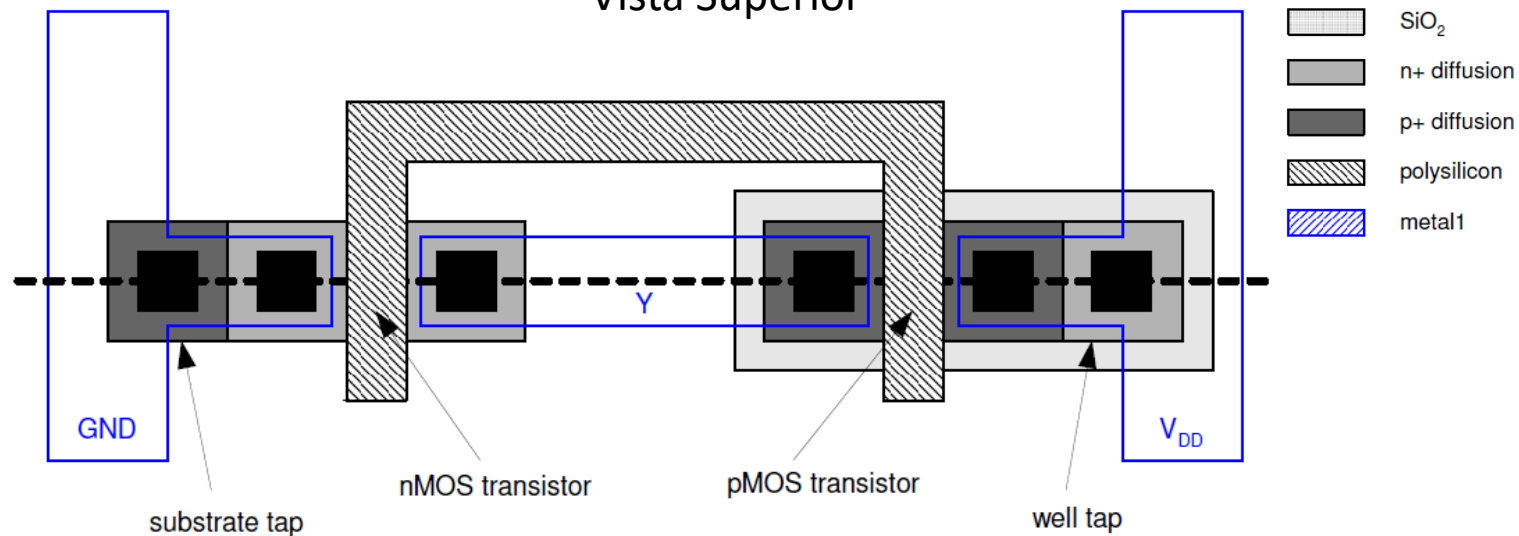
<https://www.youtube.com/watch?v=Q5paWn7bFg4>

GLOBALFOUNDRIES: Sand to Silicon

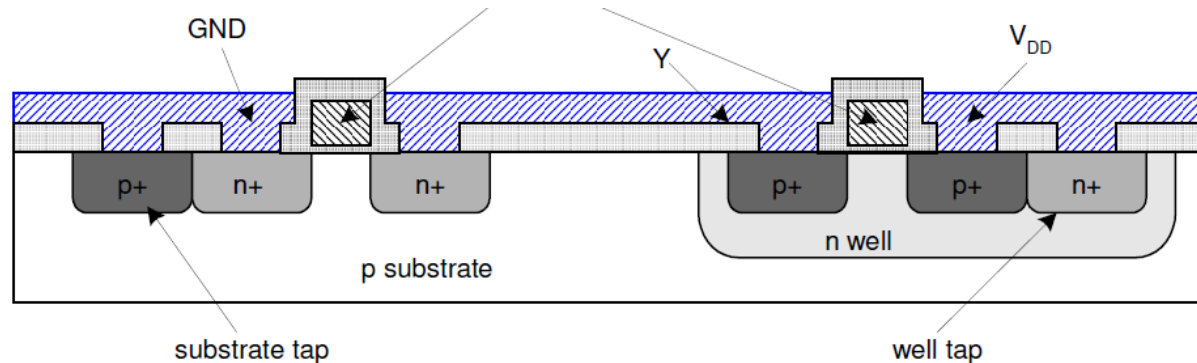
<https://www.youtube.com/watch?v=UvluuAliA50>

## Circuito Inversor

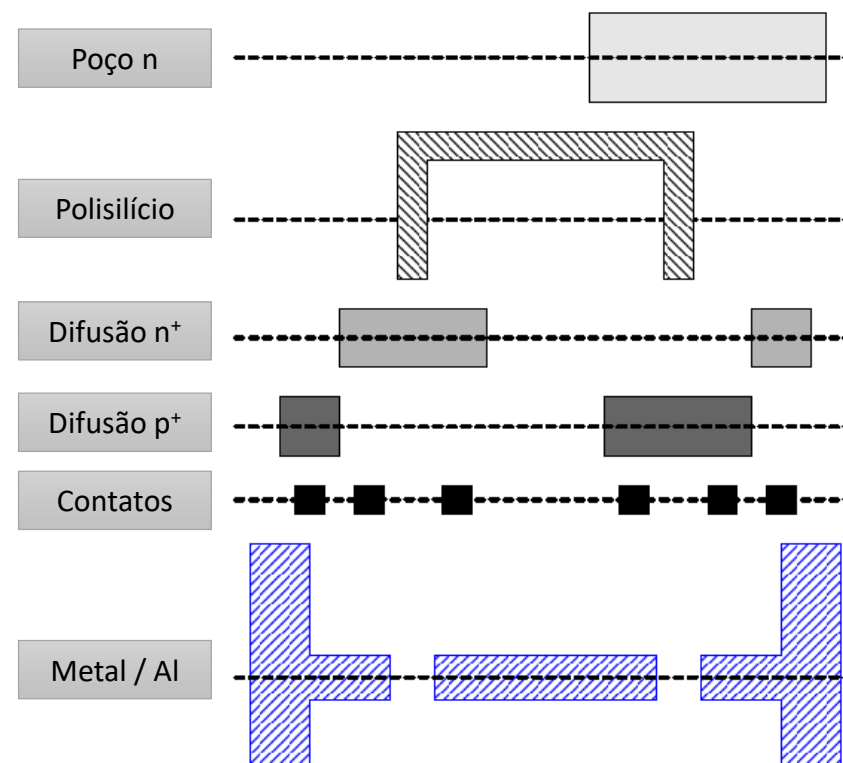
### Vista Superior



### Seção Transversal



## Conjunto de Máscaras Para Litografia



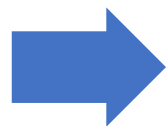
## Simulação de Dispositivos Eletrônicos

### Simulação de Processos

- Modelagem de Estruturas
- Perfis de Dopagem, Corrosão, Difusão, Implantação iônica, Deposição e Oxidação

TCAD Software

ICECREM  
ATHENA  
SENTAURUS



### Simulação de Dispositivo

- Características Elétricas, Mecânicas, Térmicas, Ópticas, Corrente x Tensão, Força x Deslocamento.

Multiphysics Software

COMSOL  
ANSYS  
MATLAB  
ALTAIR



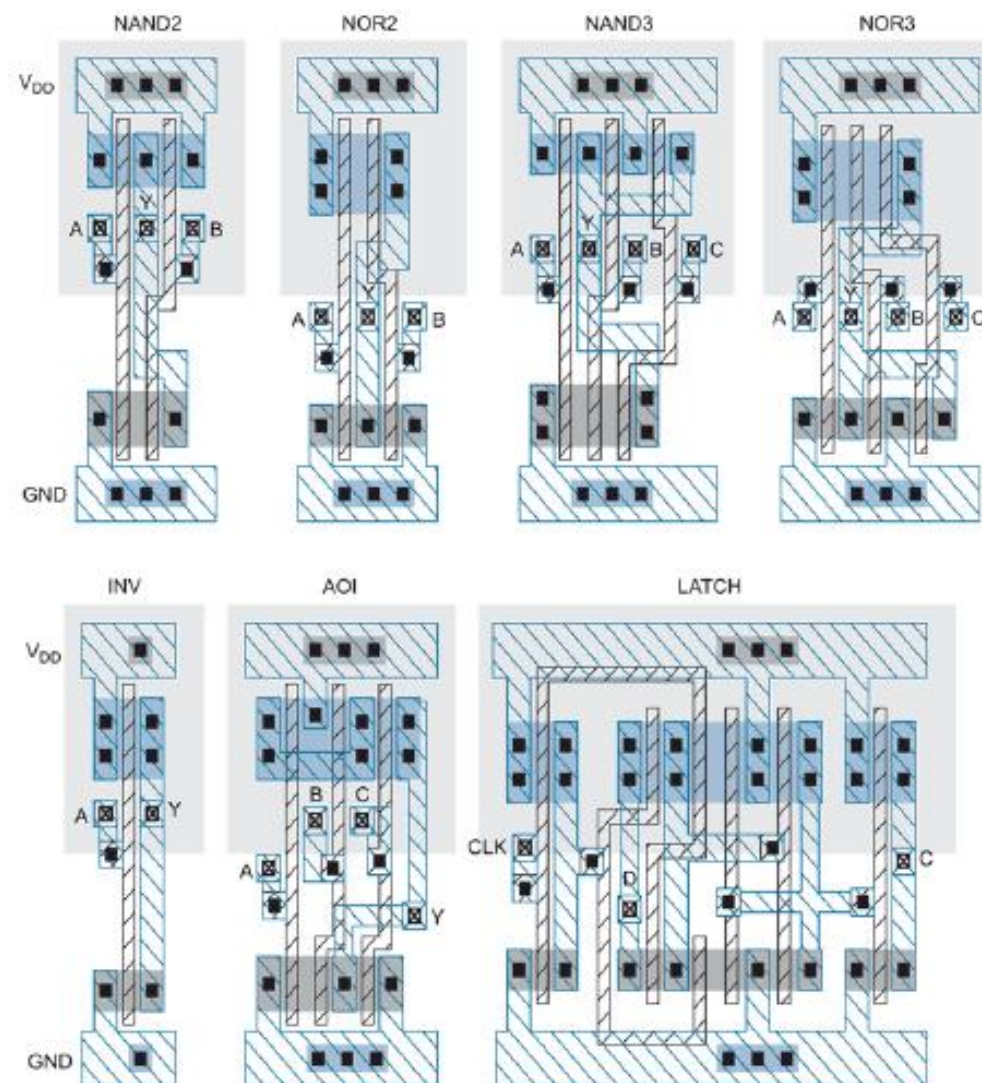
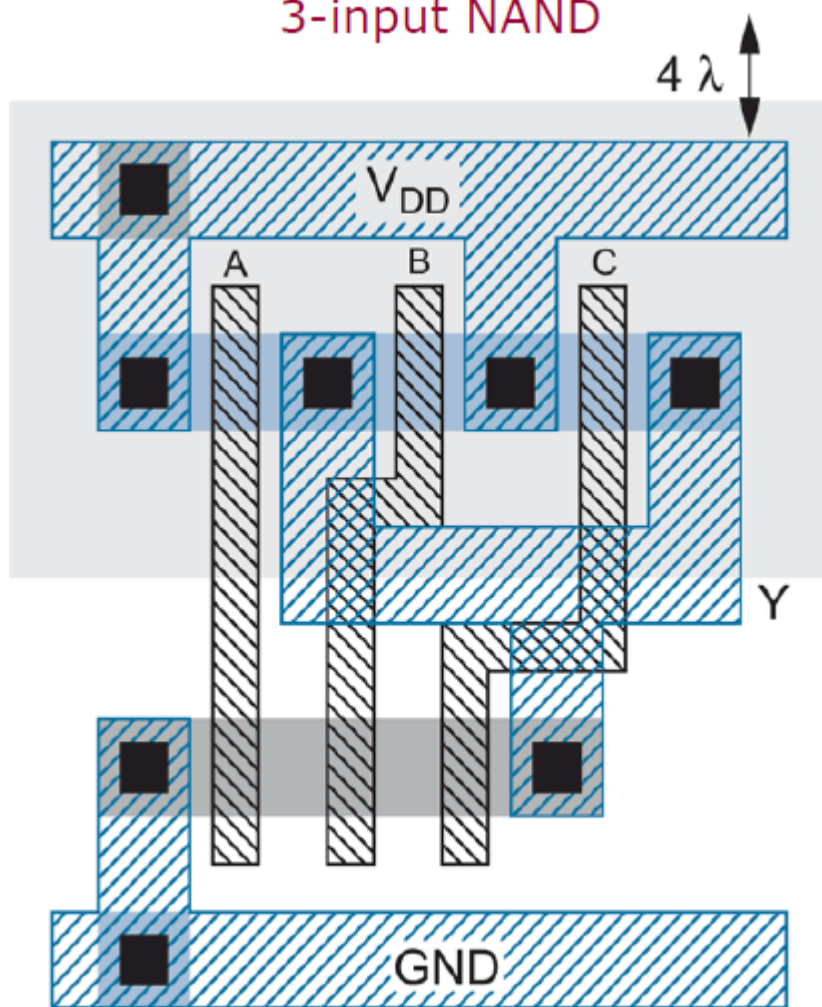
### Projeto e Simulação de Circuito Integrado

- Resposta em regime estacionário, transiente, frequência, ruído, velocidade, tempos de transição e atraso.

EDA Software

CADENCE  
SYNOPSYS  
MENTOR GRAPHICS

3-input NAND



# Preparação do Wafer

## Sand / Ingot



### Sand

Silicon is the second most abundant element in the earth's crust. Common sand has a high percentage of silicon. Silicon – the starting material for computer chips – is a semiconductor, meaning that it can be readily turned into an excellent conductor or an insulator of electricity, by the introduction of minor amounts of impurities.



### Melted Silicon –

scale: wafer level (~300mm / 12 inch)

In order to be used for computer chips, silicon must be purified so there is less than one alien atom per billion. It is pulled from a melted state to form a solid which is a single, continuous and unbroken crystal lattice in the shape of a cylinder, known as an ingot.

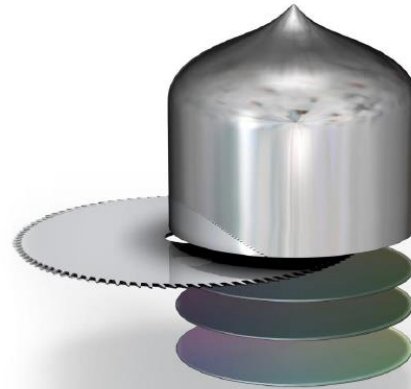


### Monocrystalline Silicon Ingot –

scale: wafer level (~300mm / 12 inch)

The ingot has a diameter of 300mm and weighs about 100 kg.

## Ingot / Wafer



### Ingot Slicing –

scale: wafer level (~300mm / 12 inch)

The ingot is cut into individual silicon discs called wafers. Each wafer has a diameter of 300mm and is about 1 mm thick.



### Wafer –

scale: wafer level (~300mm / 12 inch)

The wafers are polished until they have flawless, mirror-smooth surfaces. Intel buys manufacturing-ready wafers from its suppliers. Wafer sizes have increased over time, resulting in decreased costs per chip. When Intel began making chips, wafers were only 50mm in diameter. Today they are 300mm, and the industry has a plan to advance to 450mm.

## Limpeza RCA

❑ I)  $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$  (Ácido Sulfúrico/Peróxido de Hidrogênio), 4:1, 80°C, 10 min.

❑ Piranha: é utilizada para remover contaminantes orgânicos (gordura).

❑ II)  $\text{HF}/\text{H}_2\text{O}$  (Ácido Fluorídrico/Água DI 18 MΩ), 1:10, 30 s.

❑ Remoção de  $\text{SiO}_2$  nativo da superfície de Si.

❑ III)  $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$  (Hidróxido de Amônia/Peróxido de Hidrogênio/Água DI 18 MΩ), 1:1:5, 70°C, 10 min.

❑ Remoção de gordura e metais.

❑ IV)  $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$  (Ácido Clorídrico/Peróxido de Hidrogênio/Água DI 18 MΩ), 1:1:5, 70°C, 10 min.

❑ Remoção específica de metais.

❑ Inicialmente a etapa II deve ser repetida até que a lâmina aparente estar seca;

❑ Após cada etapa a lâmina deve ser enxaguada em água corrente por 3 minutos e ficar mais 3 minutos dentro de um béquer com água.

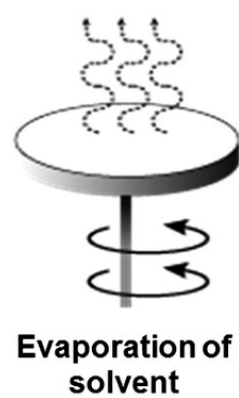
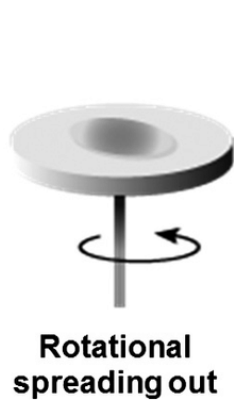
❑ Ao final secar a lâmina com jato de nitrogênio ( $\text{N}_2$ ).

❑ Toda a água utilizada deve ser DI (Deionizada) 18 MΩ. Todos os produtos deve ter grau eletrônico.

❑ Fonte: <https://www.ccs.unicamp.br/cursos/feel07/rca.html>

# Spin coating

## Etapas do Processo



## Spinner



## Chapa quente (*hot plate*)



### ***Parâmetro do Processo:***

- Espessura do Filme (nm) x Velocidade (RPM)
- Tempo de aplicação (s)
- Rampa de aceleração (RPM/s)
- Temperatura de cura (*bake*) do resiste (°C)

## **AZ Photoresist Process Guideline**

\* Recommended spin program:

1. Dispense resist on substrate
2. Spin at 500 rpm for 5-10 seconds with acceleration of 100 rpm/s.
3. Spin at recommended speed (table above) for 40 s with acceleration of 1000 rpm/s.
4. Final step is deceleration with spin speed 0 rpm for 0 s, with 1000 rpm/s ramp.
5. If the lithography is for lift-off, O<sub>2</sub> plasma ashing is required before evaporation in order to remove HMDS.



Foto-alinhadoras



Máscara de Fotolitografia

## ***Parâmetros do Equipamento:***

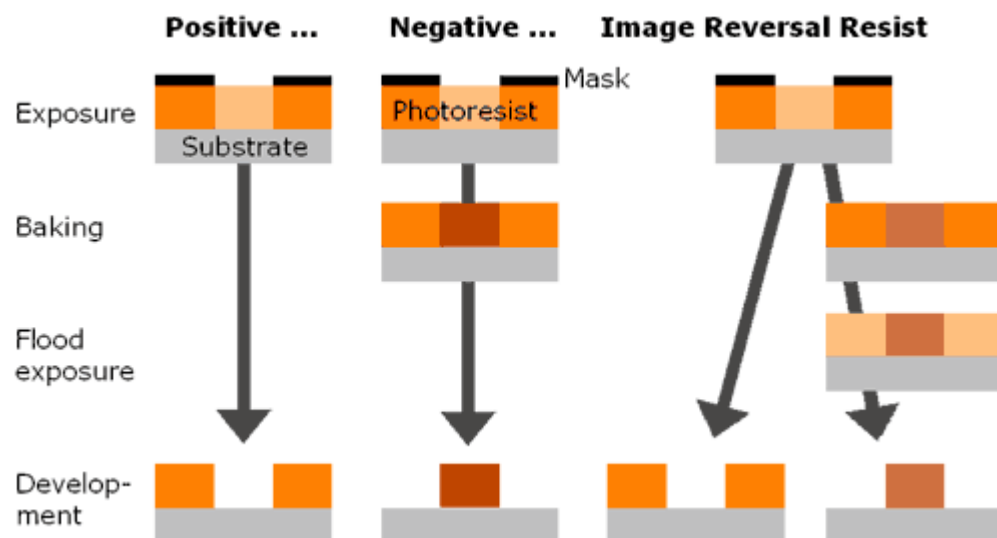
- Densidade de Potência da Lâmpada ( $\text{mW}/\text{cm}^2$ )
- Resolução da máscara ( $\mu\text{m}$ )

## ***Parâmetro do Processo:***

- Tempo de exposição -  $t$  (s)

$$t = \frac{\text{Dose de Exposição } (\text{mJ}/\text{cm}^2)}{\text{Potência da Lâmpada } (\text{mW}/\text{cm}^2)}$$

## Tipos de Resiste e Etapas do Processo



## AZ Photoresist Process Guideline

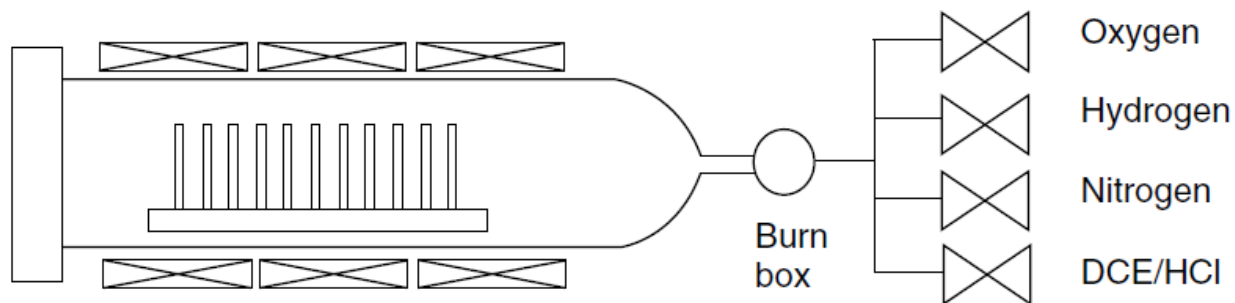
1. Dehydrate wafer at 200 °C for at least 10 minutes (if possible)
2. Spin coat HMDS with recommended spin program below. (\* before spinning leave HMDS puddle on the substrate for 30 s)

| Resist name | Spin speed* | Layer thickness | Prebake at 115 °C | Exposure dose (mJ/cm <sup>2</sup> ) for Si Substrates* | Develop with AZ-726 developer |
|-------------|-------------|-----------------|-------------------|--------------------------------------------------------|-------------------------------|
| AZ-1505     | 4000rpm     | 0.488um         | 1.5 min           | 12.3                                                   | 1 min                         |
| AZ-1518     | 4000rpm     | 1.71um          | 1.5 min           | 43-45                                                  | 1 min                         |
| AZ-4562     | 6000rpm     | 5um             | 1.5 min           | 396                                                    | 2-3 min                       |

Spin Coating

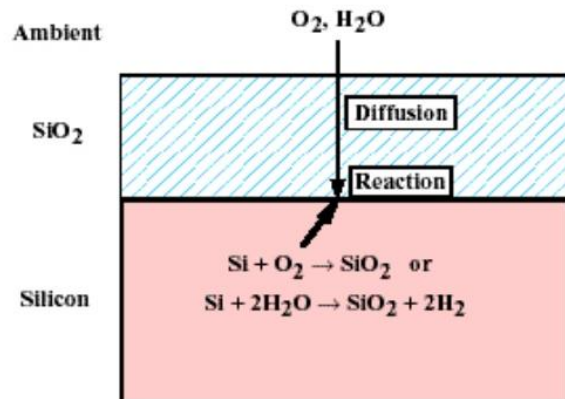
Fotolitografia

# Oxidação Térmica



3-zone resistive heating

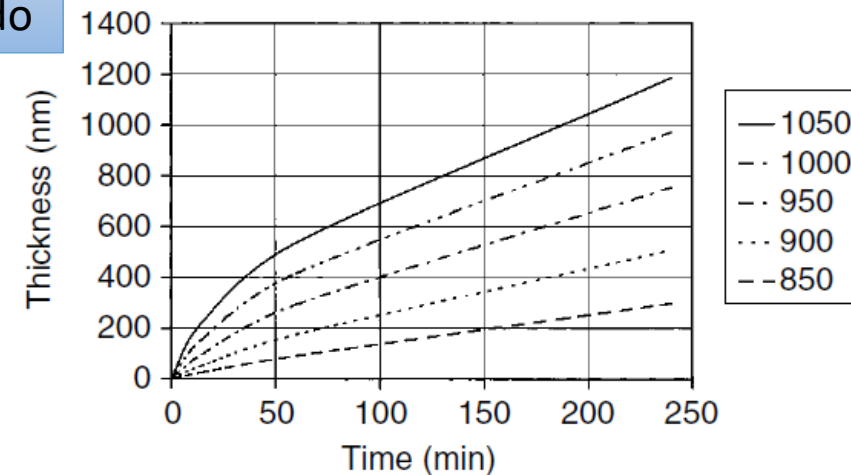
Horizontal oxidation furnace: wafers are vertically loaded in quartz boats



## Parâmetro do Processo:

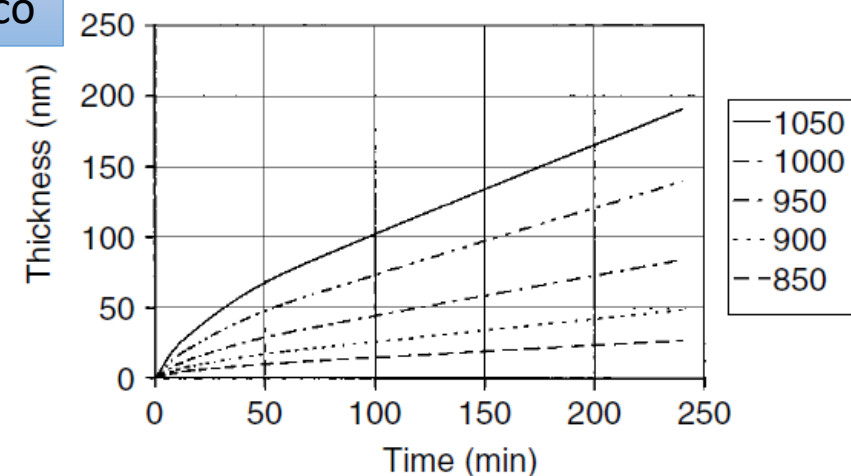
- Espessura do óxido (nm) x Tempo de oxidação (min)

## Úmido



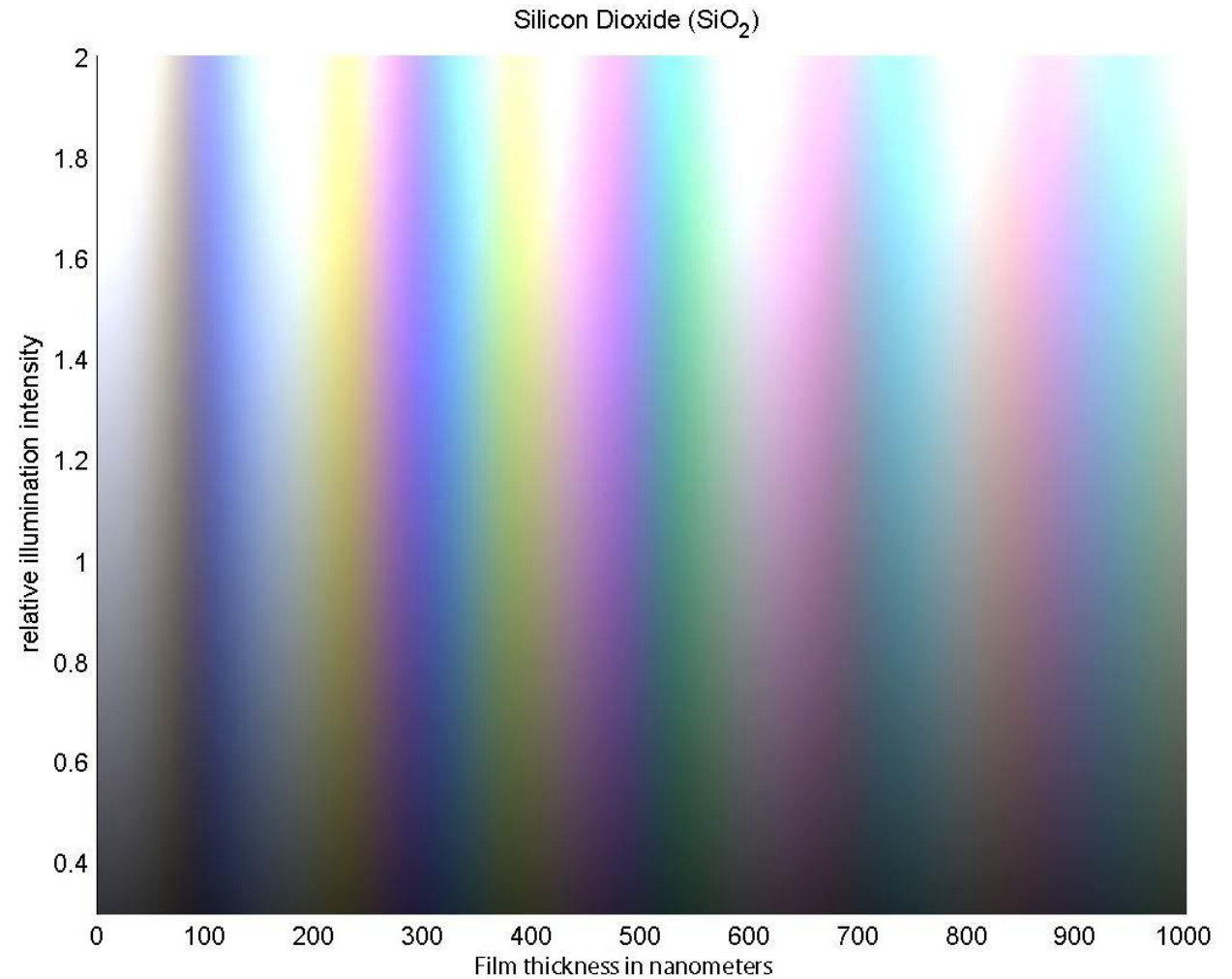
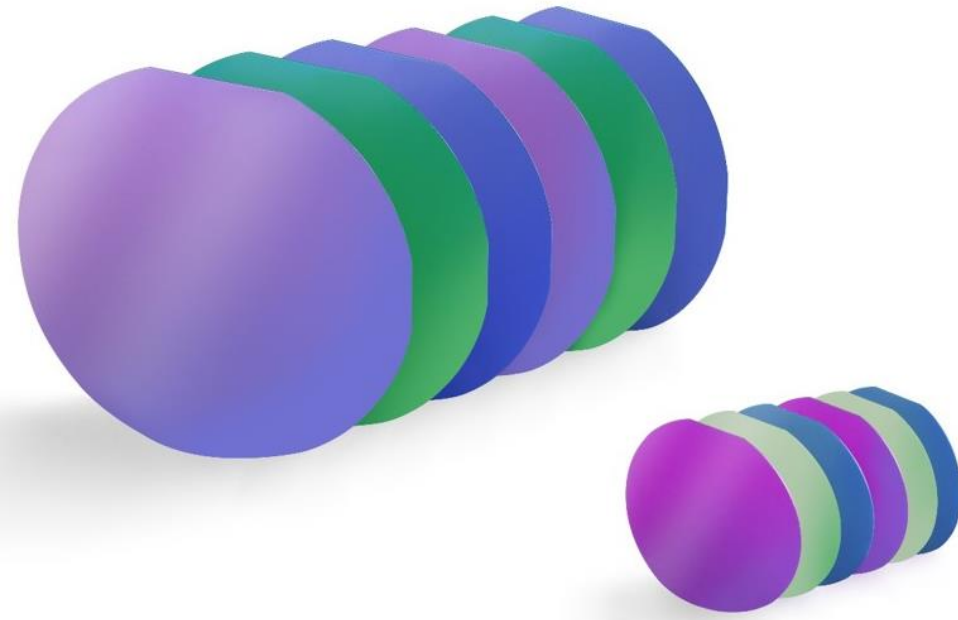
(a)

## Seco



# Oxidação Térmica

A cor do *wafer* indica a espessura aproximada do óxido



- ❑ Processo pelo qual um material é consumido seletivamente e de forma controlada.
- ❑ Tipos de corrosão: Úmida e Seca
- ❑ Perfis de corrosão:
  - ❑ Isotrópico: Taxa de corrosão é a mesma nas direções horizontal e vertical.
  - ❑ Anisotrópico: Taxa de corrosão nas direções horizontal e vertical são distintas.
- ❑ A diferença entre a dimensão da geometria definida na máscara de corrosão e a dimensão obtida após a corrosão é chamada de *Bias*.
- ❑ A seletividade ( $s$ ) define a relação entre as taxas de corrosão vertical do material ( $r_V$ ) e do resiste ( $r_R$ ).

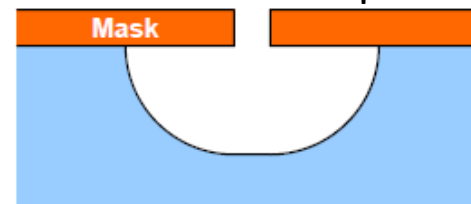
## Parâmetro do Processo:

- Taxa de corrosão –  $r$  (nm/s)
- Taxa de corrosão lateral –  $R_L$
- Seletividade –  $s$
- Bias – nm

$$R_L = \frac{r_H(\text{nm/s})}{r_V(\text{nm/s})}$$

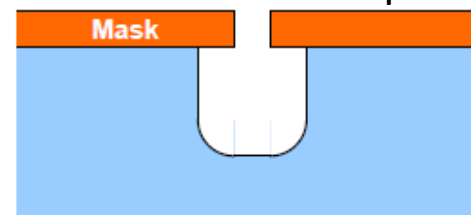
$$s = \frac{r_V(\text{nm/s})}{r_R(\text{nm/s})}$$

## Corrosão Isotrópica



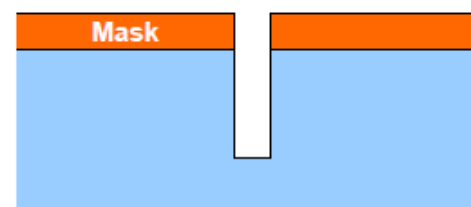
$$R_L = 1$$

## Corrosão Anisotrópica

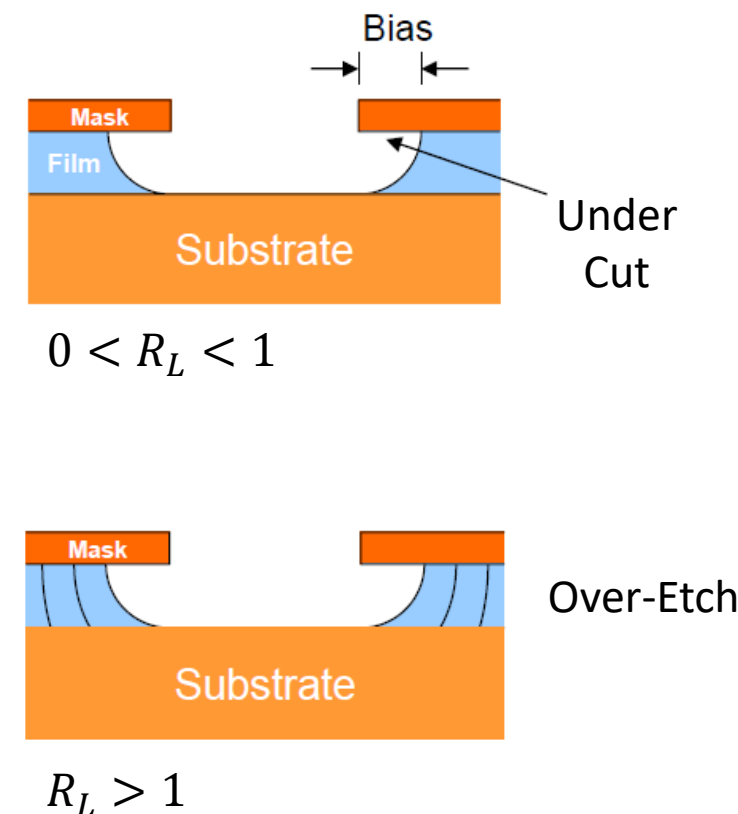


$$0 < R_L < 1$$

## Corrosão Direcional

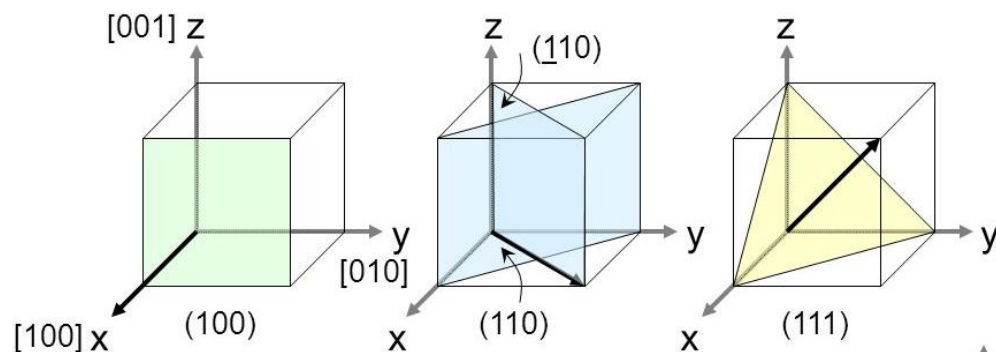


$$R_L = 0$$

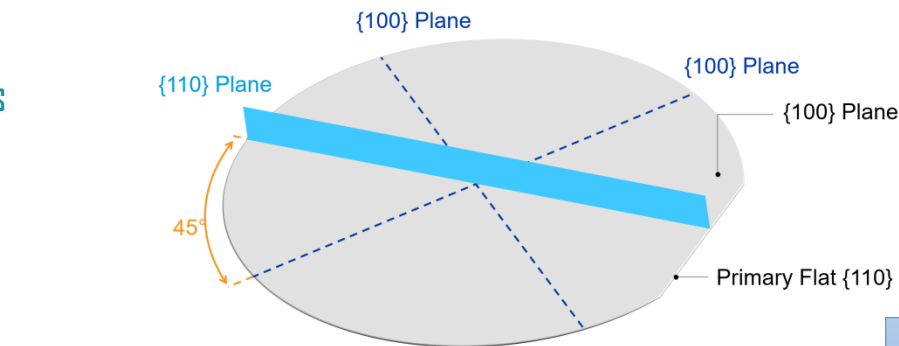


- ❑ Geralmente, a corrosão úmida é um processo isotrópico.
- ❑ Em materiais cristalinos, a taxa de corrosão é menor nas direções cristalográficas de maior densidade.

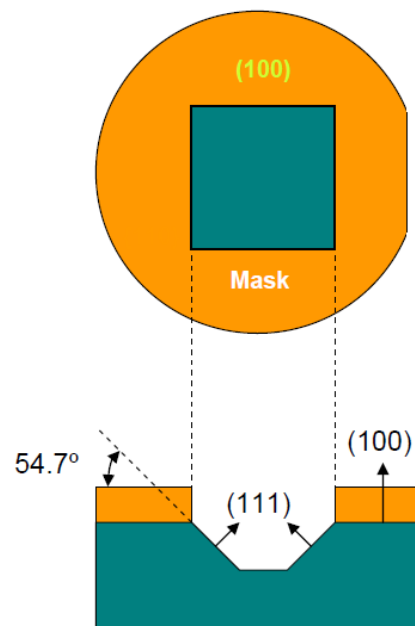
## Densidade Atômica Silício (Si) – FCC



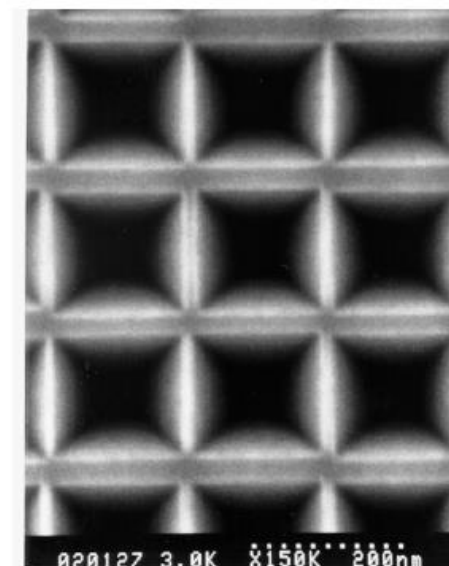
$$\{111\} > \{100\} > \{110\}$$



## Corrosão de Si em KOH (Hidróxido de Potássio)



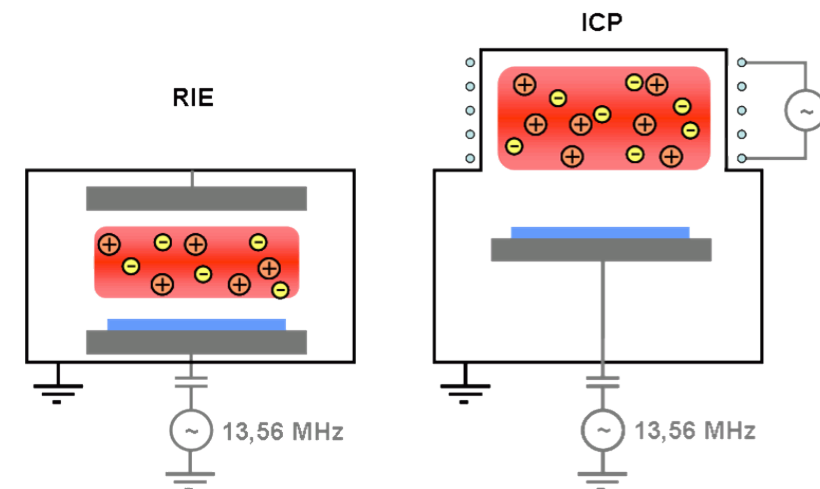
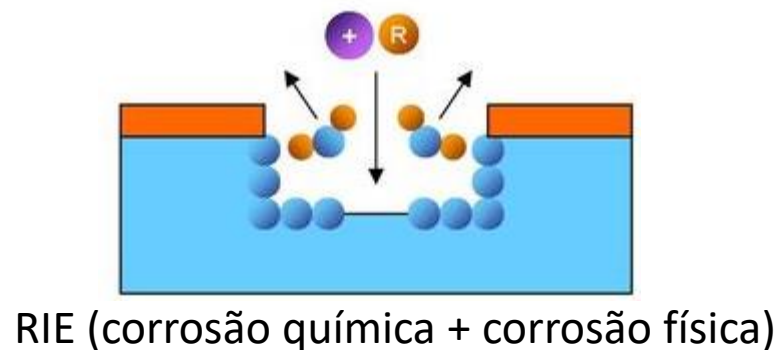
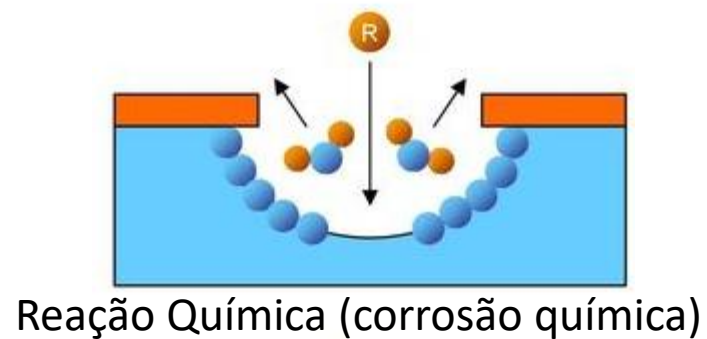
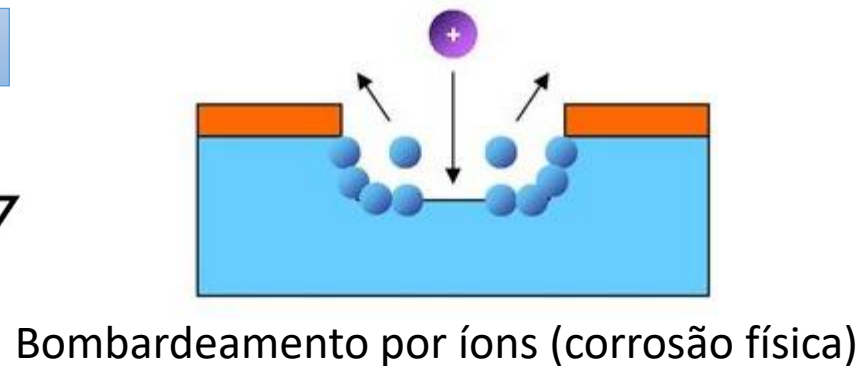
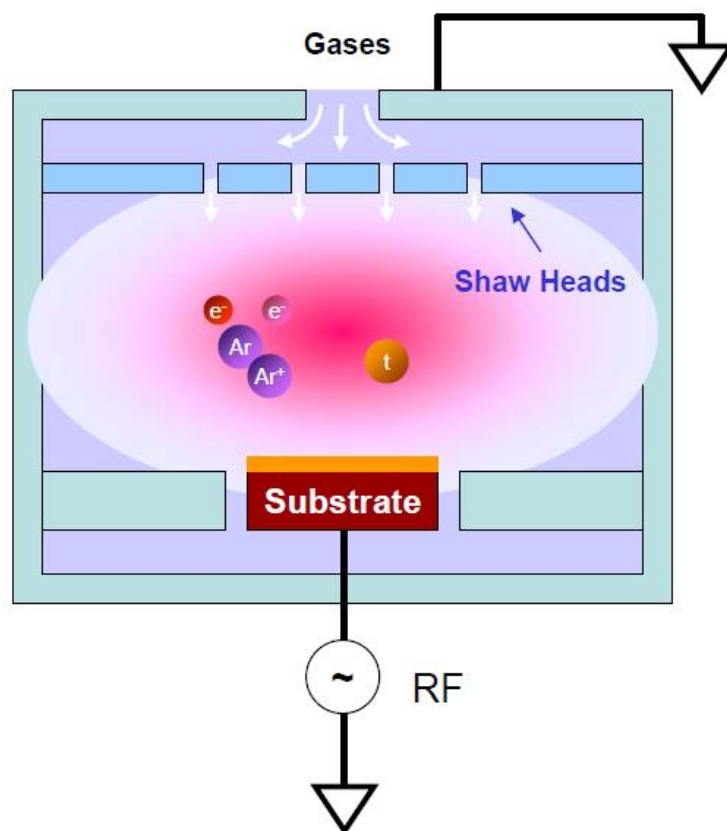
$$r_{111} \sim 100 \times r_{100}$$



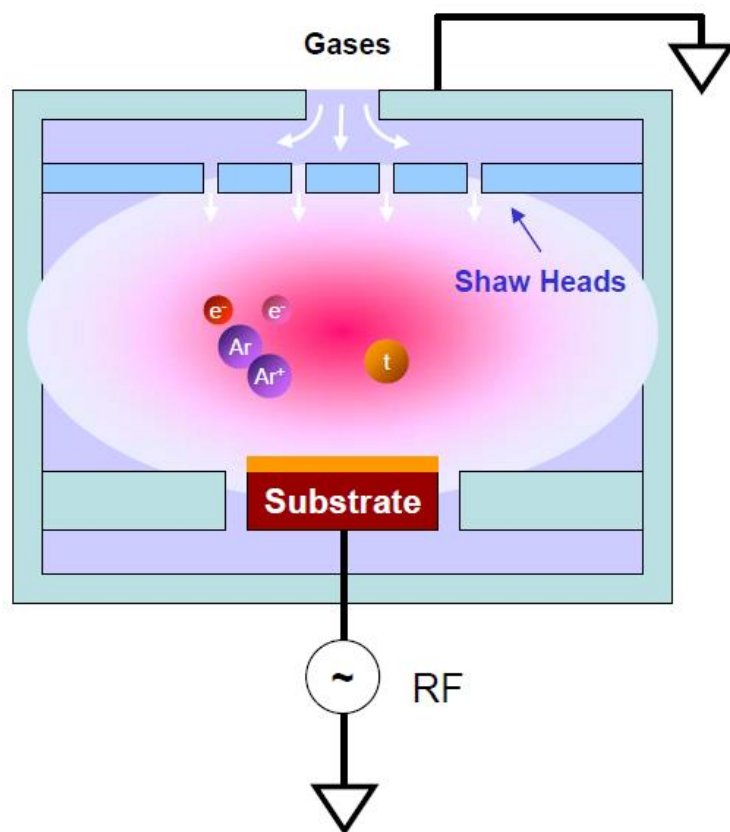
| Material                       | Gas                                                                                                                | Etching Rate                                   | Mask                       | Selectivity |
|--------------------------------|--------------------------------------------------------------------------------------------------------------------|------------------------------------------------|----------------------------|-------------|
| Si (a-Si)                      | 1) KOH<br>2) HNO <sub>3</sub> + H <sub>2</sub> O + HF                                                              | ~ 6 – 600 nm/min (anisotropic)<br>~ 100 nm/min | Resist                     | > 50:1      |
| SiO <sub>2</sub>               | 1) HF<br>2) BHF                                                                                                    | ~ 10 – 1000 nm/min                             | Resist                     | > 50:1      |
| Si <sub>3</sub> N <sub>4</sub> | 1) HF<br>2) BHF<br>3) H <sub>3</sub> PO <sub>4</sub>                                                               | ~ 100 nm/min<br>~ 100 nm/min<br>~ 10 nm/min    | Resist<br>SiO <sub>2</sub> | > 50:1      |
| GaAs                           | 1) H <sub>2</sub> SO <sub>4</sub> + H <sub>2</sub> O <sub>2</sub> + H <sub>2</sub> O<br>2) Br + CH <sub>3</sub> OH | ~ 10 um/min                                    | Resist                     | > 50:1      |
| Au                             | 1) HCl + HNO <sub>3</sub><br>2) KI + I <sub>2</sub> + H <sub>2</sub> O                                             | ~ 40 nm/min<br>~ 1 um/min                      | Resist                     | > 50:1      |
| Al                             | 1) HCl + H <sub>2</sub> O<br>2) NaOH                                                                               | ~ 500 nm/min                                   | Resist                     | > 50:1      |

# Corrosão Seca

## Corrosão Seca Assistida por Plasma



## Corrosão Seca Assistida por Plasma



### ***Parâmetros do Equipamento (ICP-RIE):***

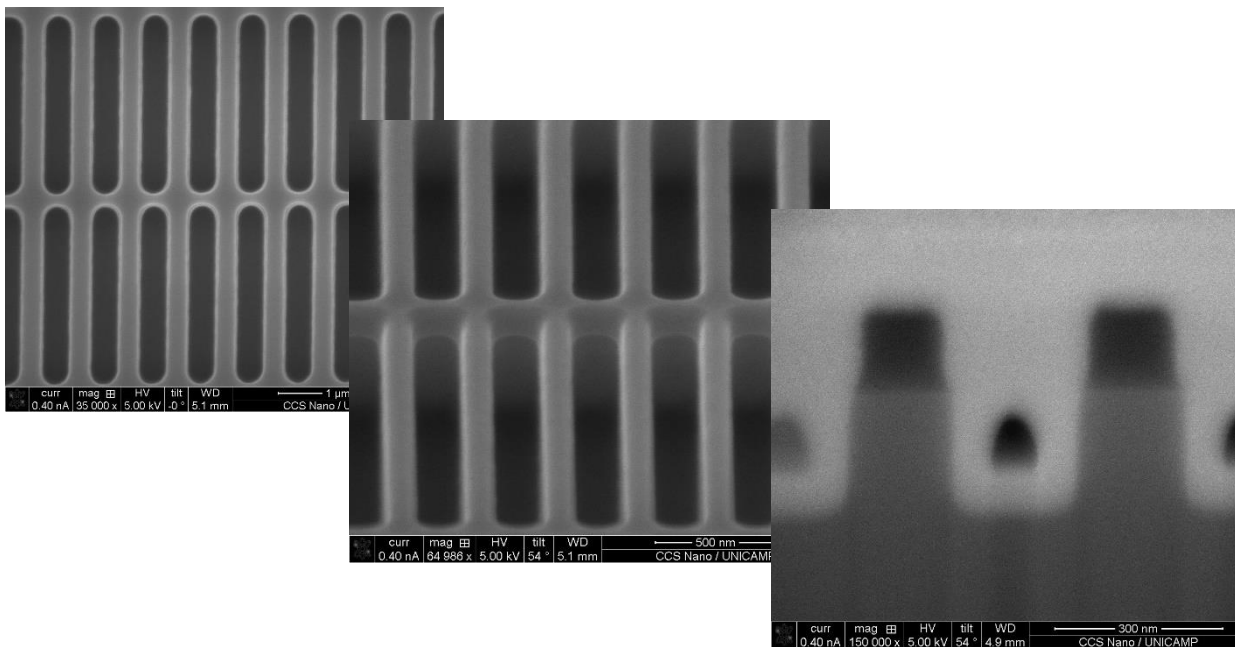
- Máxima potência aceleração – RF (W)
- Máxima potência da bobina – ICP (W)
- Máximo fluxo de gás (sccm)
- Mínima pressão de processo (mTorr)

### ***Parâmetro do Processo:***

- Potência aceleração – RF (W)
- Potência da bobina – ICP (W)
- Fluxo dos gases (sccm)
- Pressão de processo (mTorr)
- Taxa de corrosão (nm/s)
- Tempo de processo (s)

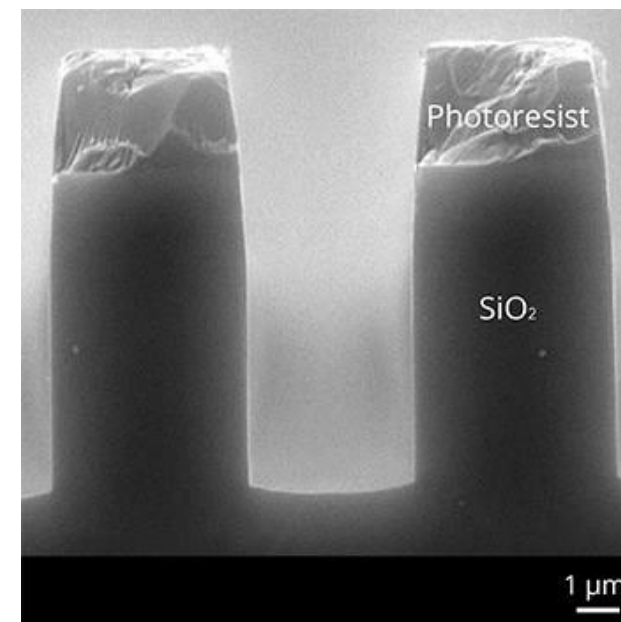
## ***Corrosão Silício (100):***

- Potência aceleração – RF: 9 W
- Potência da bobina – ICP: 850 W
- Fluxo dos gases:  $C_4F_8/SF_6/Ar$  – 15/25/10 sccm
- Pressão de processo: 19 mTorr
- Taxa de corrosão: 1,96 nm/s
- Seletividade ZEP520A: 2

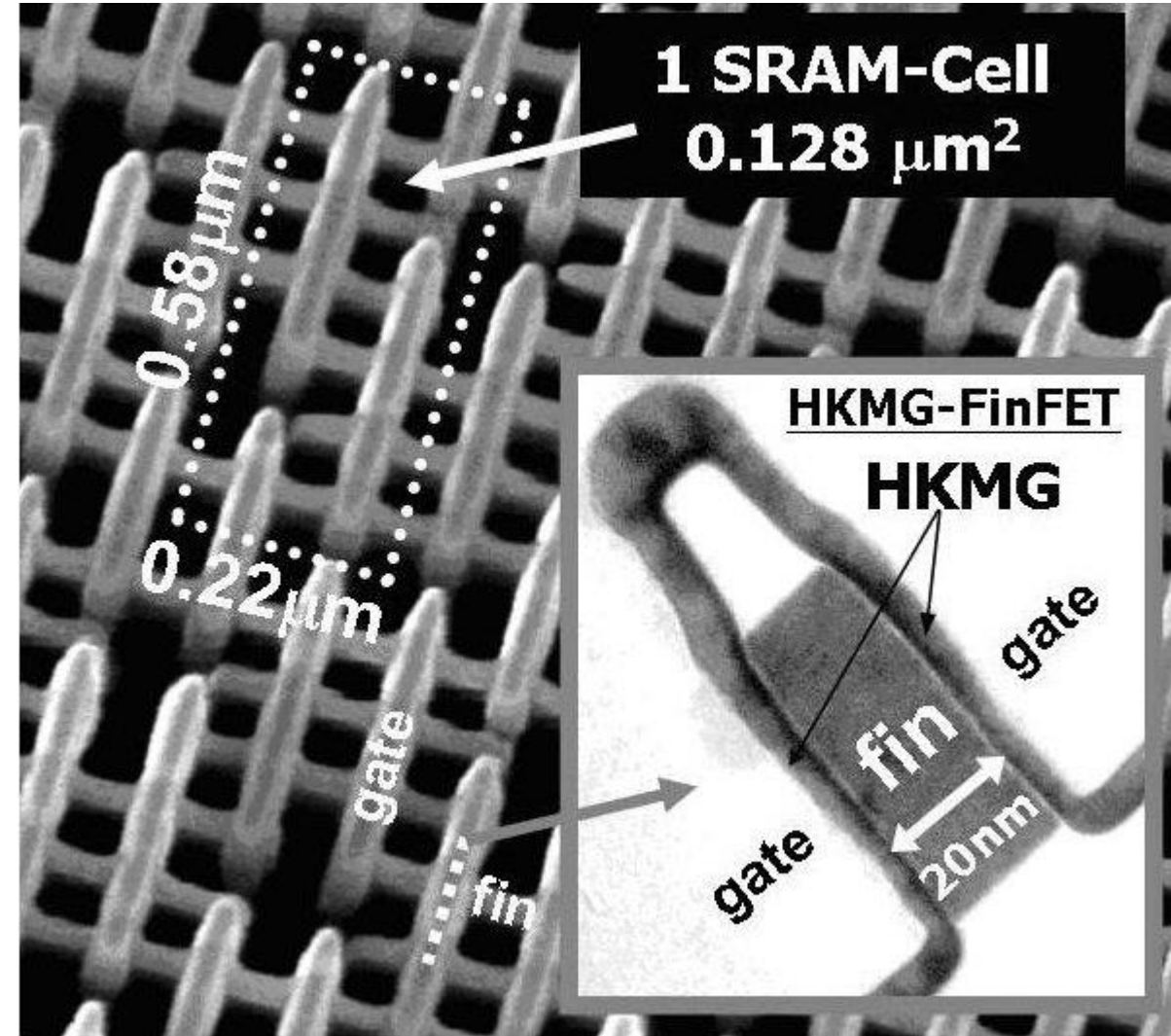
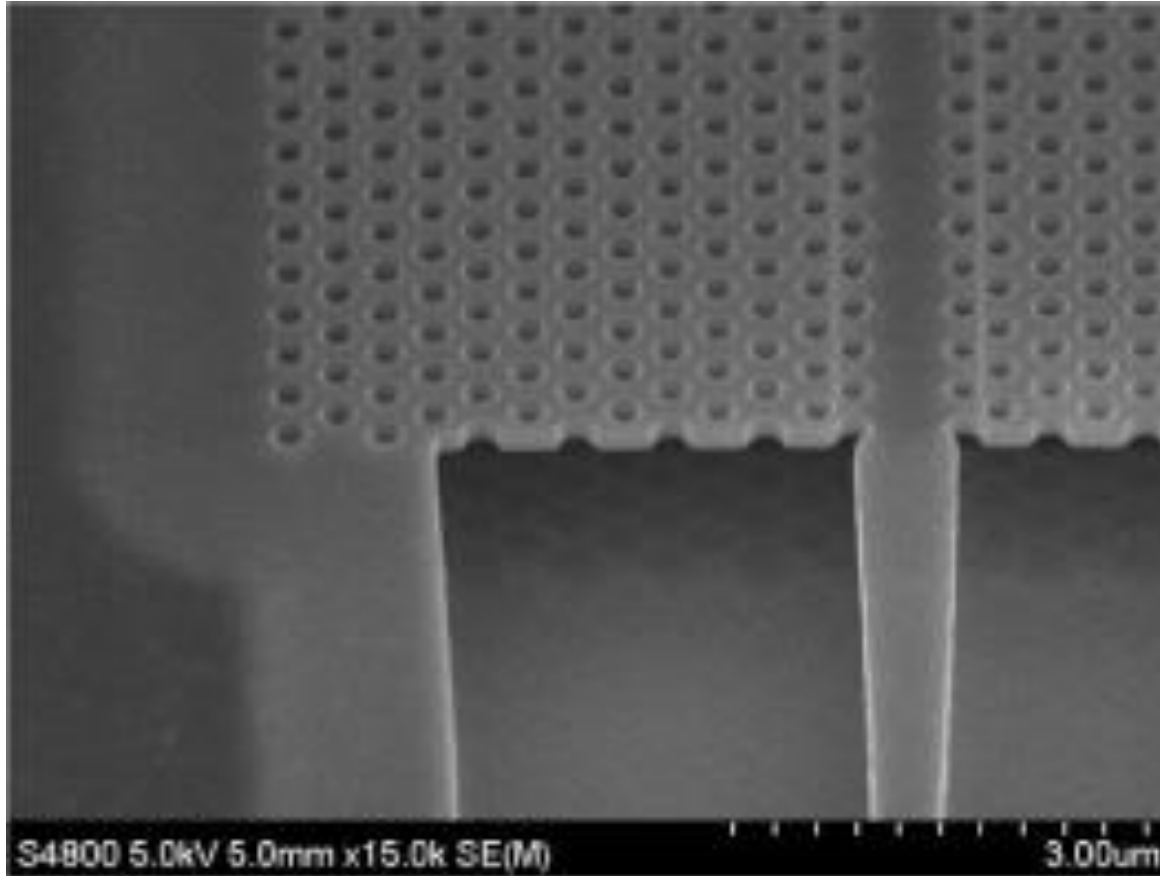


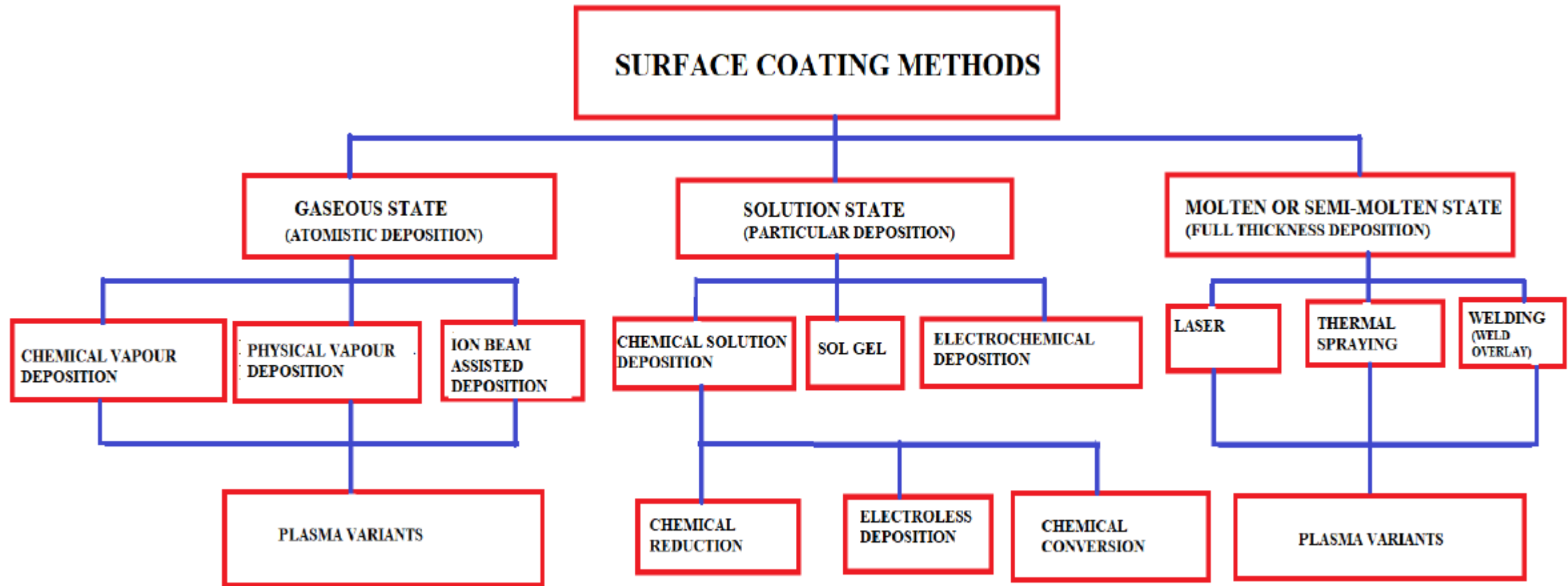
## ***Corrosão Óxido:***

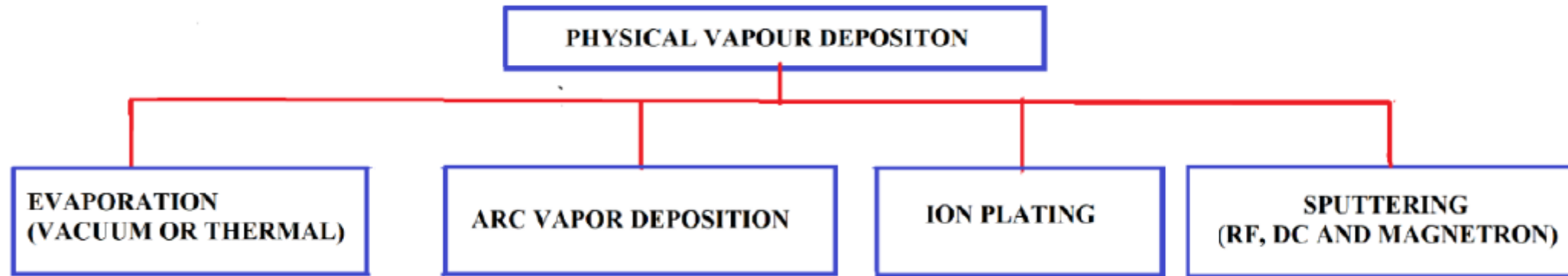
- Potência aceleração – RF: 15 W
- Potência da bobina – ICP: 1200 W
- Fluxo dos gases:  $CHF_3/O_2$  – 52/3 sccm
- Pressão de processo: 14 mTorr
- Taxa de corrosão: 1,10 nm/s
- Seletividade ZEP520A: 0,3



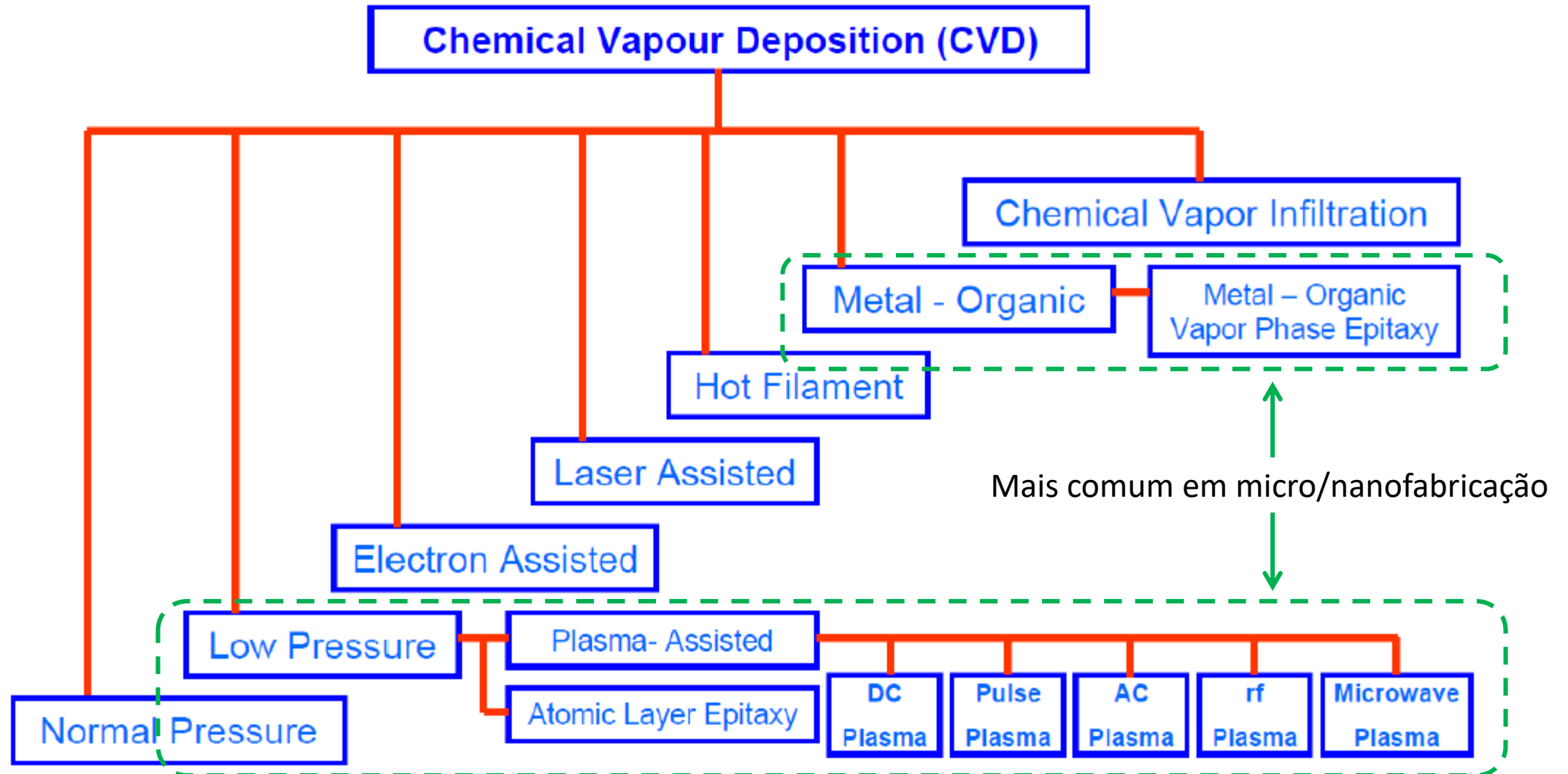
# Corrosão Seca





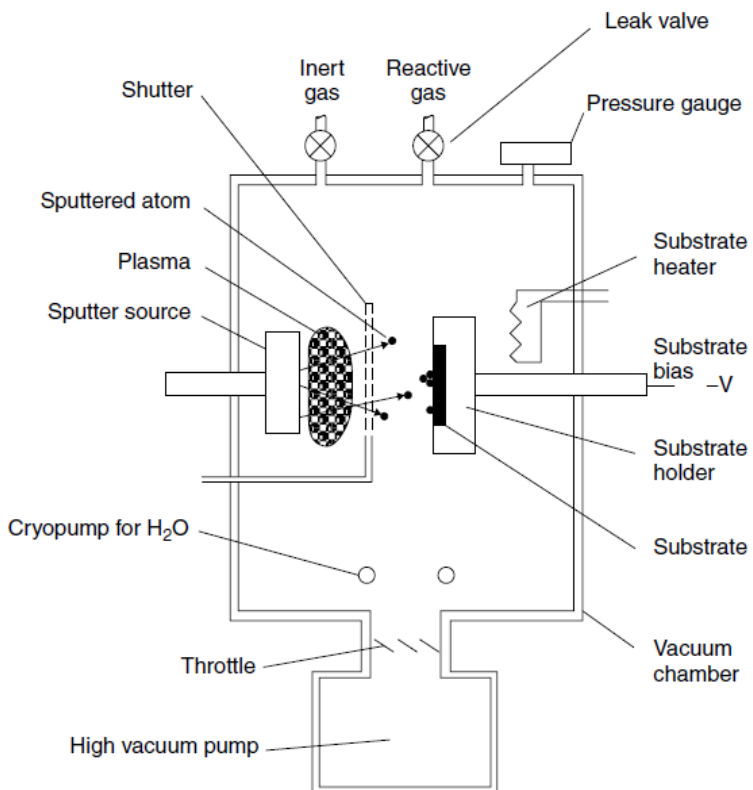


# Deposição de Filmes Finos

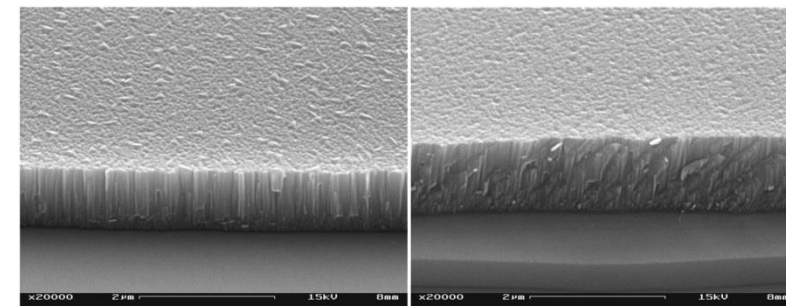


# Deposição de Filmes Finos

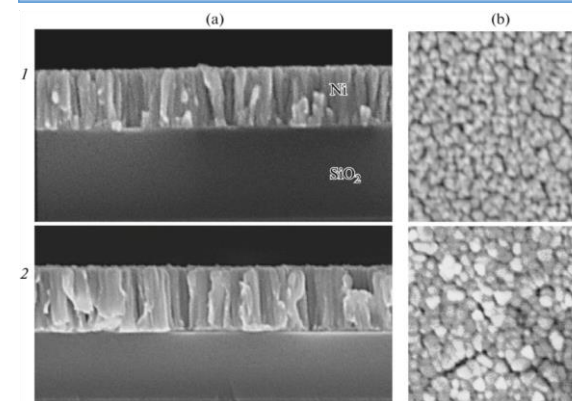
## Sputtering Reativo



## Nitreto de Alumínio (AlN)

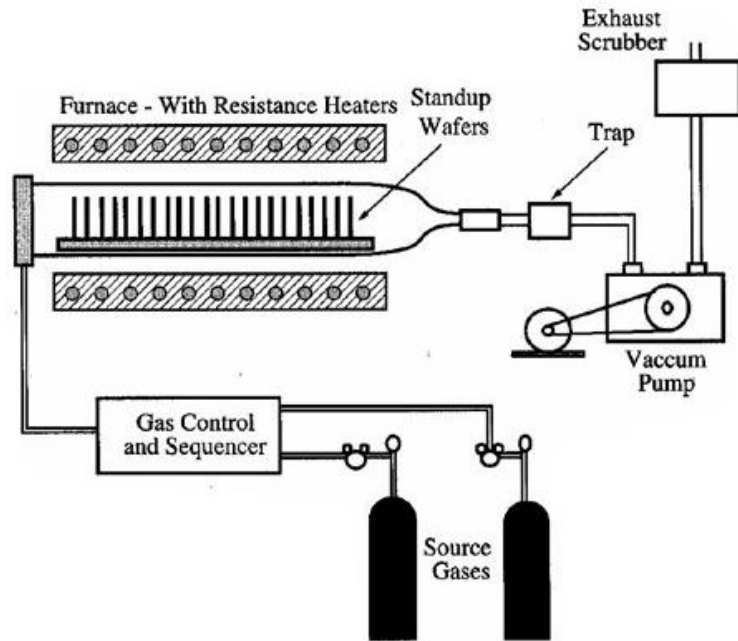


## Nitreto de Titânio (TiN)



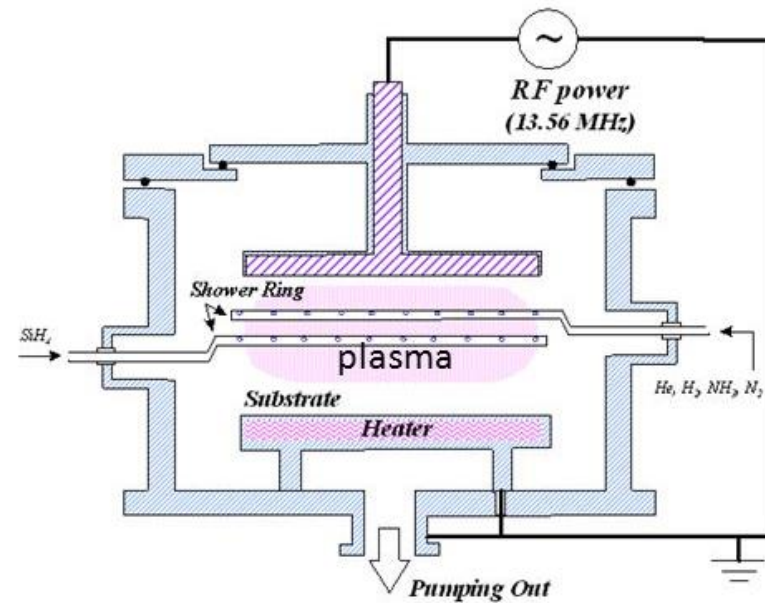
# Deposição de Filmes Finos

## Deposição por Vapor Químico em Baixa Pressão (LPCVD)



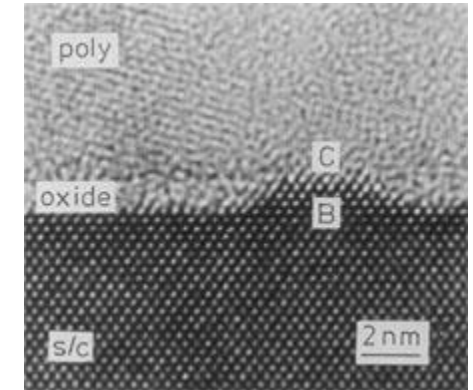
- Alta temperatura.
- Taxa de reação definida pela temperatura.

## Deposição por Vapor Químico Assistido por Plasma (PECVD)

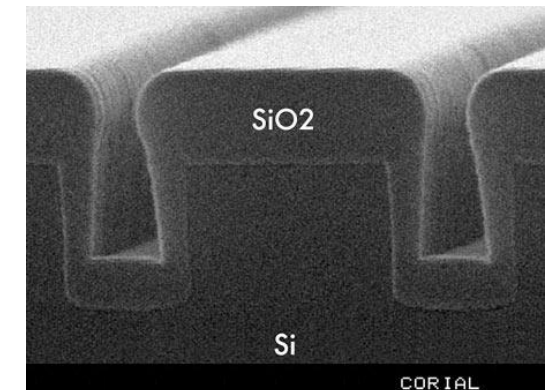


- Baixa temperatura.
- Taxa de reação pela potência do plasma e fluxos dos gases.

## Si Policristalino (LPCVD)



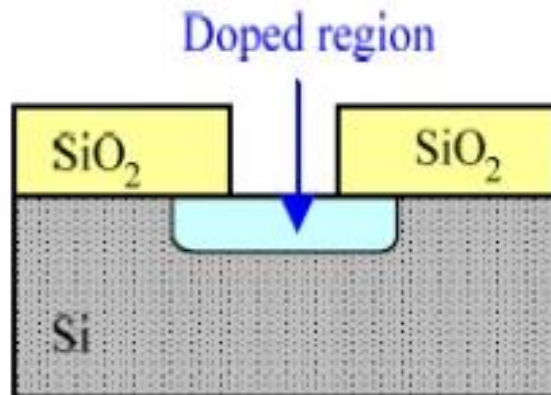
## $\text{SiO}_2$ (PECVD)



# Difusão x Implantação Iônica

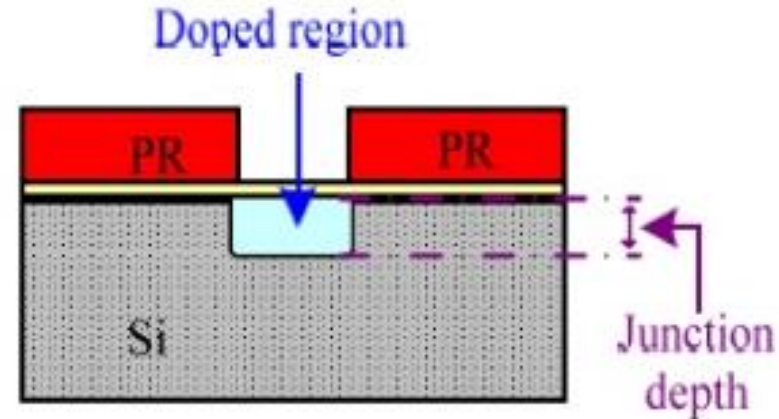
## Diffusion

- ♦ High temperature, hard mask ( $\text{SiO}_2$ )
- ♦ Isotropic dopant profile
- ♦ Cannot independently control the dopant concentration, junction depth



## Ion Implantation

- ♦ Low temperature, PR mask
- ♦ Anisotropic dopant profile
- ♦ Can independently control the dopant concentration, junction depth



- ❑ Franssila, S. “Introduction to Microfabrication”, West Sussex, John Wiley & Sons (2004).
- ❑ Boylestad, Robert L.; Nashelsky, Louis “Dispositivos Eletrônicos e Teoria de Circuitos”, 6 ed., Rio de Janeiro, LTC (1998)
- ❑ Boylestad, Robert L.; Nashelsky, Louis “Electronic Devices and Circuit Theory”, 11 ed., Boston, Pearson (2013).