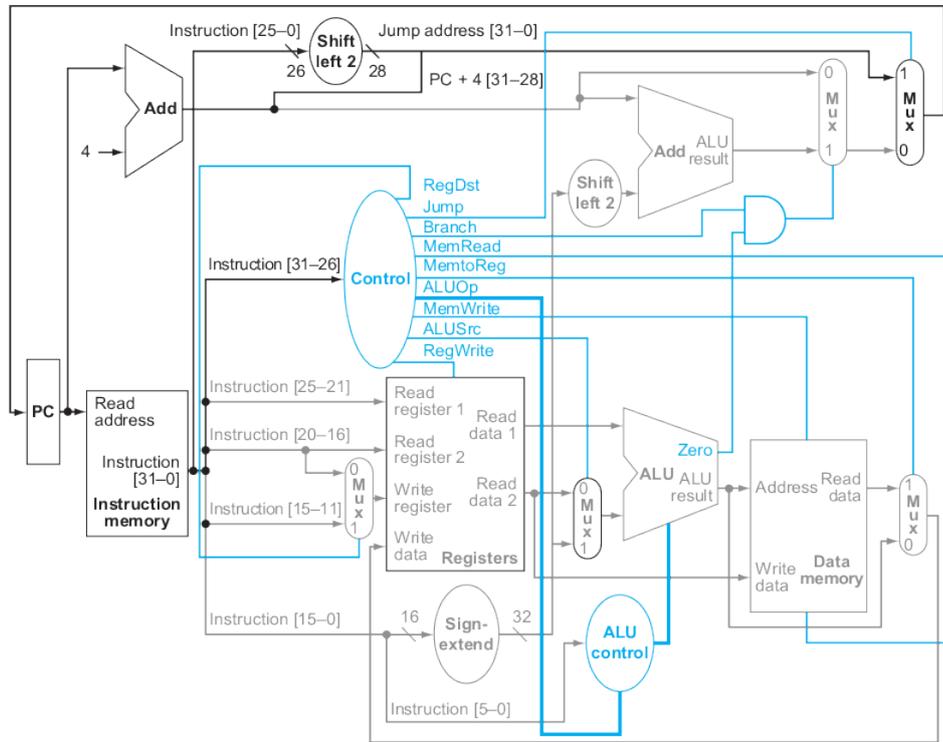




(c) Que novos sinais (se algum) precisaremos, na unidade de controle, para apoiar essa instrução?

4. (4.7) Considere o *datapath* abaixo:



Agora suponha que, em um *datapath* de ciclo único, a seguinte instrução é trazida da memória:

1010110001100010000000000010100 (trata-se de um “sw rt, desl(rs)”)

Assuma que a memória de dados está preenchida com zeros, e que os registradores do processador têm os seguintes valores no início do ciclo no qual a instrução acima é buscada:

r0	r1	r2	r3	r4	r5	r6	r8	r12	r31
0	-1	2	-3	-4	10	6	8	2	-16

- Quais as saídas da extensão de sinal e da unidade de deslocamento de *jumps* (“Shift left 2”) para essa instrução?
  - Quais os valores da entrada da unidade de controle da ALU para essa instrução?
  - Qual o novo endereço do PC após essa instrução ser executada? Mostre (na figura) o caminho que leva à definição desse valor.
  - Para cada MUX, mostre os valores de suas saídas durante a execução desta instrução com estes valores de registradores.
  - Para a ALU e as duas unidades de soma, quais são os valores de suas entradas de dados?
  - Quais os valores de todas as entradas para a unidade de registradores?
5. Limitando nossa atenção a 8 instruções: *lw*, *sw*, *add*, *sub*, *and*, *or*, *slt* e *beq*, qual o tempo médio entre 2 instruções em uma implementação de ciclo único, em que todas as instruções ocupam um único ciclo de *clock*, e uma implementação de pipeline, em que cada estágio ocupa um ciclo de *clock*? O tempo de cada instrução, tanto total quanto a cada estágio, é:

Instruction class	Instruction fetch	Register read	ALU operation	Data access	Register write	Total time
Load word (lw)	200 ps	100 ps	200 ps	200 ps	100 ps	800 ps
Store word (sw)	200 ps	100 ps	200 ps	200 ps		700 ps
R-format (add, sub, AND, OR, slt)	200 ps	100 ps	200 ps		100 ps	600 ps
Branch (beq)	200 ps	100 ps	200 ps			500 ps

6. (4.5) Considere um programa que usa a seguinte proporção de cada instrução:

add	addi	not	beq	lw	sw
20%	20%	0%	25%	25%	10%

- (a) Em qual fração de todos os ciclos a memória de dados é usada?
- (b) Em qual fração de todos os ciclos é necessária a entrada para o circuito de extensão de sinal? O que este circuito faz em ciclos nos quais sua entrada não é necessária?
7. (4.8) Assuma que os estágios individuais de um *datapath* possui as seguintes latências (ignorando-se o tempo gasto nos registradores da *pipeline*, quando houver uma):

IF	ID	EX	MEM	WB
250ps	350ps	150ps	300ps	200ps

Também assumo que as instruções executadas em um determinado programa estão separadas como segue:

alu	beq	lw	sw
45%	20%	20%	15%

- (a) Qual o período do ciclo de *clock* em um processador com e sem *pipeline*?
- (b) Qual a latência total de uma instrução *lw* em um processador com e sem *pipeline*?
- (c) Assumindo que não haja qualquer conflito de *pipeline* e nem paradas, qual a proporção de uso da memória de dados?
- (d) Assumindo que não haja qualquer conflito de *pipeline* e nem paradas, qual a proporção de uso da porta de escrita (*write-register*) da unidade de Registradores?