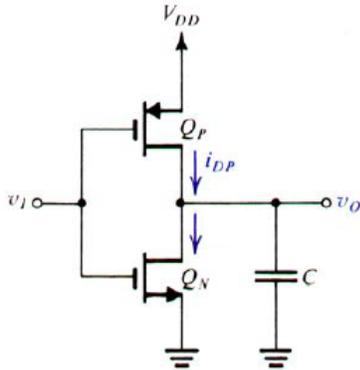


**PSI3024 – ELETRÔNICA – 2º. Semestre 2015**  
**TERCEIRA LISTA ADICIONAL DE EXERCÍCIOS**

1) Dado o Inversor CMOS conforme indicado na figura abaixo e sabendo-se que  $k_p' = 100\mu\text{A}/\text{V}^2$ ,  $k_n' = 200\mu\text{A}/\text{V}^2$ ,  $(W/L)_p = 8$ ,  $(W/L)_n = 1$ ,  $\lambda = 0$ ,  $V_{DD} = 5\text{V}$ , e  $|V_{tp}| = |V_{tn}| = 1\text{V}$ :



$$I_D = k_n' \cdot \frac{W}{L} \left[ (V_{GS} - V_t) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{para } |V_{DS}| < |V_{GS} - V_t|$$

$$I_D = \frac{k_n'}{2} \cdot \frac{W}{L} (V_{GS} - V_t)^2 (1 + \lambda V_{DS}) \quad \text{para } |V_{DS}| \geq |V_{GS} - V_t|$$

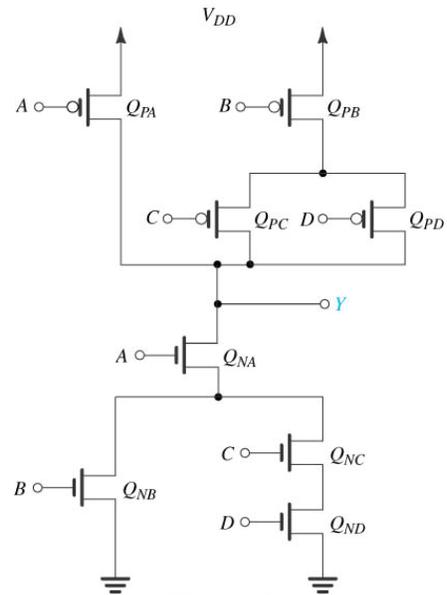
(a) Determine a tensão de entrada  $v_E$  para a qual ocorre a transição abrupta da tensão de saída  $v_o$  na curva de transferência  $v_o \times v_E$  e esboce esta mesma curva de transferência indicando as coordenadas de todos os pontos notáveis. (b) Determine a corrente máxima  $i_{Dmax}$  que passa através dos transistores pMOS e nMOS na transição de nível lógico e esboce o gráfico  $i_D \times v_E$  indicando também todos os pontos notáveis. (c) Supondo que a capacitância  $C_S$  indicada na figura modele o efeito de todas as capacitâncias conectadas no nó de saída e admitindo que uma onda quadrada entre 0 e  $V_{DD}$  seja aplicada na entrada, deduza a expressão da potência dinâmica consumida pelo inversor CMOS. (Dica: A energia armazenada no capacitor em cada transição é igual a  $C_S V^2/2$ ).

2) Esboce o circuito CMOS que realize a função  $Y = \overline{A(B + CD)}$

3) Considere a porta lógica CMOS mostrada na figura 1. Especifique  $W/L$  para todos os transistores em termos das razões  $n$  e  $p$  do inversor básico de tal forma que  $t_{PHL}$  e  $t_{PLH}$  da porta para o pior caso sejam iguais aos do inversor básico.

4) Projete um inversor pseudo-NMOS que tenha  $V_{OL} = 0,1\text{V}$ . Sejam  $V_{DD} = 2,5\text{V}$ ,  $|V_t| = 0,4\text{V}$ ,  $k_n' = 4k_p' = 120\mu\text{A}/\text{V}^2$  e  $(W/L)_n = 0,375\mu\text{m}/0,25\mu\text{m}$ . Qual o valor de  $(W/L)_p$ ? Calcule o valor da dissipação de potência estática.

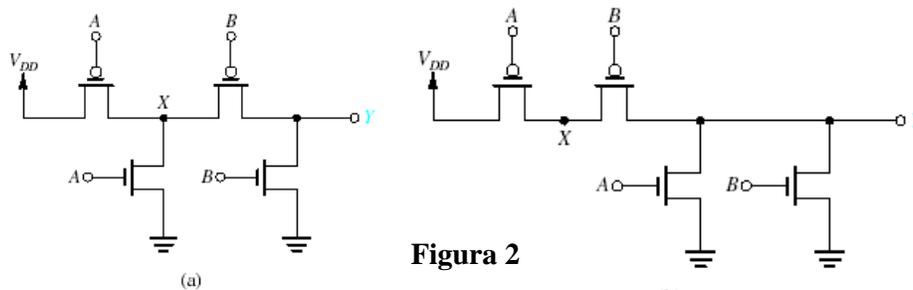
5) Esboce o circuito pseudo-NMOS que realize a função  $Y = \overline{A(B + CD)}$



**Figura 1**

6) Considere os circuitos da Figura 2 com todos os transistores

PMOS substituídos por NMOS, e todos os NMOS por PMOS, e com as ligações do terra e  $V_{DD}$  invertidos. Quais serão as funções nas saídas  $Y$ ?



**Figura 2**

(a)

(b)

7) Esboce os circuitos completos para as portas INVERSORA, NE e NOU, com as duas últimas possuindo duas entradas, e um circuito para  $\bar{Y} = AB + CD$ .

8) Considere uma porta NE de duas entradas implementada com uma lógica dinâmica, fabricada no processo CMOS no qual  $k'_n = 3k'_p = 75 \mu\text{A}/\text{V}^2$ ,  $V_m = -V_{tp} = 0,8 \text{ V}$  e  $V_{DD} = 3 \text{ V}$ . Para manter  $C_L$  pequeno, dispositivos NMOS de dimensões mínimas são usados com  $W/L = 1,2 \mu\text{m}/0,8 \mu\text{m}$  (incluindo  $Q_e$ ). O transistor de precarga  $Q_p$  possui  $2,4 \mu\text{m}/0,8 \mu\text{m}$ . O valor de  $C_L$  encontrado é  $15 f_f$ . Considere a operação de precarga com a porta de  $Q_p$  em  $0 \text{ V}$ , e suponha que em  $t = 0$ ,  $C_L$  está totalmente descarregado. Calcule o tempo de subida para a tensão de saída, definida no tempo como sendo  $v_Y$  subindo de 10% a 90% do valor final de  $3 \text{ V}$ . Determine a corrente para  $v_Y = 0,3 \text{ V}$  e a corrente em  $v_Y = 2,7 \text{ V}$ , então obtenha um valor aproximado para  $t_r$ ,  $t_r = C_L(2,7 - 0,3)/I_{av}$ , onde  $I_{av}$  é o valor médio das duas correntes.

9) Explique detalhadamente os ciclos de leitura e escrita de uma célula de memória RAM estática conforme explicado em aula (itens 11.4 e 11.5 do livro).

10) Uma pastilha RAM de 256 Mbit com leitura de 16 bits emprega uma configuração de 16 blocos com conjuntos de células quadradas. Quantos bits de endereço são necessários para o bloco decodificador, o decodificador de linhas e o decodificador de colunas?

11) Uma versão particular do amplificador sensor regenerativo da Figura 3 em uma tecnologia de  $0,5 \mu\text{m}$ , utiliza transistores para os quais  $|V_t| = 0,8 \text{ V}$ ,  $k'_n = 2,5k'_p = 100 \mu\text{A}/\text{V}^2$ ,  $V_{DD} = 3,3 \text{ V}$ , com  $(W/L)_n = 6 \mu\text{m}/1,5 \mu\text{m}$  e  $(W/L)_p = 15 \mu\text{m}/1,5 \mu\text{m}$ . Para cada inversor, obtenha o valor de  $G_m$ . Para uma capacitância da linha de bit de  $0,8 \text{ pF}$  e um atraso para alcançar  $0,9 V_{DD}$  de  $2 \text{ ns}$ , obtenha a tensão de diferença necessária entre as duas linhas de bit. Se o tempo puder ser aumentado de  $1 \text{ ns}$ , qual sinal de entrada poderá ser conduzido? Com o tempo de atraso aumentado e com o sinal de entrada no nível original, por qual porcentagem a capacitância da linha de bit e o correspondente comprimento da mesma podem ser aumentados? Se o tempo de atraso necessário para as capacitâncias das linhas de bit carregarem através da corrente constante disponível da célula de armazenamento for  $5 \text{ ns}$  de forma a conseguir o sinal de tensão de diferença que o amplificador sensor necessita, como esse tempo aumenta quando linhas mais longas são empregadas?

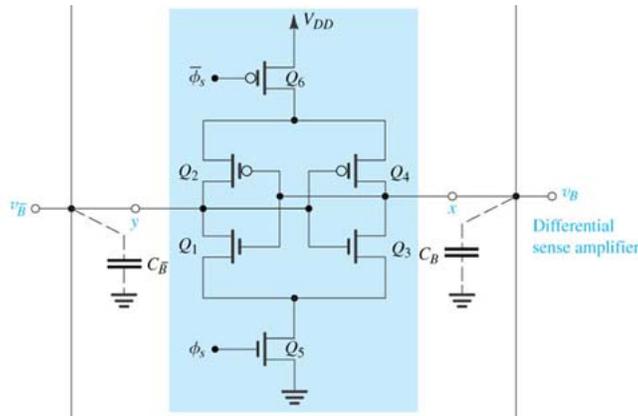


Figura 3

12) Dada uma memória ROM com 8 palavras de 4 bits. Escreva 8 números binários  $B_3B_2B_1B_0$  onde  $B_3$  é o dígito mais significativo. Converta cada dígito do número 8543859 em número binário e programe cada um deles na memória ROM fazendo  $8543859 = W_7W_6W_5W_4W_3W_2W_1$  onde  $W_1$  é o algarismo menos significativo,  $W_2$  é o segundo algarismo significativo e assim por diante.

13) Considere o circuito conversor DA da Figura 9.39 para os casos em que  $N = 2, 4$  e  $8$ . Qual será a tolerância, expressa em  $\pm x\%$ , para os resistores escolhidos possuindo o limite do erro resultante na saída sendo equivalente a  $\pm 1/2 \text{ LSB}$  (bit menos significativo)?

14) Considere o conversor AD do tipo ilustrado na figura 9.44 que utiliza uma frequência de relógio (clock) de  $1 \text{ MHz}$  e tem  $V_{REF} = 10 \text{ V}$ . Sabe-se que a sua tensão de entrada analógica varia na faixa de  $0$  a  $-10 \text{ V}$ . O intervalo de tempo fixo  $T_1$  é empregado para o contador acumular uma contagem de  $2^N$ . Qual o intervalo de tempo necessário para o conversor AD efetuar a conversão do valor de fundo de escala de  $-10 \text{ V}$ ? Se nessa condição, o pico de tensão na saída for de  $10 \text{ V}$ , qual a constante de tempo do integrador? Após envelhecimento do resistor  $R$ , ele aumenta de  $2\%$  e  $C$  diminui de  $1\%$ , nesse caso qual será o novo valor de pico da tensão na saída do integrador? A precisão de conversão muda?