

# CAPÍTULO II

## FAMÍLIA MCS-51

### 2.1. INTRODUÇÃO

Este curso abordará somente a família MCS-51. Ela não é tão antiga e limitada como a MCS-48 nem tão cara como a MCS-96. Por isso mesmo é atualmente a família de controladores de maior emprego. É adequada para a grande maioria de aplicações a nível universitário.

### 2.2. FAMÍLIA MCS-48

A família MCS-51 originou-se a partir da MCS-48, daí o motivo de seu estudo neste curso. Esta foi a primeira família de controladores lançada no mercado pela INTEL. As limitações tecnológicas da época (1976) impuseram uma série de restrições mas, para a época, foi um grande produto. Uma de suas maiores aplicações foram os teclados dos computadores de 16 bits, IBM PC (lançados em 1981).

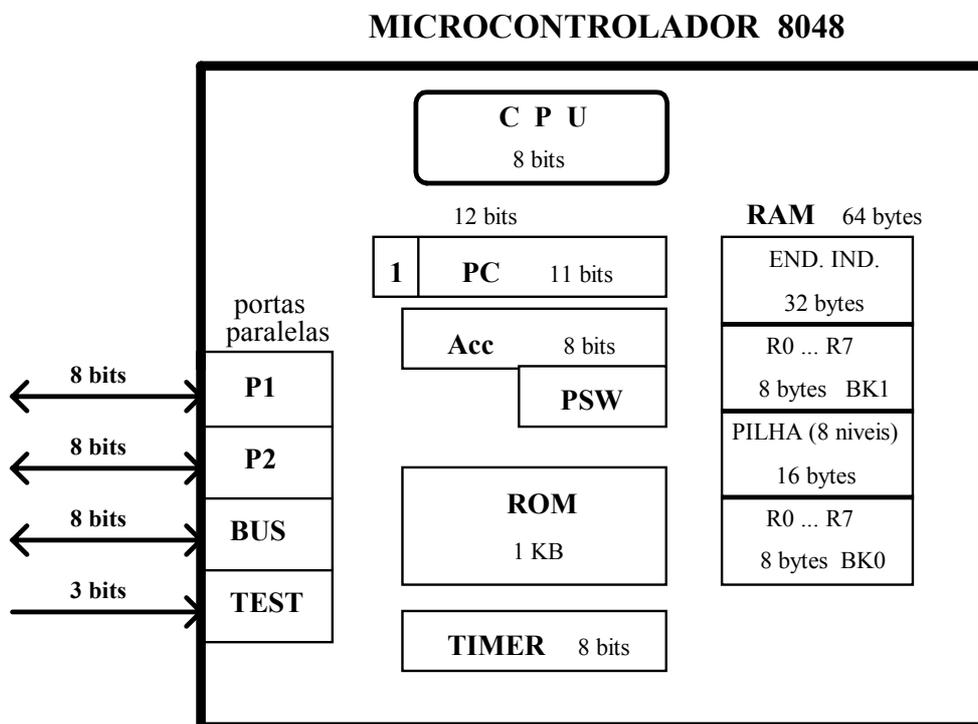


Figura 2.1. Diagrama em blocos do 8048.

O 8048 oferece os seguintes recursos:

- Interrupções (em 1 nível somente),
- Single Step,
- 1K de ROM interna (8748 tinha uma EPROM de 1K),
- Memória de Programa Externa de até 4 KB (PC=12 bits com o bit mais significativo, alterado pela instrução SEL, chaveando os 2 bancos de 2K),
- Aceita outros periféricos (8155,8255,8355,8243,8279),
- 96 instruções, 90% de 1 byte.

## 2.3. FAMÍLIA MCS-51

O êxito da família MCS-48 e os avanços da tecnologia dos circuitos integrados levaram a INTEL a lançar no mercado a família MCS-51 em 1980. O microcontrolador 8051 é o membro original da família e também o núcleo para toda a MCS-51.

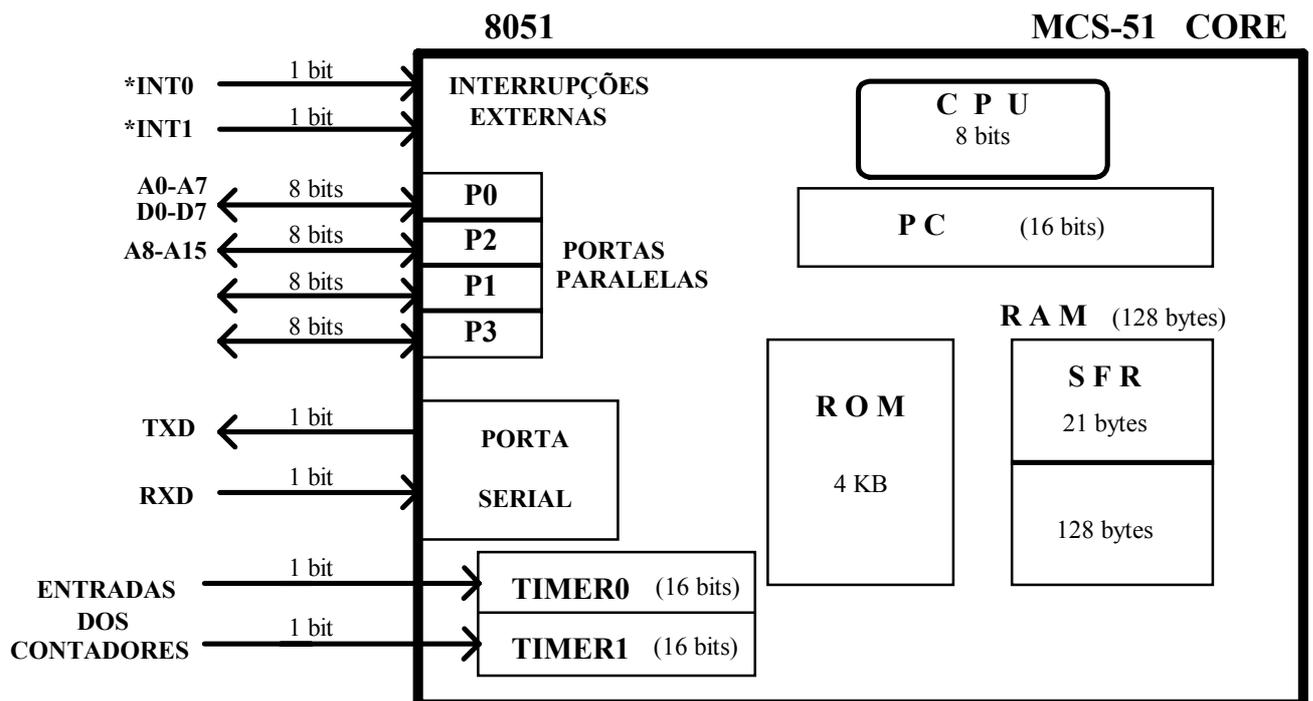


Figura 2.2. Diagrama em blocos do 8051.

O 8051 oferece os seguintes recursos:

- 5 Interrupções (2 externas, 2 dos timers/counters e 1 da porta serial),
- 64 KB de Memória de Programa (PC=16 bits),
- 64 KB de Memória de Dados,

- 111 Instruções:
  - 1 ciclo → 64 → 58%
  - 2 ciclos → 45 → 40%
  - 4 ciclos → 2 → 2%
  - 1 byte → 49 → 44%
  - 2 bytes → 46 → 41%
  - 3 bytes → 16 → 15%
- 98% de 1 ou 2 ciclos → velocidade
- 85% de 1 ou 2 bytes → compacto

## 2.4. MEMÓRIA EXTERNA

O 8051 não segue a Arquitetura de Von Newman mas sim a chamada Arquitetura de Harward, portanto pode ter programas e dados em memórias distintas.

São chamadas de Memórias Externas:

→ 64 KB Memória de dados (\*RD e \*WR)

→ 64 KB Memória de programa (\*PSEN – Program Store Enable)

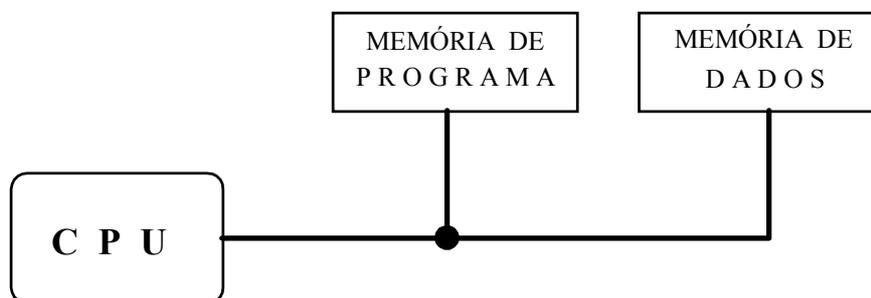


Figura 2.3. Memórias externas do 8051.

Os 4 KB de ROM interna podem ser usados ou não, de acordo com o estado do pino \*EA (External Access Enable):

→ se \*EA=0 → 64 KB de programa externo

→ se \*EA=1 → 4 KB de ROM interna

→ 60 KB de programa externo

Pinos importantes para interface com Memórias externas:

\*RD → leitura na memória de dados externa

\*WR → escrita na memória de dados externa

\*PSEN → leitura na memória de programa

- P0** → multiplexado com endereços (A0-A7) e dados (D0-D7)  
**P2** → endereços A8-A15  
**ALE** → Address Latch Enable. Sinal para demultiplexar P0  
**\*EA** → External Access Enable. Especifica o uso de memória de programa externa

Para executar um programa a partir de uma memória externa bastam algumas conexões simples:

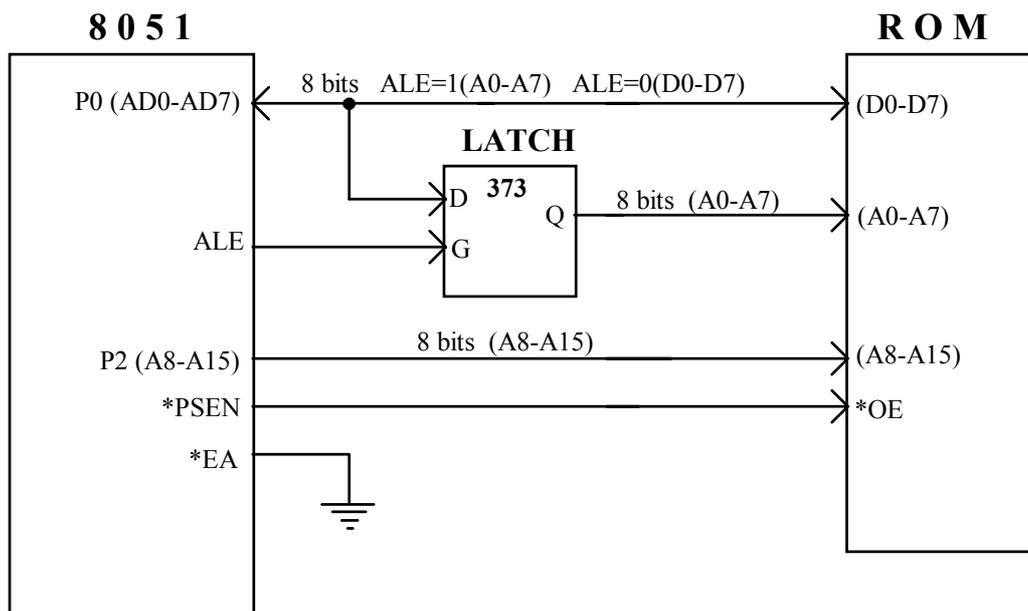


Figura 2.4. Microcontrolador com Memória de Programa externa.

Deve-se notar que a memória de programa só pode ser lida. São sempre emitidos endereços de 16 bits, por isso **as portas P0 e P2 são sacrificadas quando se usa memória de programa externa.**

Um acesso à memória de dados externa tem uma configuração muito semelhante:

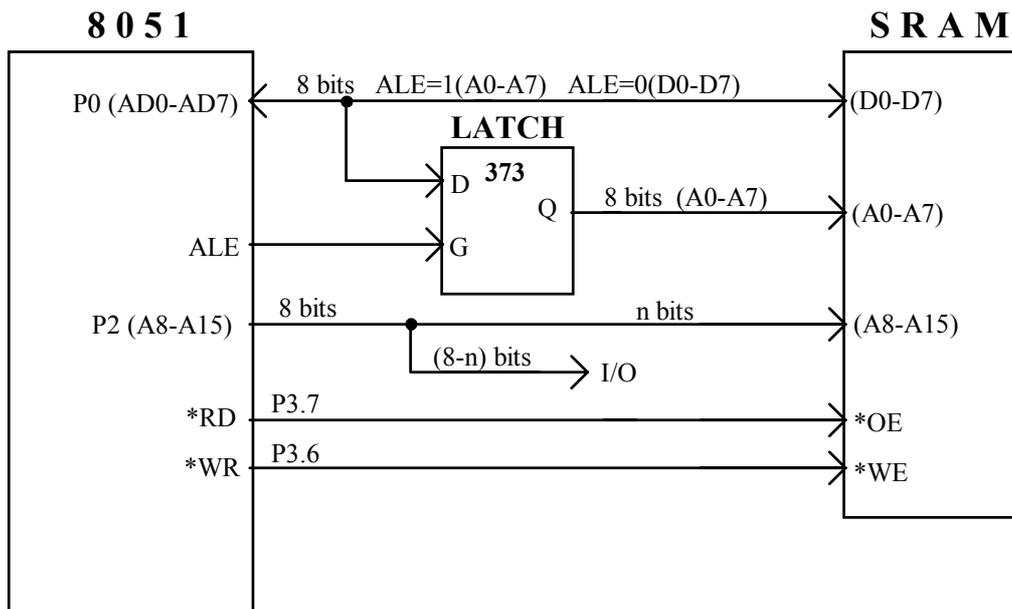


Figura 2.5. Microcontrolador com Memória de Dados externa.

Deve-se notar o uso de dois bits da porta P3. Por outro lado, se todo o programa está na ROM interna, a porta P2 não é totalmente sacrificada; somente são usados os bits necessários para emitir os endereços.

Exemplo:

RAM externa de 2 KB → 8 bits de P0  
→ 3 bits de P2

Sobram 5 pinos da porta P2.

#### OBSERVAÇÃO:

No caso explicado acima, onde são usados somente 3 bits de P2, um acesso à memória de dados não pode ser efetuado com a instrução **MOVX A,@DPTR**. Deve ser trocada por:

```
MOV     P2,# ? ? ? ? A10 A9 A8      ;especificar MSB do endereço
MOV     R0,# A7 A6 A5 A4 A3 A2 A1 A0 ;especificar LSB do endereço
MOVX    A,@R0                       ;efetuar a leitura
```

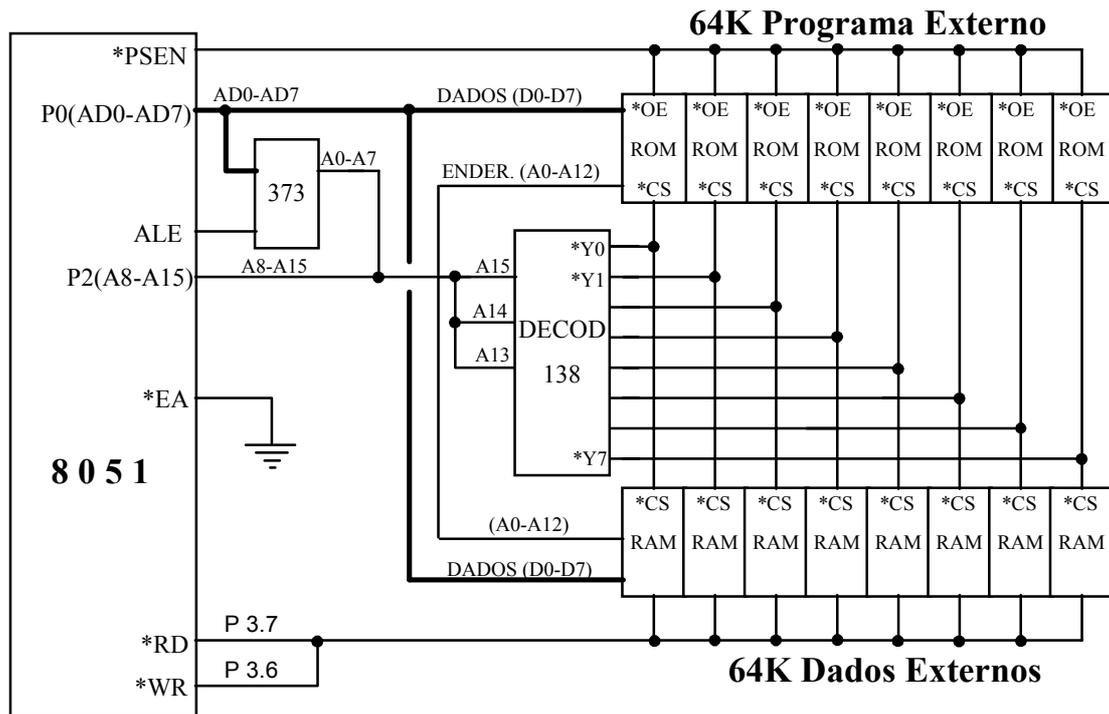


Figura 2.6. O 8051 com 64 KB de Programa e 64 KB de Dados externos.

A figura 2.6 mostra uma utilização exaustiva de memórias de programa e dados. Como os sinais \*PSEN e (\*RD e \*WR) são mutuamente exclusivos, foi possível usar um mesmo decodificador. As portas P0, P2 e os dois bits da porta P3 foram sacrificados. Os buffers foram omitidos para simplificar o desenho.

É possível implementar uma Arquitetura de Von Neumann usando o 8031. Neste caso há um limite de 64 KB de RAM para programa e dados. A figura 2.7 ilustra o circuito.

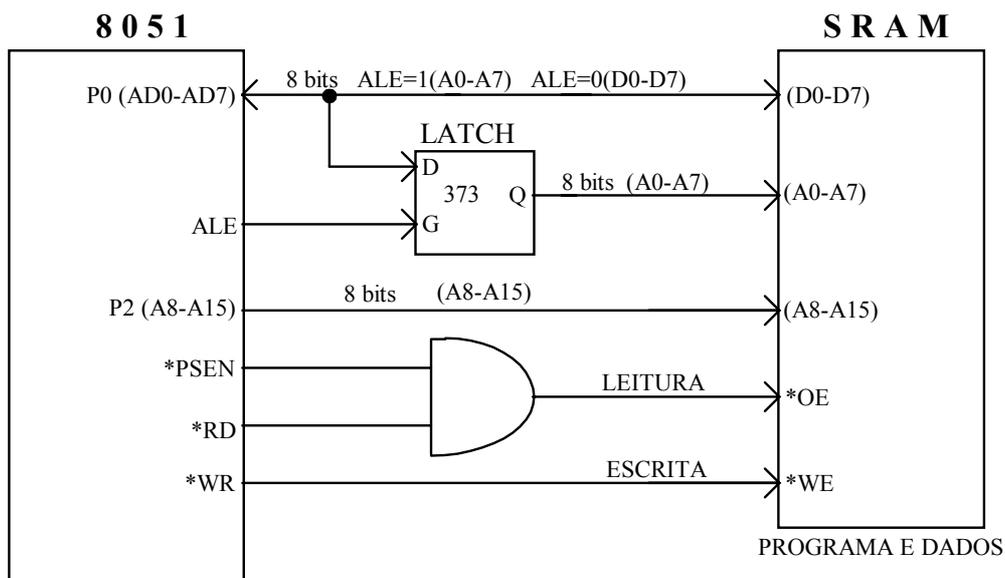


Figura 2.7. Microcontrolador 8051 com arquitetura de Von Newman: uma só Memória de Programa e Dados.

## 2.5. MEMÓRIA INTERNA (RAM INTERNA)

Uma das grandes vantagens do 8051 é oferecer uma memória de dados interna, com um mínimo de 128 bytes. Essa memória permite um rápido acesso aos dados e, em muitas aplicações, pode eliminar a necessidade da RAM externa, diminuindo portanto o custo do circuito controlador. Além da velocidade, existem áreas de RAM interna que são acessíveis bit a bit, o que é muito útil para operações booleanas.

O espaço de endereçamento reservado para acessar a RAM interna é de 8 bits, o que proporciona um máximo de 256 bytes. Mas com um pequeno artifício é possível colocar mais 128 bytes, resultando num total de 384 bytes na RAM interna (assim é o 8052). Além disso, na RAM interna existem 4 bancos de 8 registros (R0, R1, ... , R7) que podem ser utilizados pelo usuário.

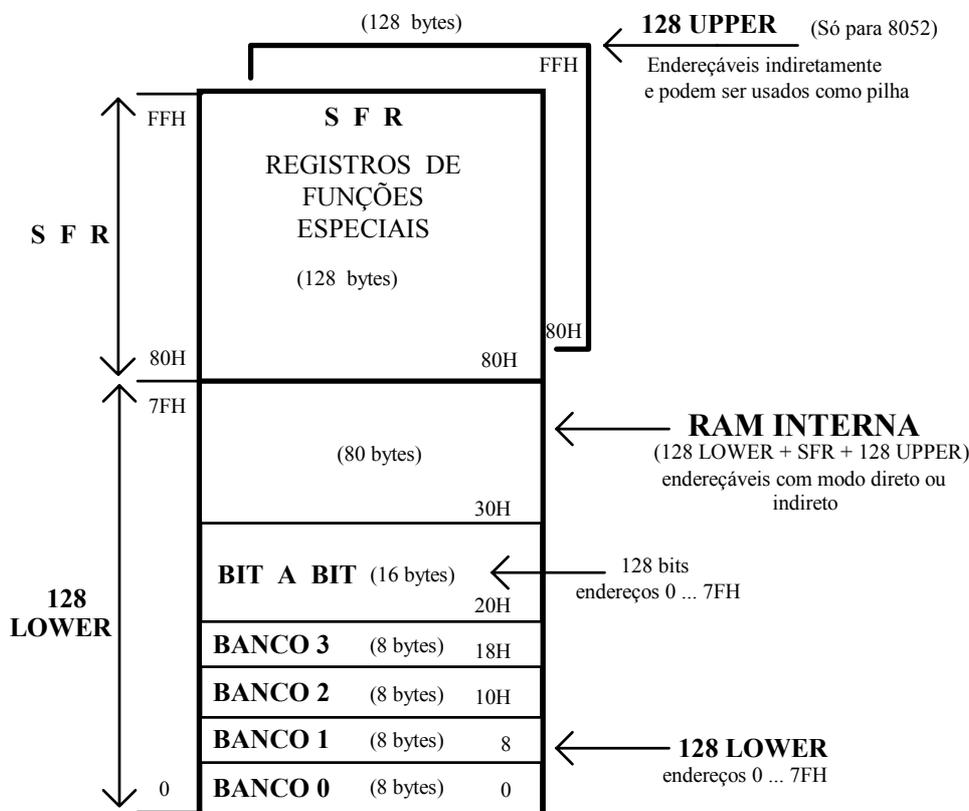


Figura 2.8. RAM interna do MCS-51.

A pilha sempre funciona na RAM interna e a consome muito; por isso nos 8052 o recurso de colocar a pilha nos 128 bytes endereçados indiretamente (128 UPPER) é muito atraente.

Exemplo: seja o caso onde não há RAM externa e se queira utilizar os 4 bancos, os 16 bytes endereçáveis bit a bit e mais 10 variáveis de 1 byte. Isso deixa 70 bytes para a pilha. Se forem usadas interrupções, para cada uma são guardados: PC (2 bytes), PSW, Acc e B ==> 5 bytes. Podem acontecer até 2 interrupções simultâneas, o que consome até 10 bytes. Logo, há 60 bytes

disponíveis para a pilha. Se para cada CALL são guardados PC, PSW, Acc e B (5 bytes), há disponibilidade de até 12 CALL aninhados.

Se a pilha for trabalhar nos 128 UPPER, subtraindo os 10 bytes para as interrupções têm-se 118 bytes, o que resulta em 23 CALL aninhados (23 x 5 =115 bytes) e ainda sobram 80 bytes para as variáveis nos 128 LOWER.

Os bancos de registros são ótimos para guardar o contexto, principalmente no caso de interrupções. Estes são trocados com uma só instrução. Por exemplo, poder-se-ia usar:

- BK3 → interrupção porta serial
- BK2 → interrupção INT1
- BK1 → interrupção INTO
- BK0 → trabalho

Só pode haver um banco selecionado de cada vez mas todos os registros podem ser endereçados através do endereço de seu byte.

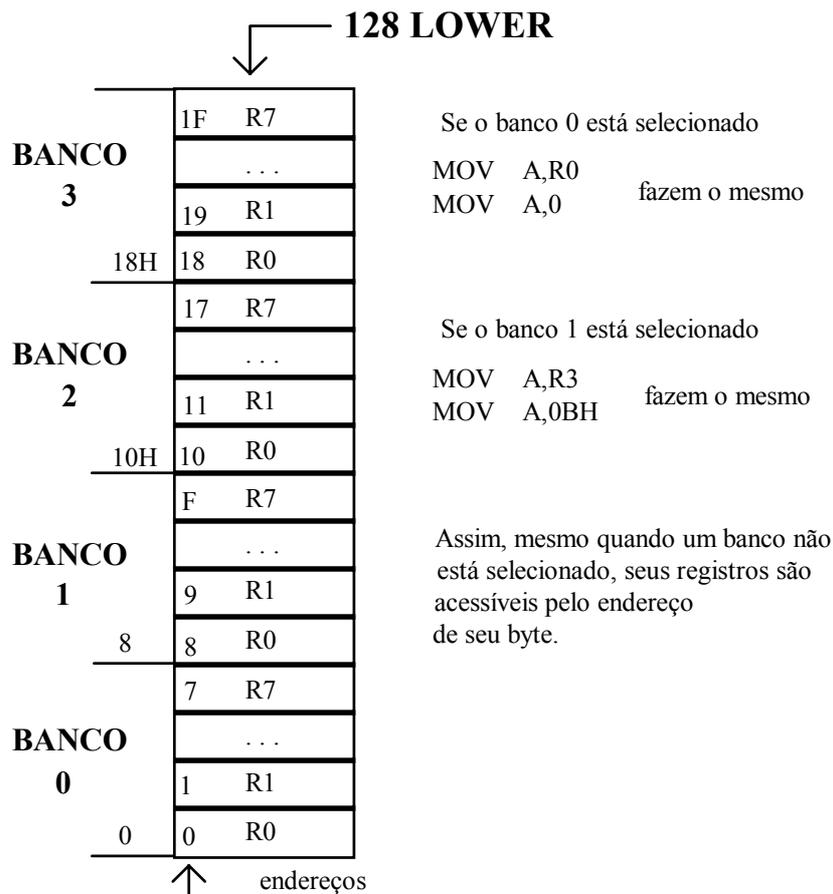


Figura 2.9. Endereçamento dos registros.

## 2.6. SFR - SPECIAL FUNCTION REGISTERS

Dos 256 bytes da RAM interna que são endereçados diretamente, 128 (80 FF) são reservados para os Registros de Funções Especiais (SFR). O 8051 apresenta um conjunto mínimo mas pode haver mais SFR em outros membros da MCS-51.

Os SFR não devem ser confundidos com o chamado "128 UPPER", que é uma área de 128 bytes (80H FFH) que só é endereçada indiretamente e só existe no 8051.

A seguir é apresentada uma lista com os SFRs do 8051 e seus endereços.

BIT	SÍMBOLO	NOME	ENDEREÇO
*	Acc	Acumulador	E0
*	B	Registro B	F0
*	PSW	Palavra de Status (Program Status Word)	D0
	SP	Ponteiro da Pilha (Stack Pointer)	81
	DPH	Ponteiro de Dados (high) (Data Pointer High)	83
	DPL	Ponteiro de Dados (low) (Data Pointer Low)	82
*	P3	Porta 3	B0
*	P2	Porta 2	A0
*	P1	Porta 1	90
*	P0	Porta 0	80
*	IP	Prioridade de Interrupção (Interrupt Priority)	B8
*	IE	Habilitação de Interrupção (Interrupt Enable)	A8
	TMOD	Timer/Counter Mode	89
*	TCON	Timer/Counter Control	88
	TH1	Timer/Counter 1 (MSB)	8D
	TL1	Timer/Counter 1 (LSB)	8B
	TH0	Timer/Counter 0 (MSB)	8C
	TL0	Timer/Counter 0 (LSB)	8A
*	SCON	Controle da Porta Serial (Serial Control)	98
	SBUF	Buffer da Porta Serial (Serial Buffer)	99
*	PCON	Controle de Energia (Power Control)	87

Figura 2.10. Lista dos registros SFR.

A seguir é apresentada uma breve descrição de cada registro:

**Acc** → Acumulador

**B** → Usado durante as operações de multiplicação e divisão; nos demais casos pode ser usado como auxiliar.

**PSW** → Program Status Word ou Registro de Flags de Estado

7	6	5	4	3	2	1	0
CY	Ac	F0	RS1	RS0	OV	-	P

**PSW.7** → **CY** → Carry Flag

**PSW.6** → **Ac** → Carry auxiliar (operação com BCD – Binary Coded Decimal)

**PSW.5** → **F0** → Flag 0, uso geral

**PSW.4** → **RS1** → Seleccionador de Banco (Range Selector), bit 1

**PSW.3** → **RS0** → Seleccionador de Banco (Range Selector), bit 0

RS1	RS0	BANCO SELEC.
0	0	Banco 0
0	1	Banco 1
1	0	Banco 2
1	1	Banco 3

**PSW.2** → **OV** → Overflow

**PSW.1** → **-** → Flag definível pelo usuário

**PSW.0** → **P** → Paridade (ímpar)

**P=1** → quantidade ímpar de 1s

**P=0** → quantidade par de 1s

**SP** → Ponteiro da Pilha (Stack Pointer), incrementado antes de PUSH e CALL

**DPTR** → Ponteiro para memória de dados externa (Data Pointer).

É um registro de 16 bits formado por **DPH** e **DPL**

**P0, P1, P2, P3** → Latches das portas paralelas

**IP** → Prioridade das interrupções (Interrupt Priority)

**IE** → Habilitação das interrupções (Interrupt Enable)

**TMOD** → Modo de operação dos Timers/Counters (Timer/Counter Mode)

**TCON** → Controle dos Timers/Counters (Timer/Counter Control)

**SCON** → Controle da porta serial (Serial Control)

**SBUF** → Dois registros, um para leitura e outro para escrita (Serial Buffer)

Leitura → receber o dado da porta serial

Escrita → enviar o dado para a porta serial

**PCON** → Controle de energia (Power Control); coloca no modo "Power Down" ou "Idle"

## 2.7. MAPA DA RAM INTERNA

Aqui é apresentado um mapa completo da RAM Interna da MCS-51. Os endereços dos bytes vão de 0H até FFH. Existem dois grupos de bytes:

- 128 LOWER → de 00H até 7FH.
- SFR → de 80H até FFH.

Observações:

- 1) Os registros ou endereços em **negrito** são endereçáveis bit a bit.
- 2) Usam-se as letras "BK" para abreviar a palavra "banco".
- 3) As células marcadas com "-" são inexistentes.
- 4) A seqüência de endereços é da direita para a esquerda e de baixo para cima.

S F R										
	FFH	-	-	-	-	-	-	-	-	F8H
	F7H	-	-	-	-	-	-	-	<b>B</b>	F0H
	EFH	-	-	-	-	-	-	-	-	E8H
	E7H	-	-	-	-	-	-	-	<b>Acc</b>	E0H
	DFH	-	-	-	-	-	-	-	-	D8H
	D7H	-	-	-	-	-	-	-	<b>PSW</b>	D0H
	CFH	-	-	-	-	-	-	-	-	C8H
	C7H	-	-	-	-	-	-	-	-	C0H
	BFH	-	-	-	-	-	-	-	<b>IP</b>	B8H
	B7H	-	-	-	-	-	-	-	<b>P3</b>	B0H
	AFH	-	-	-	-	-	-	-	<b>IE</b>	A8H
	A7H	-	-	-	-	-	-	-	<b>P2</b>	A0H
	9FH	-	-	-	-	-	-	SBUF	<b>SCON</b>	98H
	97H	-	-	-	-	-	-	-	<b>P1</b>	90H
	8FH	-	-	TH1	TH0	TL1	TL0	TMOD	<b>TCON</b>	88H
	87H	PCON	-	-	-	DPH	DPL	SP	<b>P0</b>	80H
128 LOWER										
	7FH	7FH	7EH	...						78H
	77H									70H
	6FH									68H
	67H									60H
	5FH									58H
	57H									50H
	4FH									48H
	47H									40H
	3FH									38H
	37H						...	31H	30H	30H
	2FH	<b>2FH</b>	<b>2EH</b>	<b>2DH</b>	<b>2CH</b>	<b>2BH</b>	<b>2AH</b>	<b>29H</b>	<b>28H</b>	28H
	27H	<b>27H</b>	<b>26H</b>	<b>25H</b>	<b>24H</b>	<b>23H</b>	<b>22H</b>	<b>21H</b>	<b>20H</b>	20H
BK3	1FH	R7	R6	R5	R4	R3	R2	R1	R0	18H
BK2	17H	R7	R6	R5	R4	R3	R2	R1	R0	10H
BK1	0FH	R7	R6	R5	R4	R3	R2	R1	R0	08H
BK0	07H	R7	R6	R5	R4	R3	R2	R1	R0	00H

Figura 2.11. Mapa completo da RAM Interna.

## 2.8. MAPA DOS BITS

A seguir, na figura 2.12 é apresentado um mapa com todos os bits do MCS-51. São 256 bits e, portanto, ocupam 32 bytes. Estão marcados o endereço dos bits, o nome e o byte ao qual pertencem. Existem duas classes de bits: os que pertencem ao 128 LOWER e têm os endereços de 00H a 7FH e os que pertencem aos SFR e têm os endereços de 80H até FFH. Alguns bits não existem ou serão utilizados em futuras versões e estão marcados com "-".

Como será abordado mais adiante, os bits podem ser endereçados de até 4 formas diferentes. Como exemplo, uma instrução para habilitar a recepção serial (setar o bit REN), poderia ser:

- 1) SETB REN
- 2) SETB SCON.4
- 3) SETB 98H.4
- 4) SETB 9CH

MAPA DOS 256 BITS											
END BIT	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	END BIT	END BYTE	NOM BYTE
FFH	-	-	-	-	-	-	-	-	F8H	F8H	
F7H	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0	F0H	F0H	B
EFH	-	-	-	-	-	-	-	-	E8H	E8H	
E7H	Acc.7	Acc.6	Acc.5	Acc.4	Acc.3	Acc.2	Acc.1	Acc.0	E0H	E0H	Acc
DFH	-	-	-	-	-	-	-	-	D8H	D8H	-
D7H	CY	AC	F0	RS1	RS0	OV		P	D0H	D0H	PSW
CFH	-	-	-	-	-	-	-	-	C8H	C8H	-
C7H	-	-	-	-	-	-	-	-	C0H	C0H	-
BFH	-	-	-	PS	PT1	PX1	PT0	PX0	B8H	B8H	IP
B7H	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	B0H	B0H	P3
AFH	EA	-	-	ES	ET1	EX1	ET0	EX0	A8H	A8H	IE
A7H	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	A0H	A0H	P2
9FH	SM0	SM1	SM2	REN	TB8	RB8	TI	RI	98H	98H	SCON
97H	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	90H	90H	P1
8FH	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	88H	88H	TCON
87H	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	80H	80H	P0
7FH	7FH	7EH	7DH	7CH	...				78H	2FH	
77H									70H	2EH	
6FH									68H	2DH	
67H									60H	2CH	
5FH									58H	2BH	
57H									50H	2AH	
4FH									48H	29H	
47H									40H	28H	
3FH									38H	27H	
37H									30H	26H	
2FH									28H	25H	
27H									20H	24H	
1FH									18H	23H	
17H									10H	22H	
0FH				...	0BH	0AH	09H	08H	08H	21H	
07H	07H	06H	05H	04H	03H	02H	01H	00H	00H	20H	

Figura 2.12. Mapa completo dos bits do 8051.