

SEL-415 Introdução à Organização dos Computadores

Decodificadores

Aula 2

Prof. Dr. Marcelo Andrade da Costa Vieira
Profa. Luiza Maria Romeiro Codá
Profa. Maria Stela Veludo de Paiva

INTRODUÇÃO (Resumo):

Estudo ou análise de um Computador:

- **ORGANIZAÇÃO:** (implementação) : relacionada aos componentes físicos

Exs: tecnologia utilizada na memória, frequência do relógio, sinais de controle.

- **ARQUITETURA:** características de interesse do programador

Exs: Conjunto de instruções, tamanho da palavra, modo de endereçamento das instruções

INTRODUÇÃO(cont):

- **HARDWARE:** parte física do computador ➔ conjunto de componentes eletrônicos que constituem um computador

Exs: circuito integrado, monitor, teclado, mouse.

O hardware sózinho não faz nada ➔ é inerte.

É necessário uma instrução ou comando para realizar uma certa tarefa.

- **SOFTWARE:** parte lógica do computador ➔ conjunto de instruções de diferentes formas e dados processados pelos circuitos eletrônicos do *hardware*.

Ex: programa do computador.

INTRODUÇÃO(cont):

Resumindo: o computador é constituído de diversos componentes (hardware), capaz de realizar uma série de tarefas, de acordo com a seqüência de ordens dadas aos componentes, sendo essas ordens(ou instruções) em conjunto denominadas programa (software)..

- **Como o Computador representa os dados a serem processados e as instruções?**

são representados por valores numéricos(dígitos) os quais são convertidos em valores de tensão ➡ por isso o nome computador digital

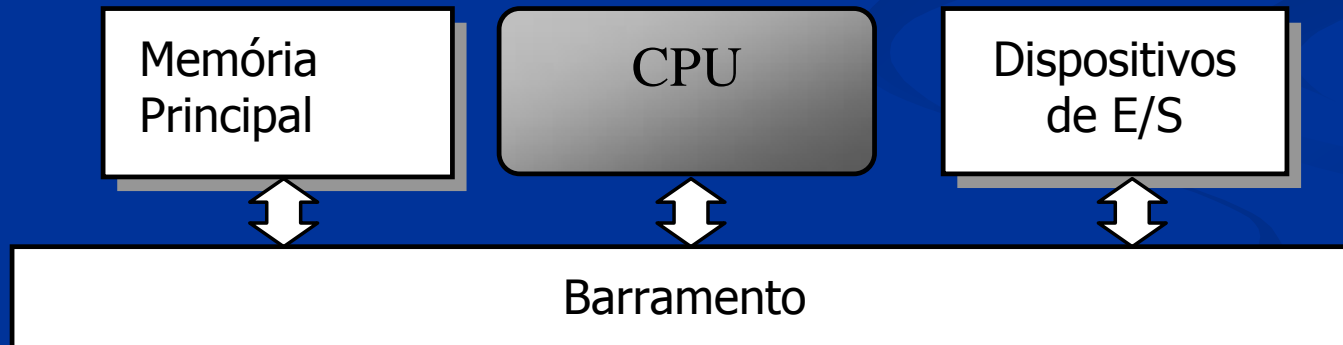
- **Qual o sistema de numeração utilizado pelos Computadores?**

sistema decimal é inconveniente para processamento computacional ➡ utiliza-se o sistema binário (0 e 1) (menor consumo de energia)
Portanto, Hardware básico utiliza chaves, relés, válvulas, transistores que funcionam abertos ou fechados.

MODELO DE VON NEUMANN

A arquitetura básica de um computador consiste de 4 partes principais:

- ***CPU (ULA + Controle + Registradores)***
- ***Memória principal***
- ***dispositivo de conexão (barramento de dados)***
- ***dispositivo de entrada/saída.***



Os Princípios de Von Neumann

(Revisão aula 1)

O Conceito Von Neumann:

- computador visto como uma Máquina de programa armazenado
- seqüencialmente executado
- CPU comunica-se com **apenas** um dispositivo de cada vez

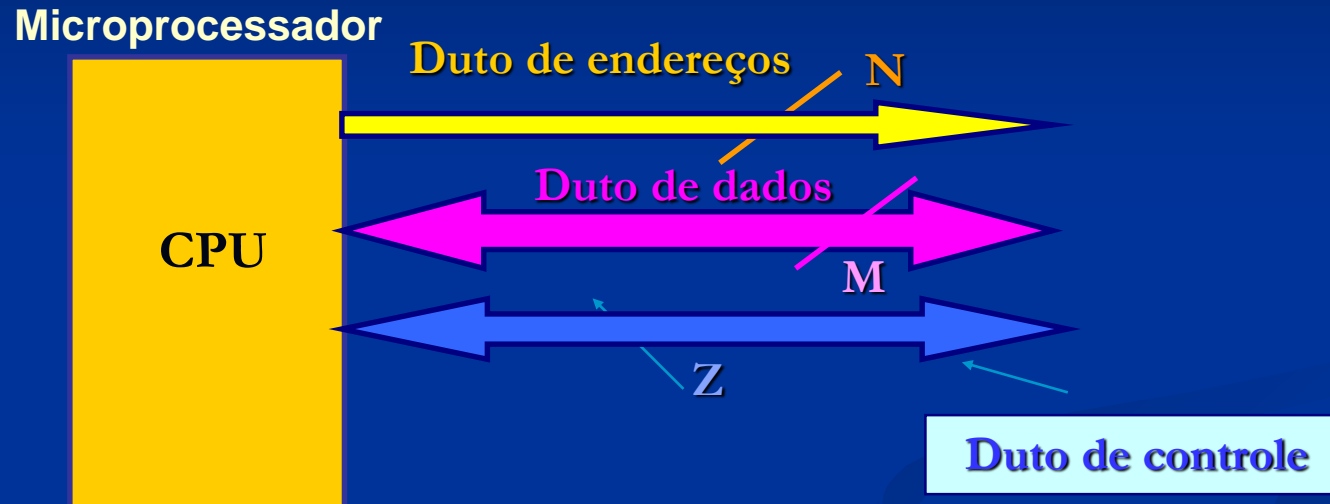
Implementação do Modelo de Von Neumann

- ✓ **Apenas 1 duto (barramento) faz a comunicação entre CPU e memórias ou dispositivos de I/O**
- ✓ **Esse duto consiste em :**
 - um conjunto de linhas de endereços (geradas pela CPU)
 - um conjunto Linhas de dados (enviadas ou recebidas pela CPU)
 - um conjunto de linhas de controle (geralmente gerados pela CPU)
- ✓ **A CPU (ou microprocessador) deve selecionar apenas 1 dispositivo (memórias ou I/O) de cada vez para se comunicar**

Portanto, necessário que o circuito de hardware implementado para o Sistema microprocessado possibilite que a CPU selecione apenas 1 dispositivo por vez.

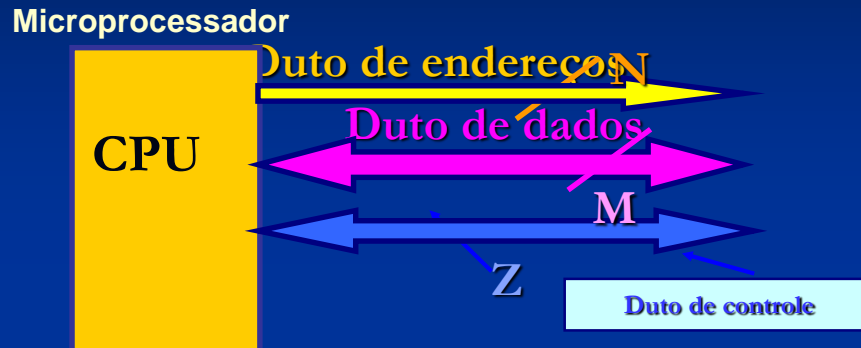
Para tal utiliza-se DECODIFICADORES

Representação da CPU e barramentos



Onde N, M e Z são o número de linhas de endereços, dados e sinais de controle que podem variar de acordo com a escolha do microprocessador

Microprocessador (CPU) de 64K x 8



N = 16 nomeados: A15 a A0

M = 8 nomeados: D7 a D0

Z no mínimo = 2 $\rightarrow \overline{RD}$ e \overline{WR}

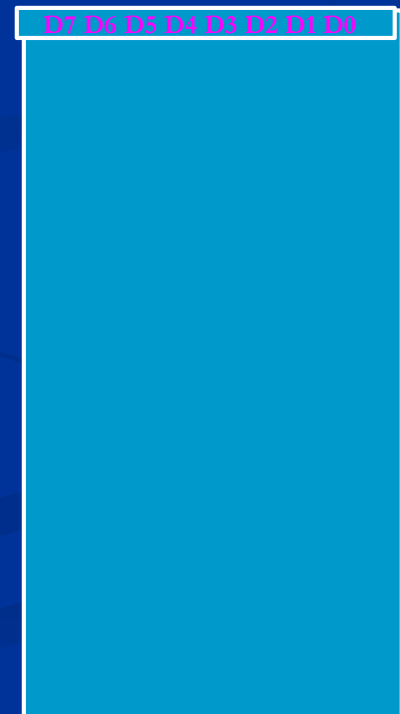
Um microprocessador de 16 linhas de endereços (A15 a A0) consegue gerar 2^{16} endereços diferentes = 65536 endereços. Que pode ser representado por 64K (onde K = 1024)

Cada endereço endereça o conjunto de 8 bits de dados (D7 a D0)

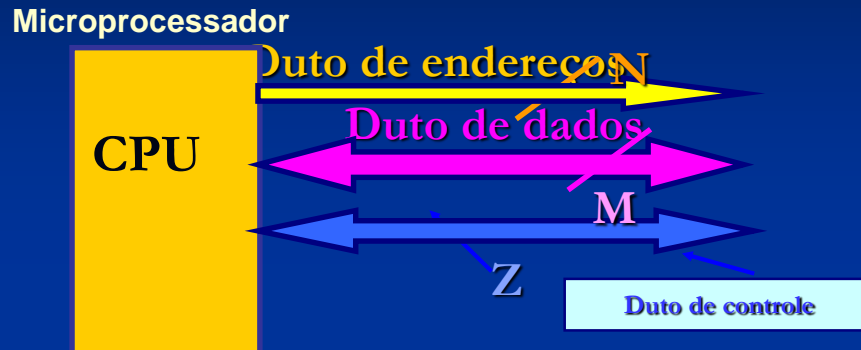
0000H

•
•
•

FFFFH



Comunicação do Microprocessador (CPU) de 64K x 8 com os dispositivos



N = 16 nomeados: A15 a A0

M = 8 nomeados: D7 a D0

Z no mínimo = 2 $\rightarrow \overline{RD}$ e \overline{WR}

O microprocessador envia um número de endereço na linha de endereços (A15 a A0) para selecionar o dispositivo com o qual irá se comunicar (enviando ou recebendo dados)

O microprocessador para enviar dados para memórias ou dispositivos entrada
ESCRITA



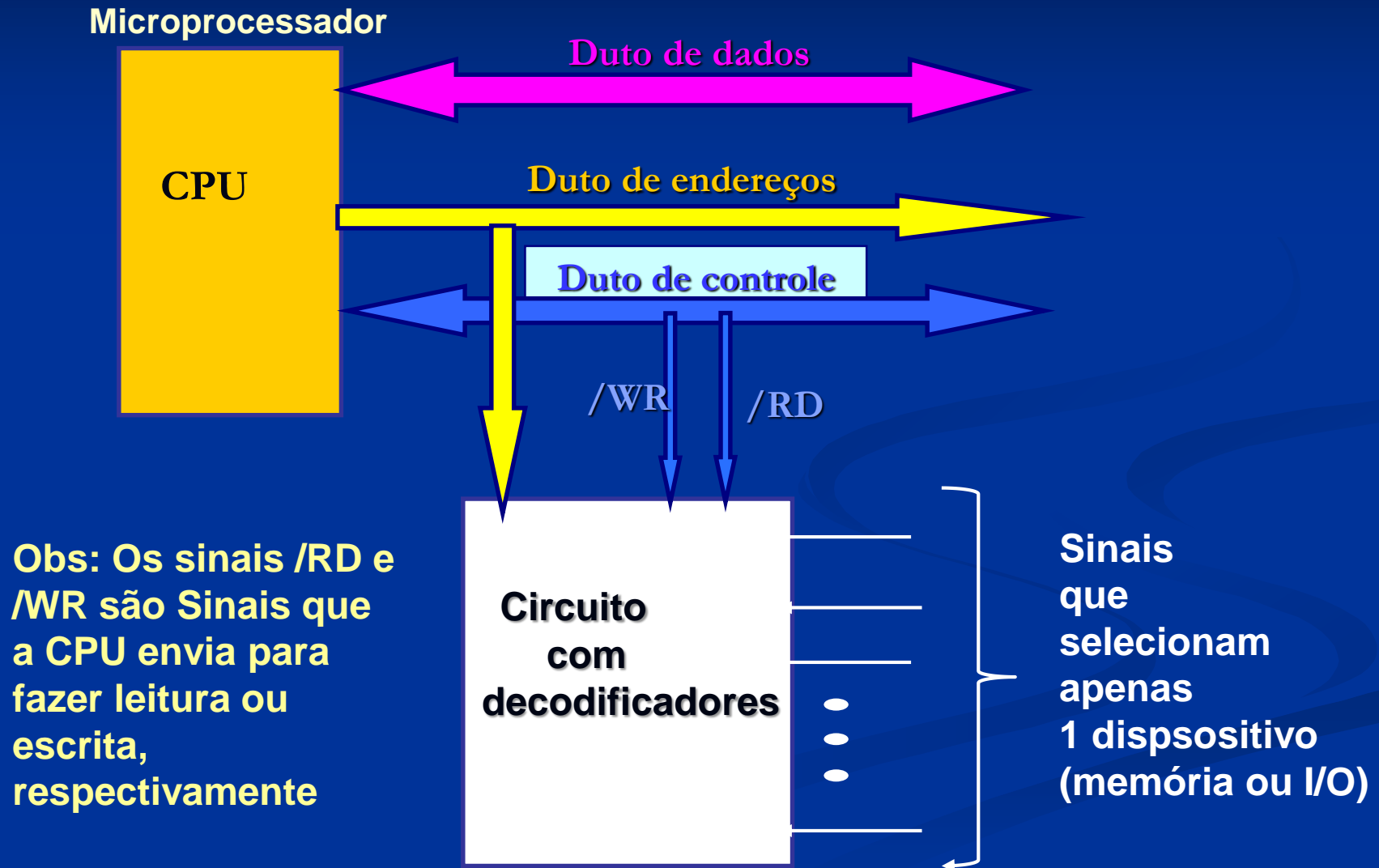
coloca o signal de controle $\overline{WR} = '0'$

O microprocessador para receber dados de memórias ou dispositivos saída
LEITURA



coloca o signal de controle $\overline{RD} = '0'$

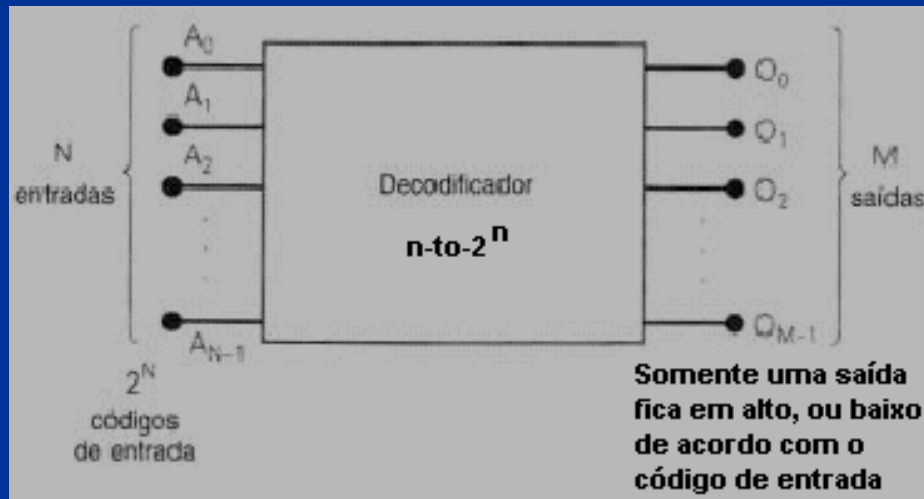
Implementação do Modelo de Von Neumann



DECODIFICADORES (Revisão)

Decodificador N X M:

converte um código binário de **N** bits que lhe é apresentado como entrada, em **M** linhas de saída, sendo que cada linha de saída será ativada por uma, e somente uma, das possíveis combinações dos bits de entrada. ($M = 2^N$)

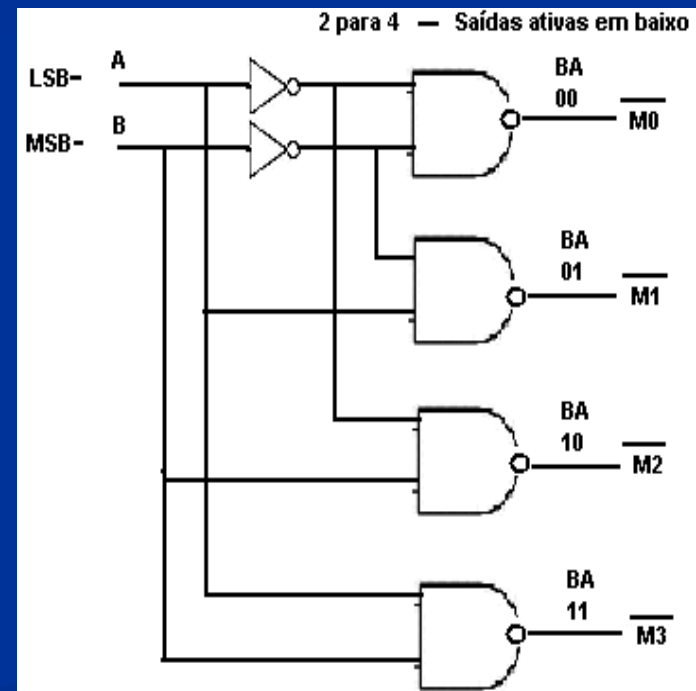


Existem decodificadores que quando a saída está ativa o valor dela é "1" e outros que apresentam a saída ativa em "0". Nos circuitos de seleção de projetos de microcomputadores utiliza-se decodificadores com saídas ativas em "0" porque nas memórias e grande parte das interfaces, o sinal de seleção é ativo em "0".

DECODIFICADORES

- Cada saída é ativada por um único código binário aplicado nas entradas;
- o índice da saída indica o valor do código binário que ativa essa saída.

TABELA 2-para-4					
Entradas		Saídas			
B	A	Q0	Q1	Q2	Q3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0



Decodificador 2 para 4

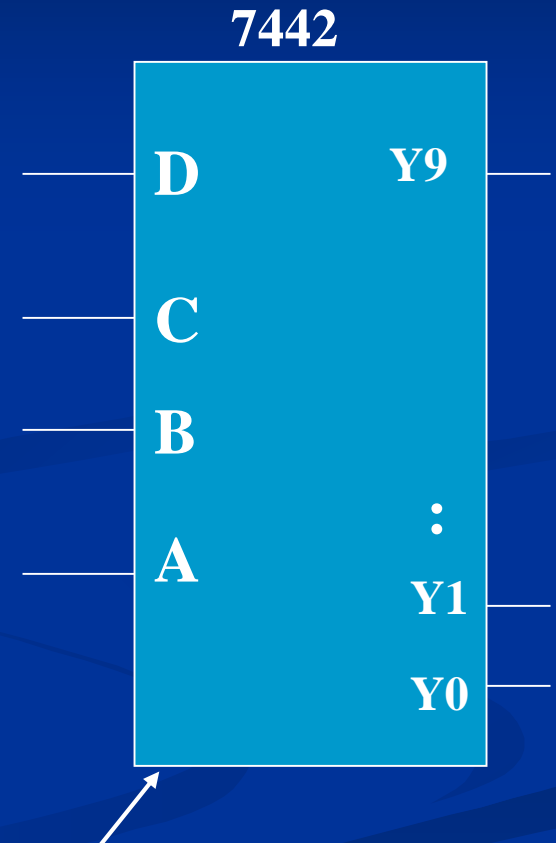
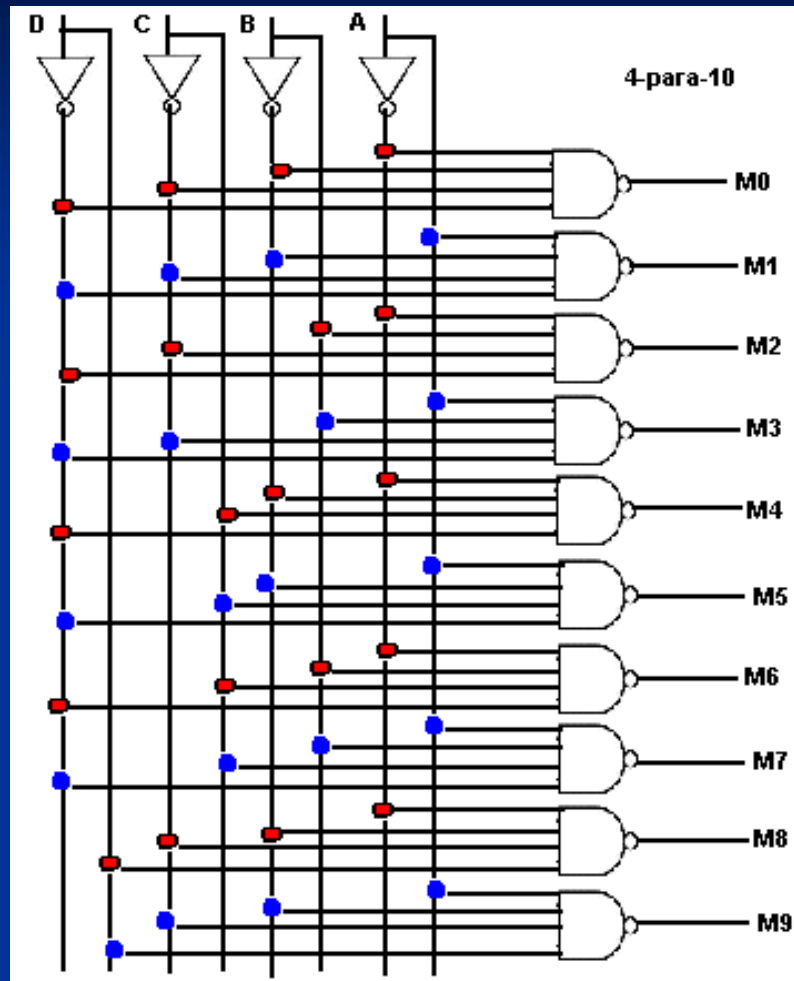
7442 : DECODIFICADOR 4 para 10 com saídas ativas em nível baixo

Tabela para o 7442

TABELA 4-para-10														
	Entradas				Saídas									
Num	D	C	B	A	M0	M1	M2	M3	M4	M5	M6	M7	M8	M9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
I	H	L	H	L	H	H	H	H	H	H	H	H	H	H
N	H	L	H	H	H	H	H	H	H	H	H	H	H	H
V	H	H	L	L	H	H	H	H	H	H	H	H	H	H
A	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	H	H	H	L	H	H	H	H	H	H	H	H	H	H
I.	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H = nível alto = 1														
L = nível baixo = 0														

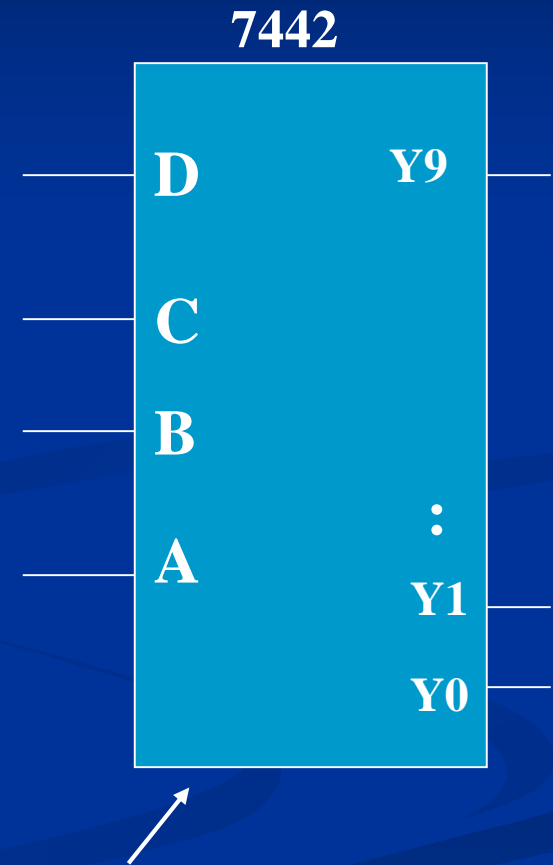
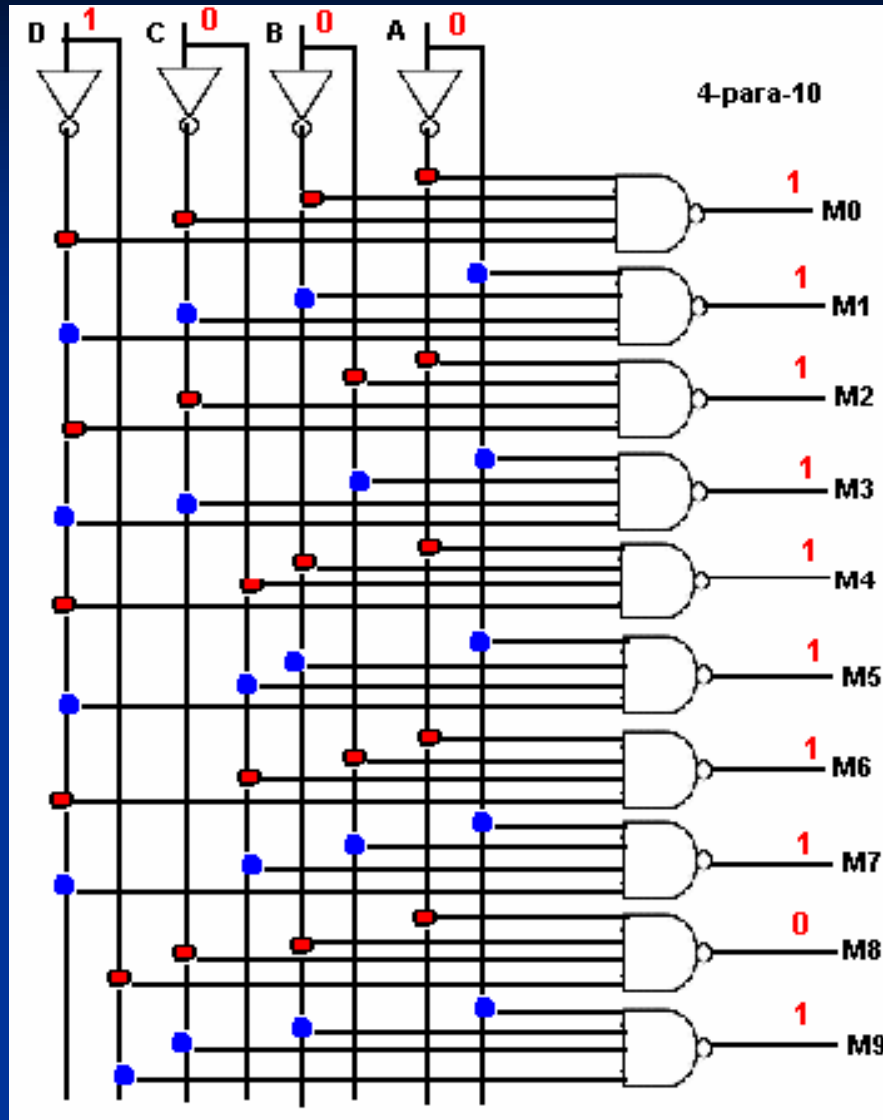
Obs: A entrada D do decodificador representa o bit mais significativo.

7442 : DECODIFICADOR 4 para 10



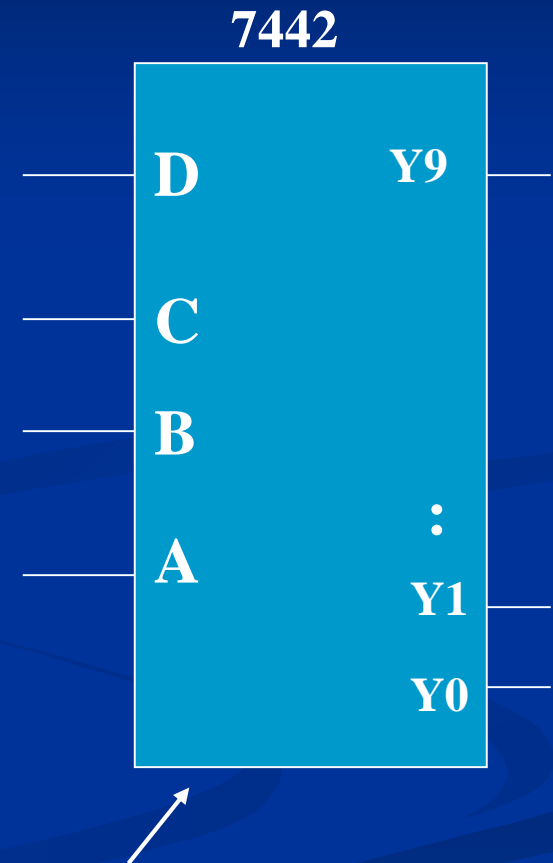
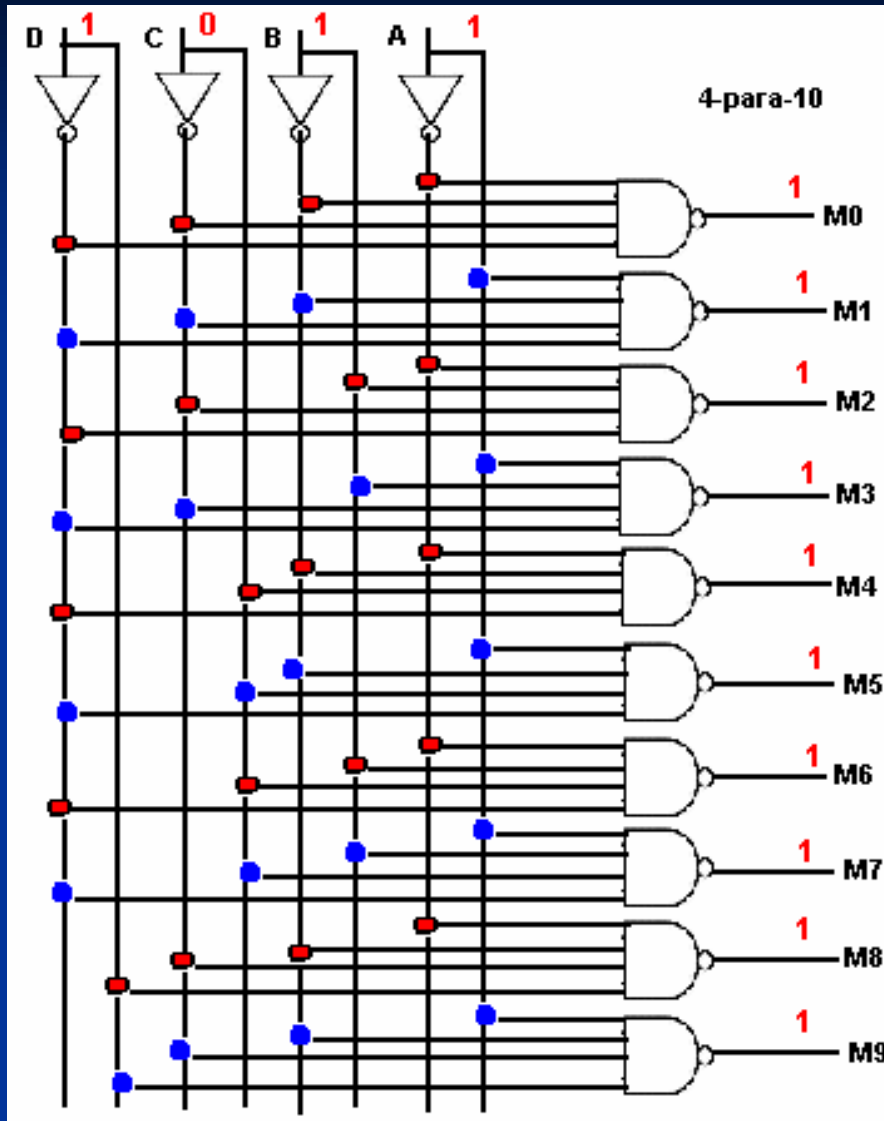
Entradas: **D C B A** (**D** é o bit + significativo)
Saídas: **Y0** a **Y9** (dez saídas) (ou **M0** a **M9**)

7442 : DECODIFICADOR 4 para 10



Entradas: **D='1'** **C='0'** **B='0'** **A='0'** (**D** é o bit + significativo) → Entrada =(1000)b = 8
 Saídas: **Y0 a Y9** (dez saídas) (ou **M0 a M9**) → **Y8 (M8)='0'** é selecionada as demais são ='1'

7442 : DECODIFICADOR 4 para 10



Entradas: D C B A = (1011)_b = 11 em decimal

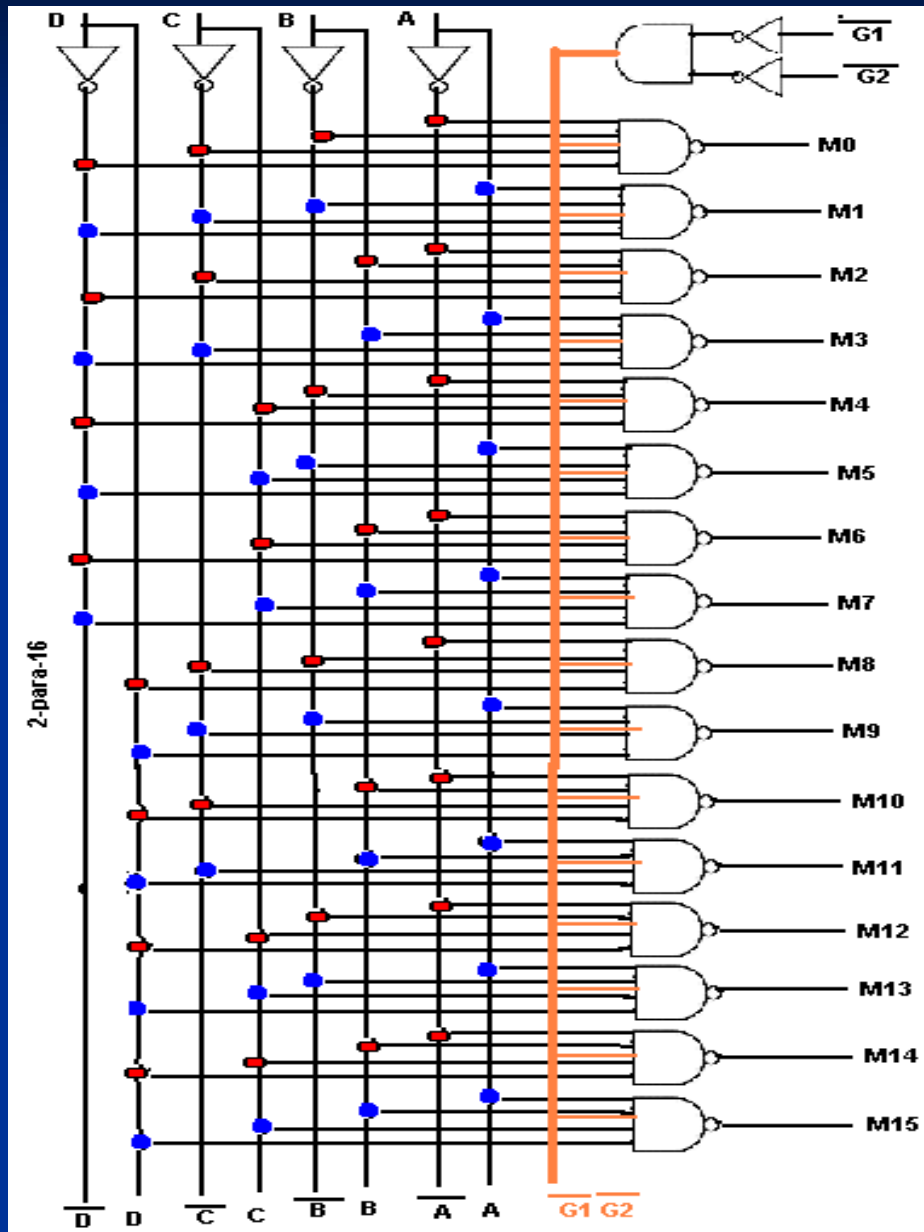
Saídas: Y0 a Y9 (dez saídas) (ou M0 a M9) nenhuma saída é selecionada, todas serão '1'

74154 : DECODIFICADOR DE 4 para 16

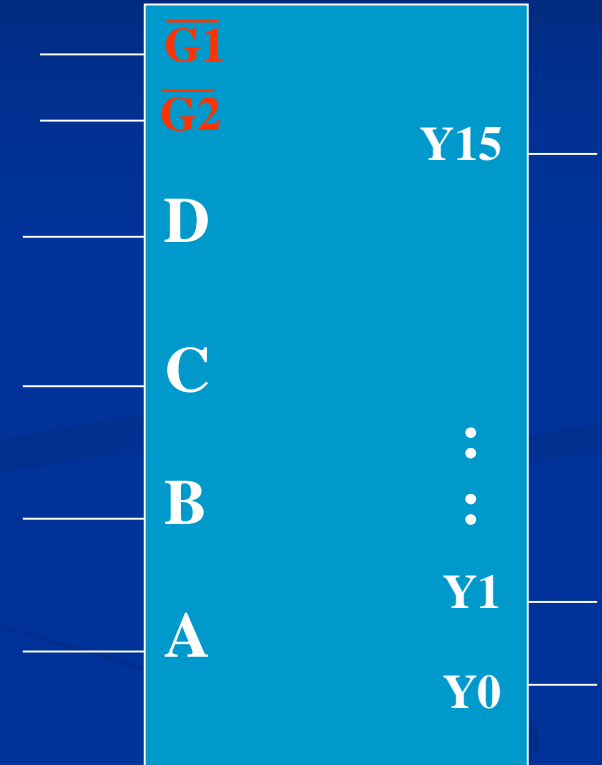
TABELA DE 4-para-16																					
Entradas						Saídas															
$\overline{G1}$	$\overline{G2}$	D	C	B	A	M0	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13	M14	M15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H = nível alto = 1																					
L = nível baixo = 0																					
X = irrelevante																					

$\overline{G1}$ e $\overline{G2}$: entradas para habilitar ou desabilitar o chip

74154 : DECODIFICADOR 4 para 16



74154



D é o bit + significativo das entradas D C B A

EXERCÍCIOS COM DECODIFICADORES:

Quais são saídas do 7442 podem ser usadas como sinal de seleção /CS, sabendo-se que as linhas de endereço devem estar sincronizadas com os sinais /WR e /RD?

Obs: Se /RD = '0' então /WR = '1' e qdo /RD = '1' então /WR = '0'

Exercício N°1

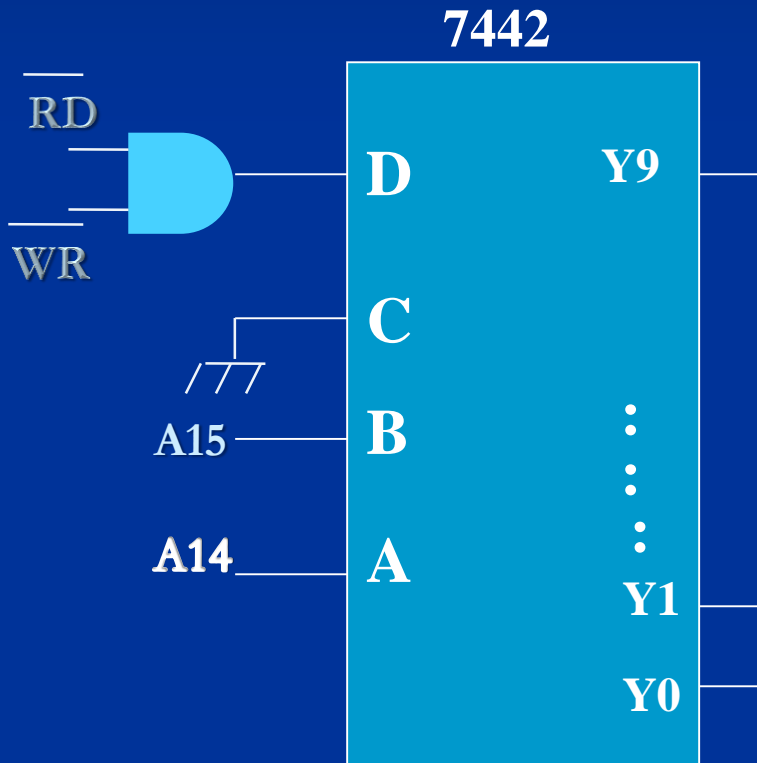


Figura 1

Exercício N°2

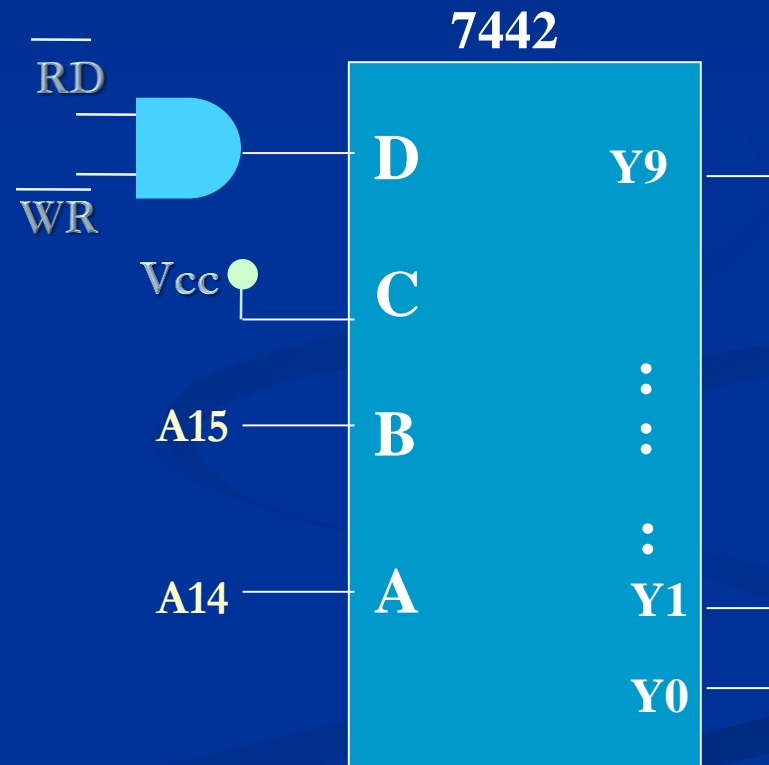


Figura 2

Associando faixas de endereço às saídas do decodificador

Para o decodificador do Exercício N°1(Figura1):

Valor dos bits de seleção (A15 e A14)		A15A0
Saída Y0	endereço inicial: 0000H →	0000 0000 0000 0000
	endereço final : 3FFFH →	0011 1111 1111 1111
Saída Y1	endereço inicial: 4000H →	0100 0000 0000 0000
	endereço final: 7FFFH:→	0111 1111 1111 1111
Saída Y2	endereço inicial: 8000H →	1000 0000 0000 0000
	endereço final : BFFFH →	1011 1111 1111 1111
Saída Y3	endereço inicial: C000H →	1100 0000 0000 0000
	endereço final : DFFFH →	1111 1111 1111 1111

EXERCÍCIOS COM DECODIFICADORES:

Exercício N°3

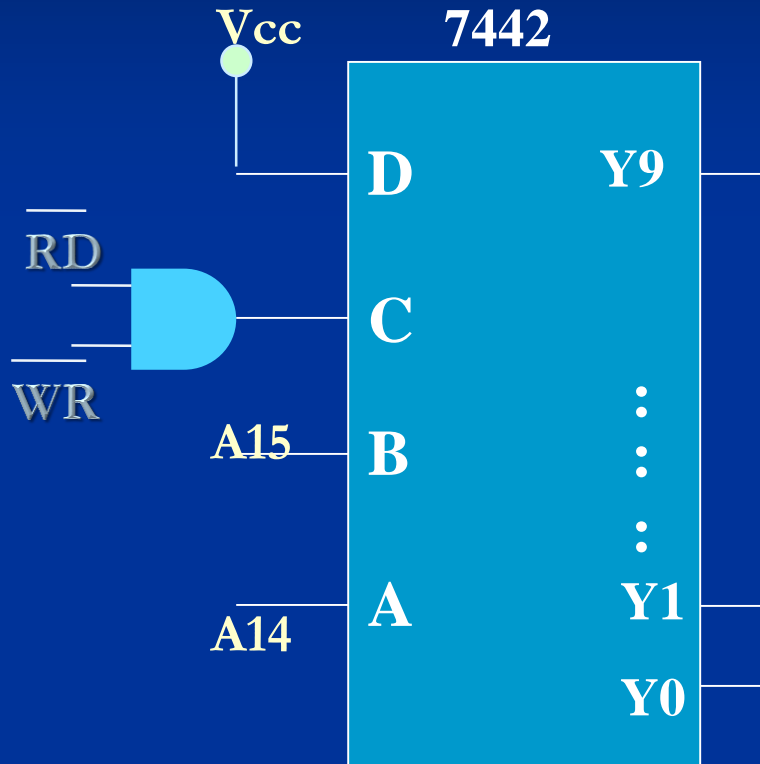


Figura 3

Exercício N°4

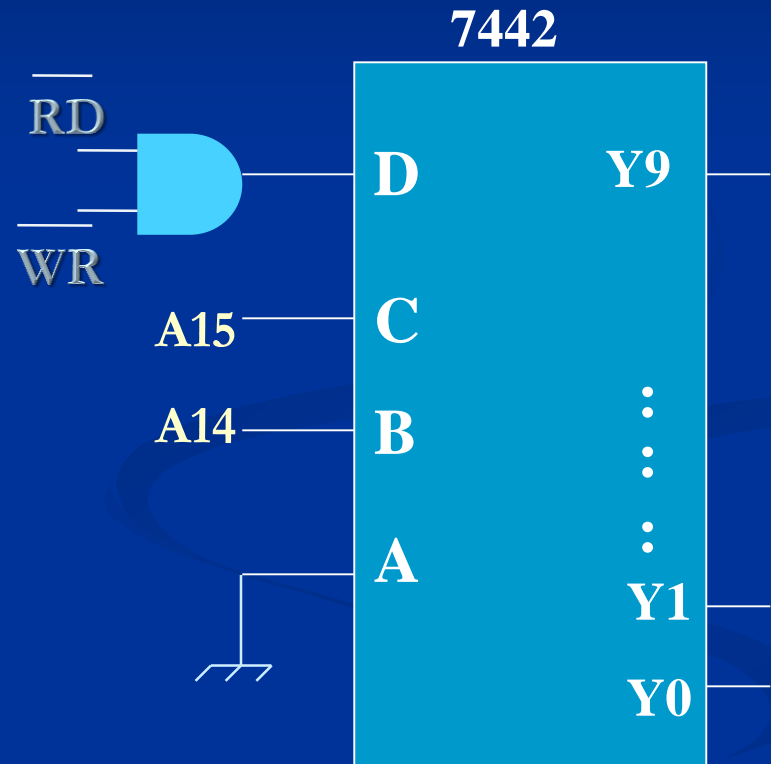


Figura 4

Exercícios com decodificadores

Exercício N° 5

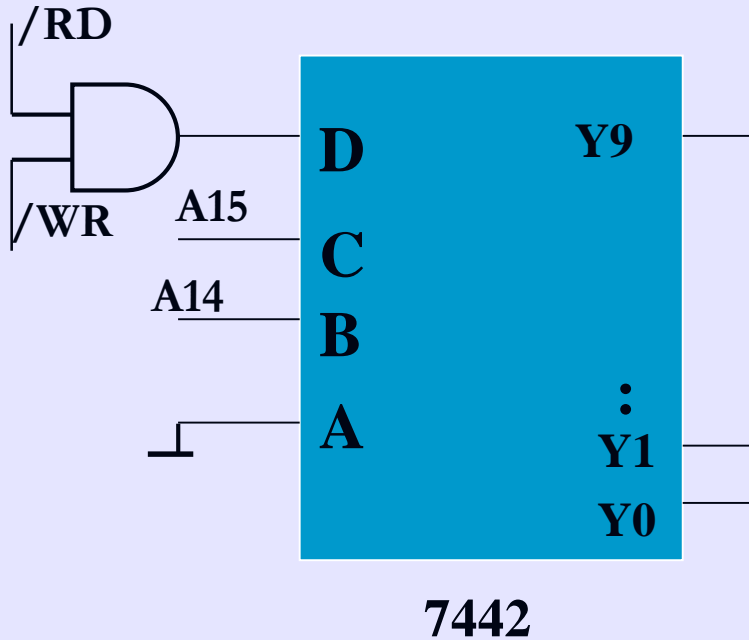


Figura 5

Exercício N°6

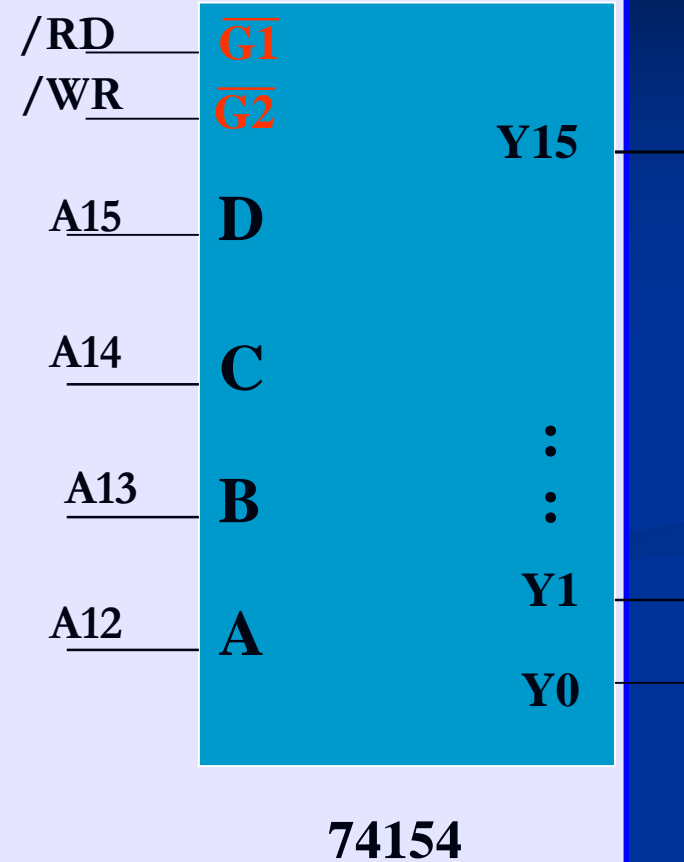


Figura 6

EXERCÍCIOS COM DECODIFICADORES:

- Exercício N°7: a. Qual o valor de A15, A14 e A13 para a saída Y5
b. Qual a saída do decodificador que contém o endereço DFFFH

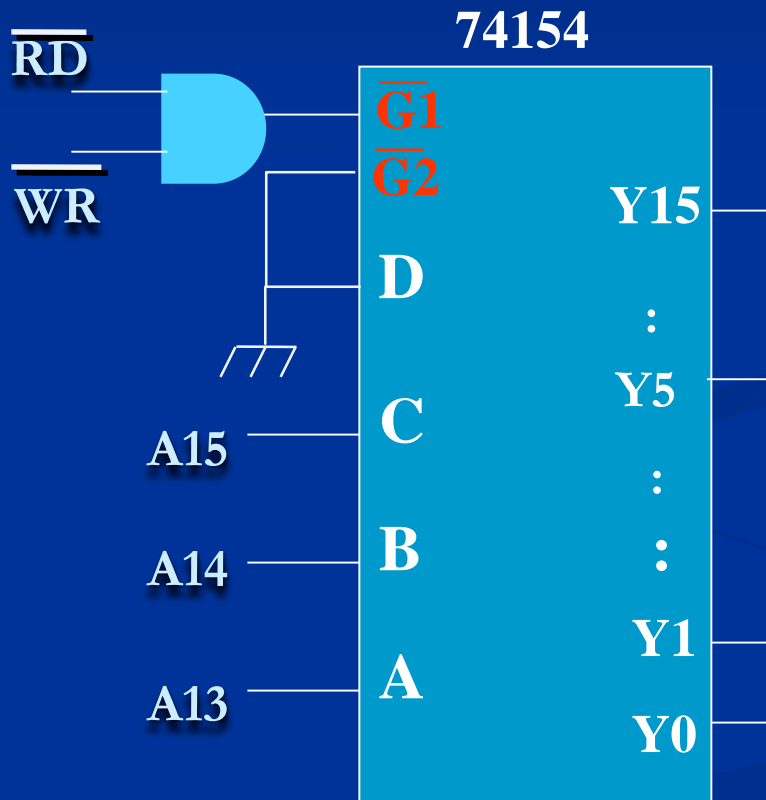
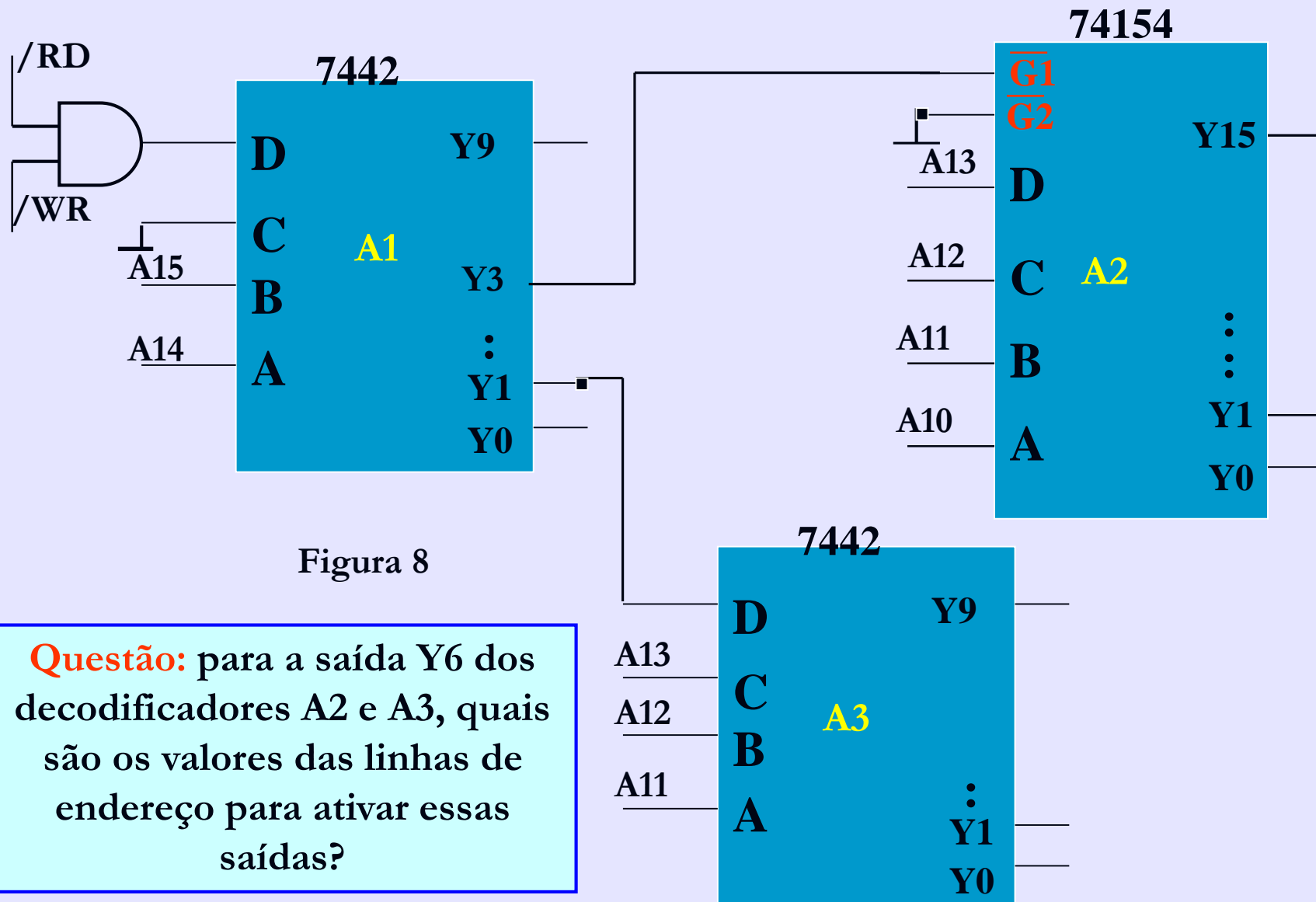


Figura 7

Exercícios com decodificadores

Exercício N°8



Associando faixas de endereço às saídas do decodificador

Decodificador A2 está na faixa de endereço da saída Y3 (C000 – FFFFH) e o A3 na faixa de endereço da saída Y1

Exemplo para 4 saídas do decodificador A2 da Figura 8:

Valor dos bits de seleção (A15 e A14)		A15A0
Saída Y0	endereço inicial: C000H →	1100 0000 0000 0000
	endereço final : C3FFH →	1100 0011 1111 1111
Saída Y1	endereço inicial: C400H →	1100 0100 0000 0000
	endereço final: C7FFH →	1100 0111 1111 1111
Saída Y2	endereço inicial: C800H →	1100 1000 0000 0000
	endereço final : CBFFH →	1100 1011 1111 1111
Saída Y3	endereço inicial: CC00H →	1100 1100 0000 0000
	endereço final : CFFFH →	1100 1111 1111 1111

EXERCÍCIOS PROPOSTOS (continuação):

Exercício N°9:

- Qual é o decodificador mestre?
- Quais os valores de A15, A14 e A13 que selecionam o decodificador 2 ?
- Qual a faixa de endereço que é selecionada pelo decodificador 2 ?
- Quais saídas do decodificador 3 que podem ser selecionadas quando a saída Y3 do decodificador 1 está ativa?
- Qual a faixa de endereços que o decodificador 3 seleciona?
- Para a saída Y6 dos decodificadores 2 e 3, quais são os valores das linhas de endereço para ativar essas saídas?

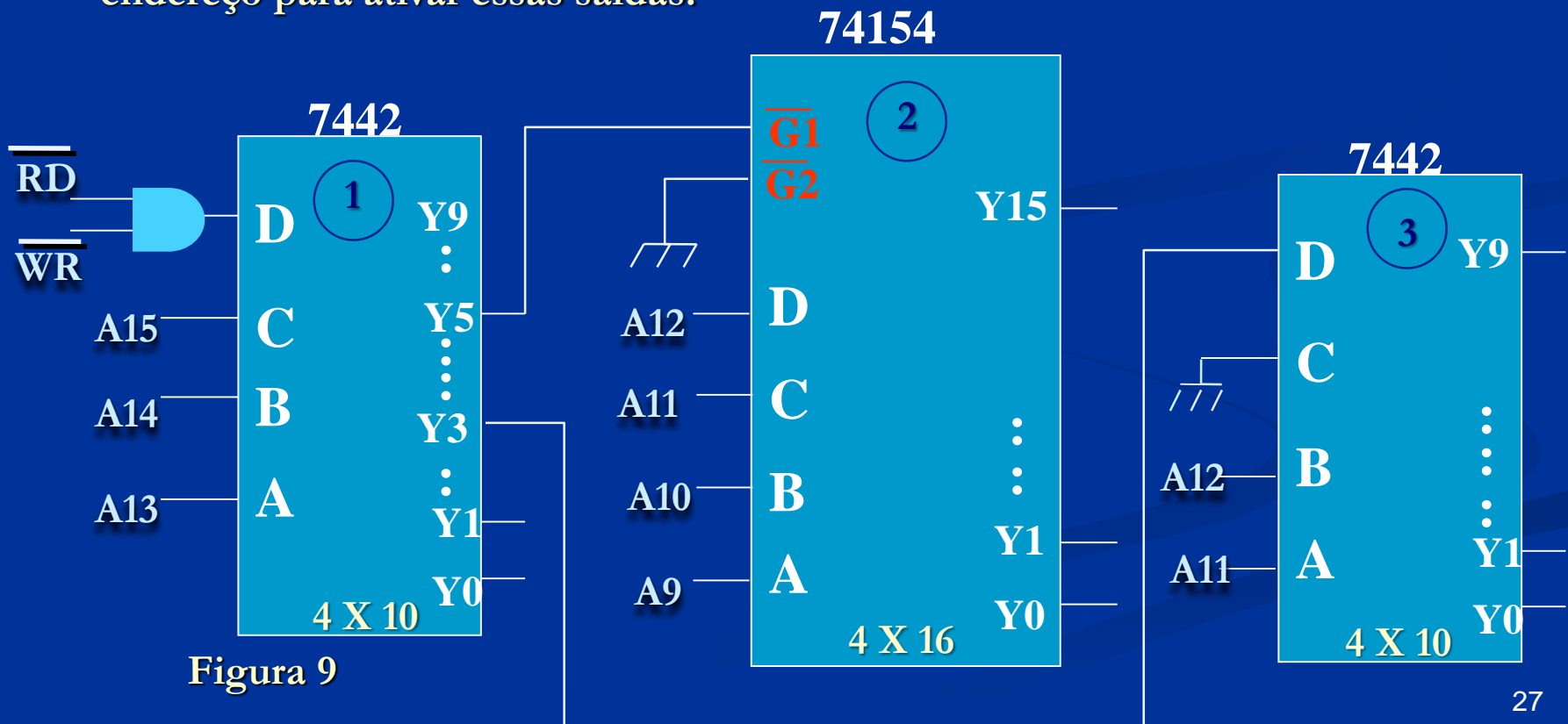


Figura 9

EXERCÍCIOS PROPOSTOS (continuação):

Resposta Exercício N°9:

•Qual é o decodificador mestre:

Resp: é o decodificador 1

•Quais os valores de A15, A14 e A13 que selecionam o decodificador 2 ?

Resp: são os valores 101, respectivamente para ativa a saída Y5 do decodificador 1 que está ligada ao decodificador 2

•Qual a faixa de endereço que é selecionada pelo decodificador 2 ?

Resp: É a faixa da saída Y5 do decodificador 1 que é:

A000h a BFFFh

•Quais saídas do decodificador 3 que podem ser selecionadas quando a saída Y3 do decodificador 1 está ativa?

Resp: Nesse circuito de lógica de seleção apenas podem ser ligados dispositivos nas saídas Y0, Y1, Y2 e Y3 do decodificador 3, pois só essas saídas podem estar ativas quando Y3 do decodificador 1 estiver ativo(Y3=0), estando este ligado à entrada D do decodificador 3 e a entrada C do decodificador 3 também aterrada, só ativam as saídas de Y0 a Y3 do decodificador 3

•Qual a faixa de endereços que o decodificador 3 seleciona?

Resp: O decodificador 3 seleciona a faixa que é ativada pela saída y3 do decodificador 1, ou seja, 6000h a 7FFFh

•Para a saída Y6 dos decodificadores 2 e 3, quais são os valores das linhas de endereço para ativar essas saídas?

Resp: Y6 do decodificador 2 está ativo na faixa de endereços de AC00h a ADFFh e Y6 do decodificador 3 nunca estará ativo por nenhum endereço enviado pelo microprocessador

FIM