**Texto**

**Departamento de Engenharia Elétrica e de Computação**

# SEL 384 – Laboratório de Sistemas Digitais I

# PRÁTICA Nº09

“Dispositivos de Lógica Programável de Complexo (FPGA- “Field Programmable Gate Array”)- Aplicação de memória ROM na composição de imagem em uma matriz de LEDs”

**1. Objetivos:**

* Projeto e síntese de circuitos sequenciais em dispositivo FPGA utilizando o esquemático do Quartus II;
* Aplicação de memória ROM para apresentação de imagem em uma matriz de LEDs 8x5.

**2. Material utilizado:**

* Configuração de Dispositivo Programável de Alta Complexidade HCPLD do tipo FPGA Cyclone IV-E da Altera
* Módulo de desenvolvimento Mercúrio IV – Macnica DWH
* Multímetro

**3. Procedimento Experimental:**

3.1 Utilizando o software QUARTUSII v.12.OSP2**,** escolha o dispositivo HCPLD Cyclone IV-E EP4CE30F23C7 e projete um circuito que apresente na matriz de LEDS 8x5 do módulo de desenvolvimento Mercúrio IV, a imagem contida em uma memória ROM. O circuito é dividido em 4 partes:

* Divisor de frequência: reduz a frequência de 50MHz, do módulo (CLOCK\_50MHz), em uma frequência que possibilite a visualização da imagem na matriz de forma estável;
* Contador para o circuito de varredura das linhas da matriz e geração dos endereços da memória ROM (utilize o lpm\_counter). Utilize como clock para este contador a saída mais significativa do divisor de frequência (**não** utilize a saída Cout); Obs: não utilize o 7493.
* Circuito de varredura das linhas da matriz (LEDM\_R[7..0]) utilizando decodificador 74138;.
* Implementação da memória ROM utilizando o projeto lpm\_rom da biblioteca megafunction;

Os três primeiros circuitos já foram implementados em aulas anteriores, mas **o circuito de varredura das linhas** requer um atraso do sinal aplicado em suas entradas por meio de um **FF tipo D (componente DFF)**. Essa alteração é necessária porque o tempo para a memória disponibilizar os dados em suas saídas é maior do que o tempo de resposta do circuito de varredura das linhas. O sinal de clock para os FFs deve ser o mesmo do contador para o circuito de varredura das linhas.

**Para implementação da memória ROM deve-se utilizar o seguinte procedimento:**

1. Instanciação do componente lpm\_rom no diagrama esquemático;
2. Selecione com o botão da direita do *mouse* o componente lpm\_rom e entre em **PROPERTIES/PORTS** e selecione o **STATUS** para **UNUSED** para os sinais **“memenab” e “outclock”.** A seguir selecione **PARAMETER** e programe os seguintes parâmentros:

**LPM\_ADDRESS\_CONTROL : REGISTERED**

**LPM\_WIDTH:** 5 (tamanho do dado);

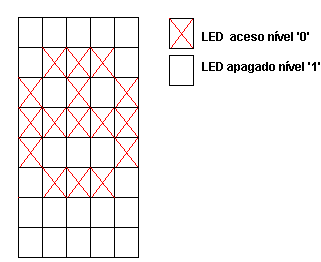
**LPM\_WIDTHAD:** 3 ( número de linhas de endereços);

**LPM\_FILE :** figura.mif.

1. Os endereços(“address”) da memória são gerados pelo mesmo contador do circuito de varredura das linhas da matriz; A entrada “inclock” recebe o mesmo sinal de clock do circuito de varredura das linhas. As saídas da ROM acionam as colunas da matriz de LEDs.

**OBS:** Como no Kit a varredura inicia da coluna C0 para a C4, sugere-se atribuir a saída mais significativa da ROM à coluna C0, a saída seguinte à coluna C1 e assim sucessivamente. Dessa forma as saídas da ROM devem ser nomeadas da seguinte forma: LEDM\_C[0..4]. Isso é necessário para que figuras não simétricas sejam visualizadas de forma correta.

1. Para criar o arquivo que vai ser inserido na memória (figura.mif), seleciona-se no menu FILE/NEW/MEMORY FILE/ Memory Initialization File. Escolha :**Number of word** = 8 (23 posições da memória = número de linhas) e **Word Size** = 5 ( tamanho do dado= número de colunas). Escolha como conteúdo da memória os valores dados a seguir:



Finalize com FILE/SAVE AS/ figura.mif , salvando o arquivo na mesma pasta do projeto.

3.2 Importe o arquivo de pinagem que o fabricante fornece e compile.

3.3 Configure o dispositivo no módulo de desenvolvimento Mercúrio IV e teste os circuitos projetados nos itens anteriores. Para programar a FPGA, a chave 1 do Kit deve estar na posição PROG FPGA e a chave 2 na posição ON. (como mostrado no Guia Rápido Mercúrio IV).

3.4 Mostre o funcionamento do circuito sintetizado no FPGA após a programação.

3.5 Modifique o arquivo figura.mif e crie mais uma figura na memória, na sequência, para ser visualizada na matriz de LEDs de forma que possa ser selecionada a figura 1 ou 2 através da chave SW[0]. Para isso, aumente o número de palavras do arquivo figura.mif selecionando no menu EDIT/MEMORY SIZE WIZARD. Mostre o funcionamento.

3.5 Como relatório, entregue o circuito esquemático documentado e os arquivos . mif.

Para criar um arquivo de projeto esquemático no software QuartusII siga os passos do arquivo “Manual QUARTUS” que se encontra no Moodle disciplinas Stoa USP.

.

**4. Bibliografia:**

* Site da ALTERA
* Fregni, E. & Saraiva, A.M., “ Engenharia do Projeto Lógico Digital”, Ed. Edgard Blücher Ltda.
* Tocci, J. R. , “Sistemas Digitais- Princípios e Aplicações