

# Montagem Eletrônica

# “PACKAGING”

O propósito do “Packaging” em Eletrônica é

- Fornecer suporte mecânico,
- Inter-conexão elétrica,
- Gerenciamento de calor
- Proteção aos Circuitos em relação a fontes de interferência mecânicas e ambientais.

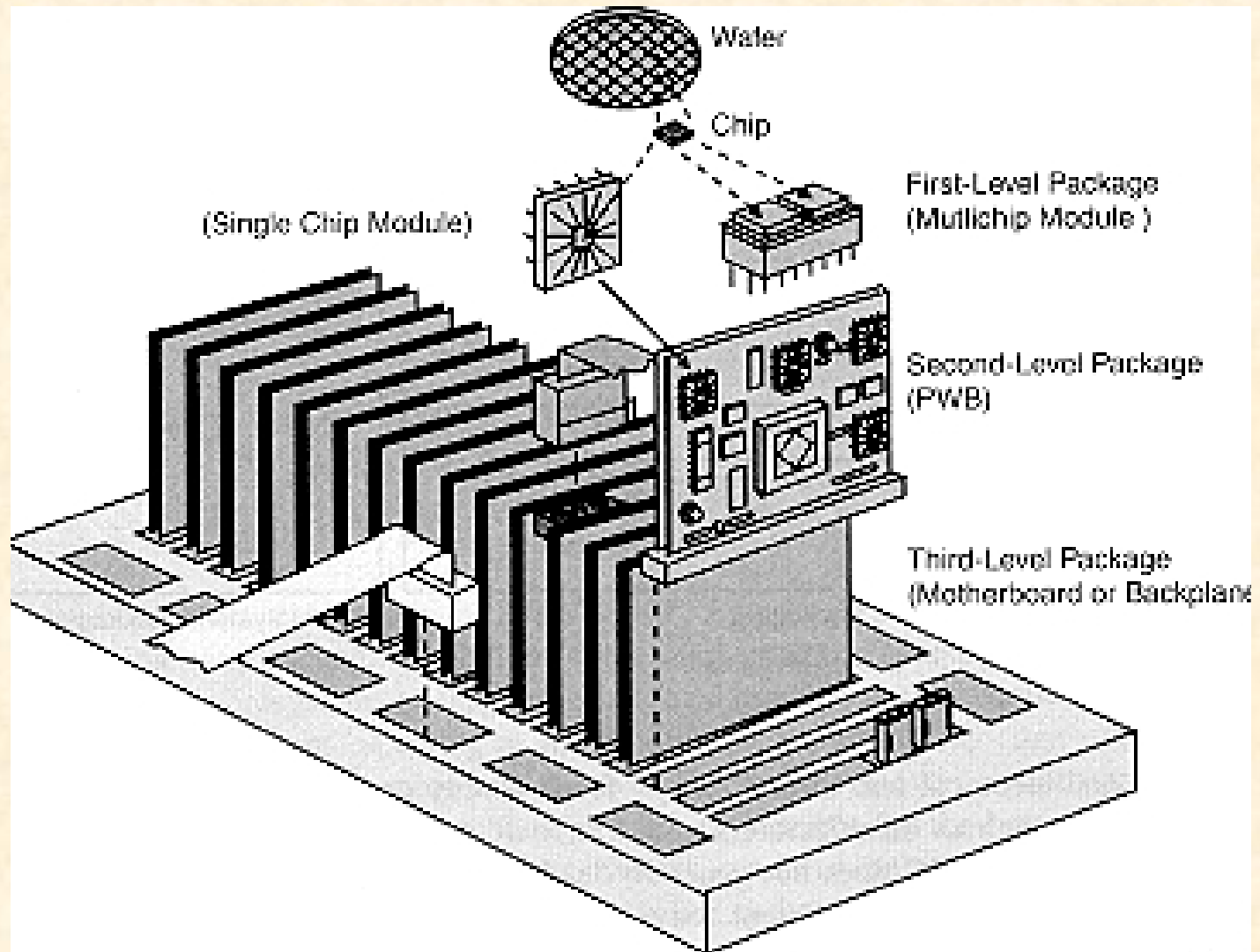
# EMCAPSULAMENTO ELETRÔNICO (PACKAGING)

- Define-se como a Tecnologia de Interconexão de Componentes Eletrônicos. Esta tecnologia permite definir e controlar o ambiente operacional dos arranjos com o objetivo de cumprir especificações em termos de:
  1. Desempenho
  2. Confiabilidade
  3. Velocidade
  4. Tamanho
  5. Custo
  6. Outros

# HIERARQUIA DO ENCAPSULAMENTO ELETRÔNICO

- Nível 0
  - “Dies” (Circuitos integrados)
- Nível 1
  - A nível de “CHIP”
- Nível 2
  - A nível de Circuito impresso
- Nível 3
  - A nível de arranjo de C. Impresso
- Nível 4
  - A nível de Sistema

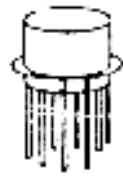
# HIERARQUIA NO ENCAPSULAMENTO ELETRÔNICO



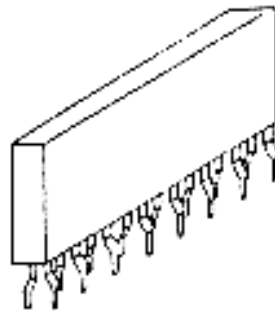
# HI ERARQUI A PARA “ PACKAGI NG”

- Propõe-se uma hierarquia para sistemas assim:
- Nível do “Componente”
  - Envolve passivação, isolamento, colagem e interconexão elétrica “Wire Bonding” dos diversos sensores e atuadores do sistema
- Nível do Dispositivo
  - Envolve fornecimento de energia , transdução de sinais (entrada/ saída) e interconexões elétricas e colagem dos diversos componentes
- Nível do Sistema
  - Envolve quatro tarefas importantes de engenharia:
    - Projeto do circuito
    - Fabricação do circuito
    - Montagem do sistema
    - Inspeção e Testes do sistema

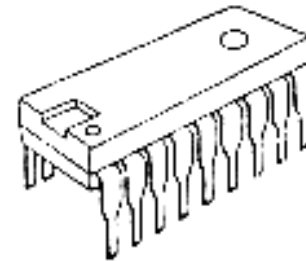
# ENCAPSULAMENTOS TÍPICOS



Transistor outline can



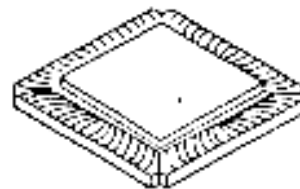
Single in-line package



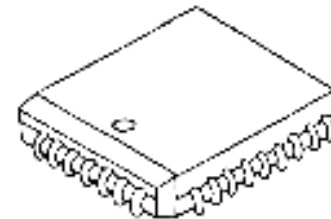
Plastic dual in-line package



Small-outline IC



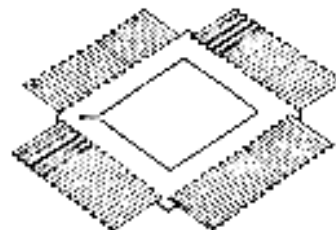
Ceramic leadless chip carrier



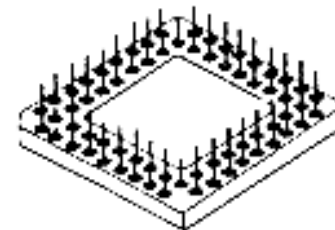
Plastic leaded chip carrier



Metal flatpack



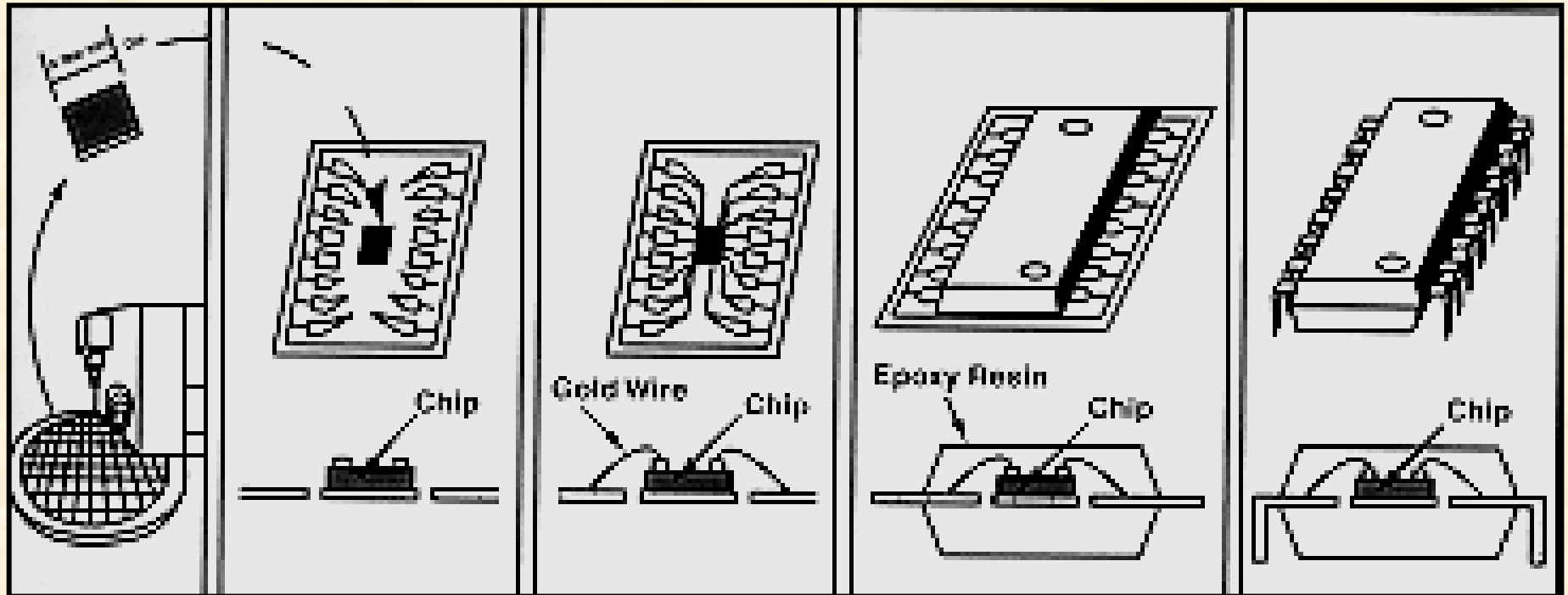
Ceramic flatpack



Ceramic pin grid array

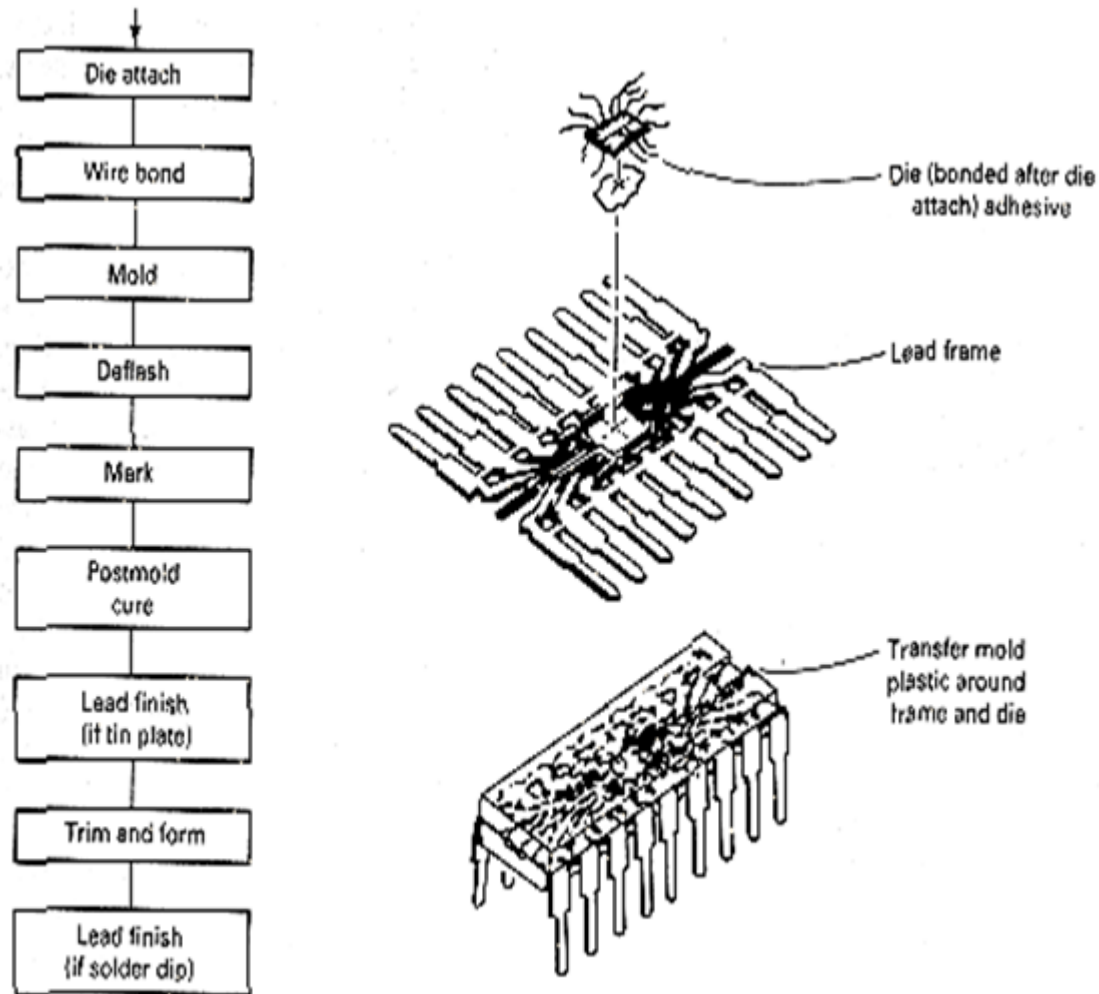
Assortment of level 1 IC packages

# ENCAPSULAMENTO A NÍVEL DE CHIP

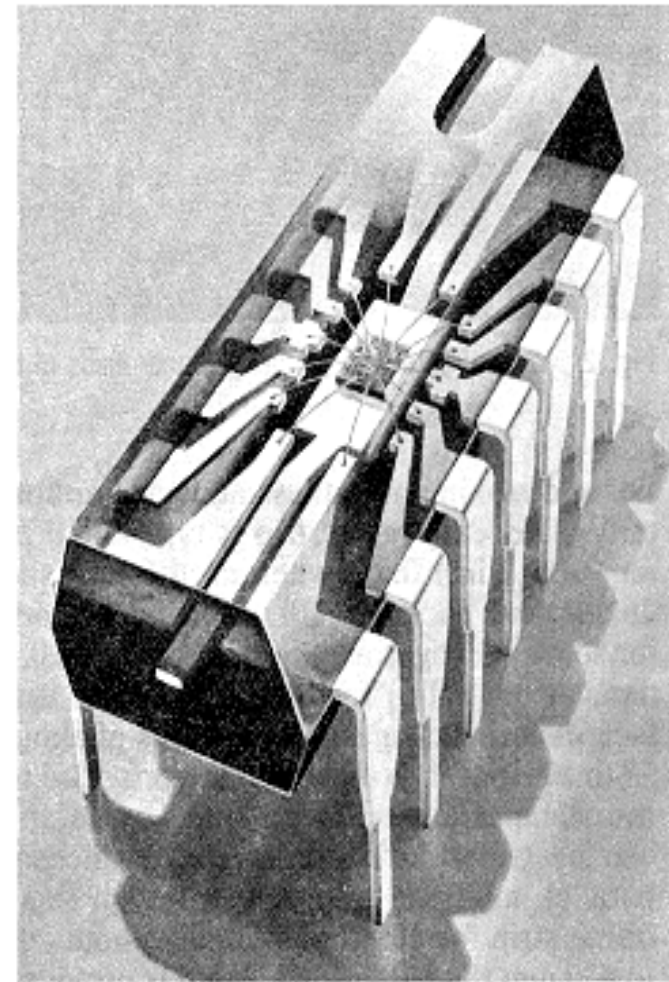




# TÉCNI CAS DE ENCAPSULAMENTO 2D (PLÁSTI COS)



**Fig. 7** Assembly sequence for plastic postmolded dual-in-line package. The lead frame serves as the chip carrier after die bond and wire bond.



**Fig. 1** View of lead frame positioning in postmolded nonhermetic package showing wire interconnects from chip to inner leads of lead frame

# TÉCNI CAS DE ENCAPSULAMENTO 2D (Cerâmicos)

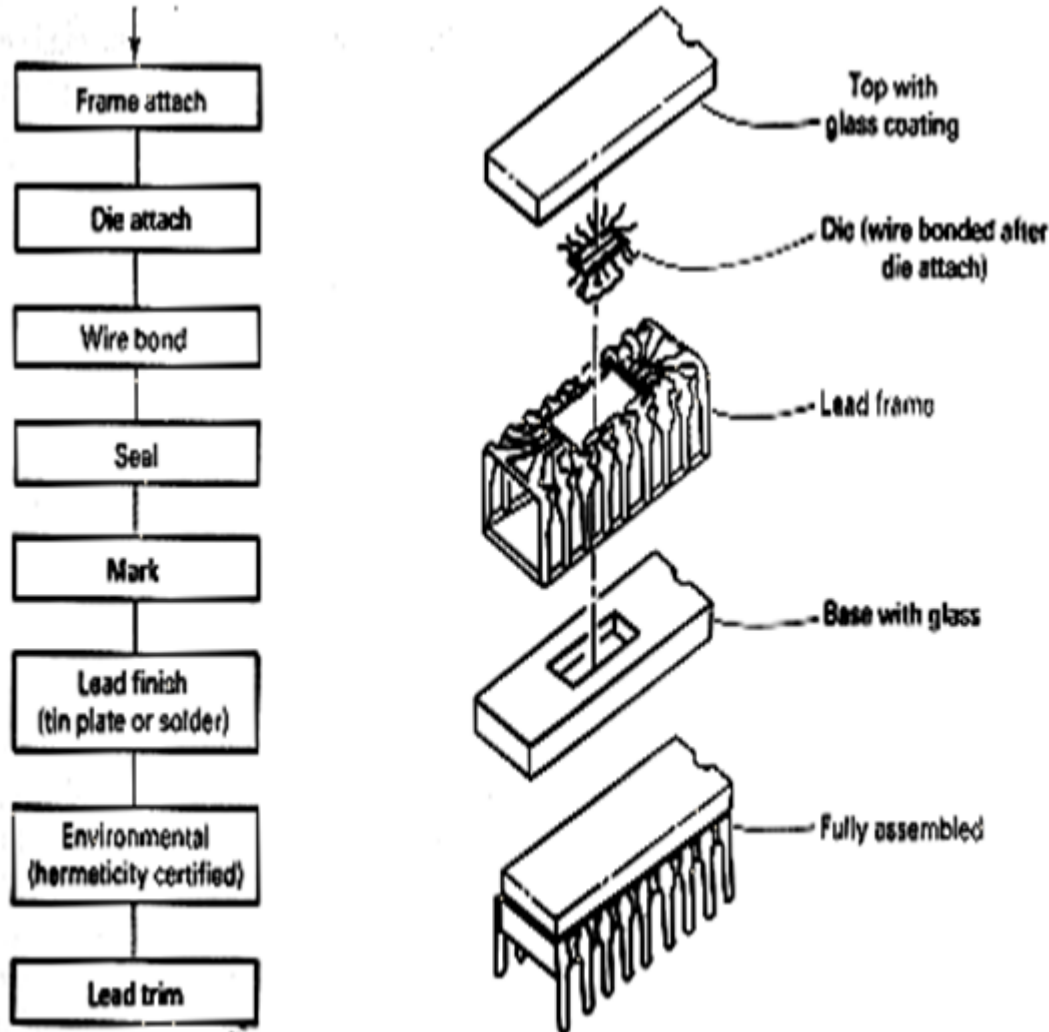
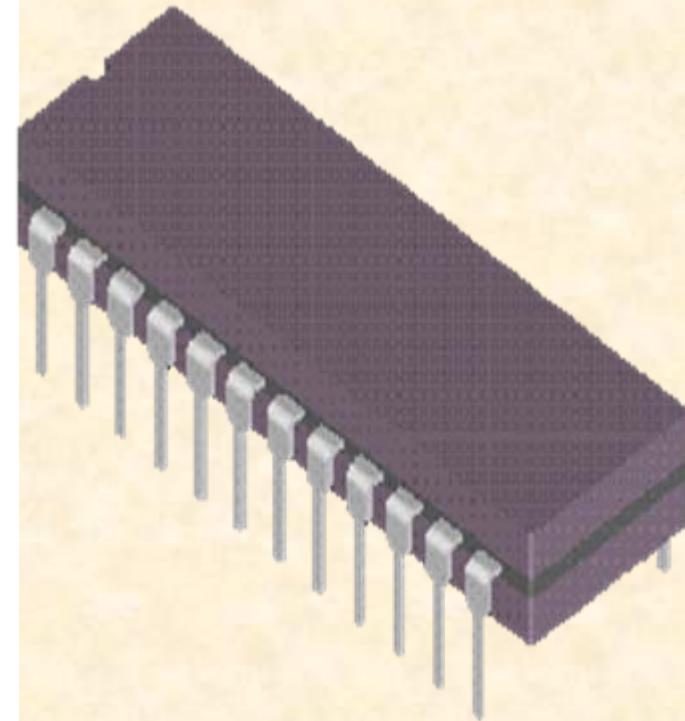


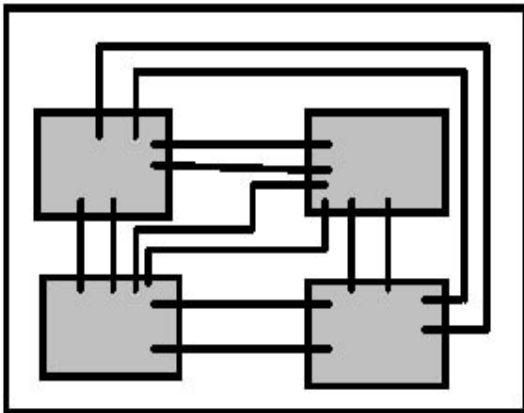
Fig. 6 Assembly sequence for ceramic dual-in-line packages. Base and top components come already glaze coated with glass for lead frame sink and seal.



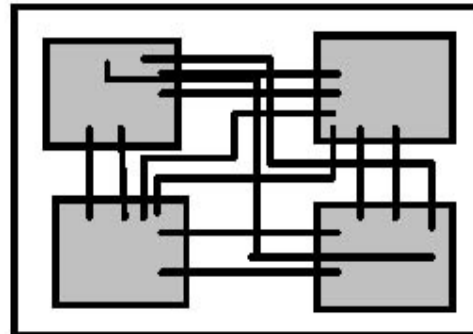
## DE "2D" PARA "3D"

- Vantagens do encapsulamento 3D
  - Área e peso do encapsulamento
  - Interconexões em 3D
  - Menores retardo e maior largura de banda
  - Menor ruído e consumo de potência
  - Maior acessabilidade para interconexões verticais

2D chip packaging  
2D interconnection



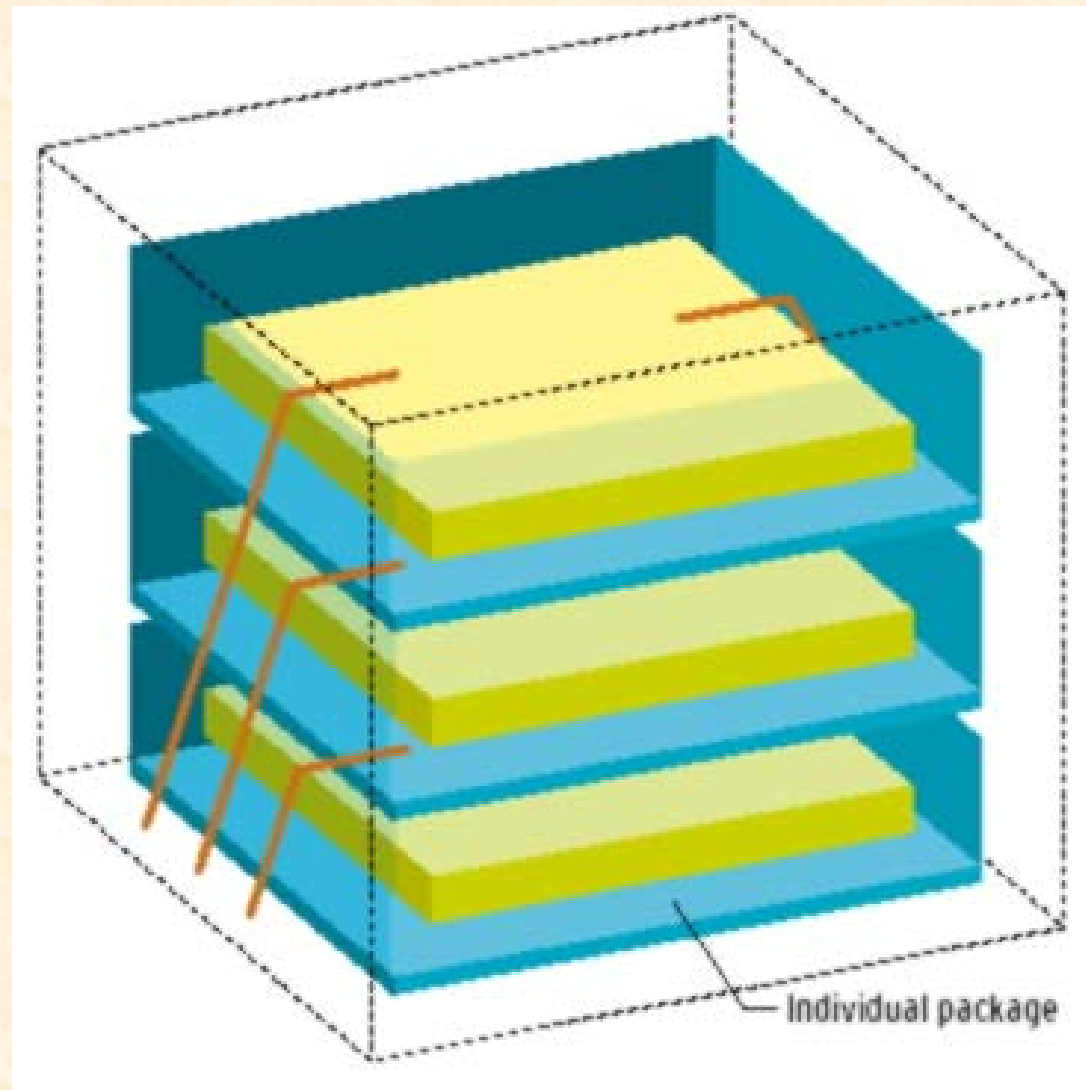
2D chip packaging  
3D interconnection



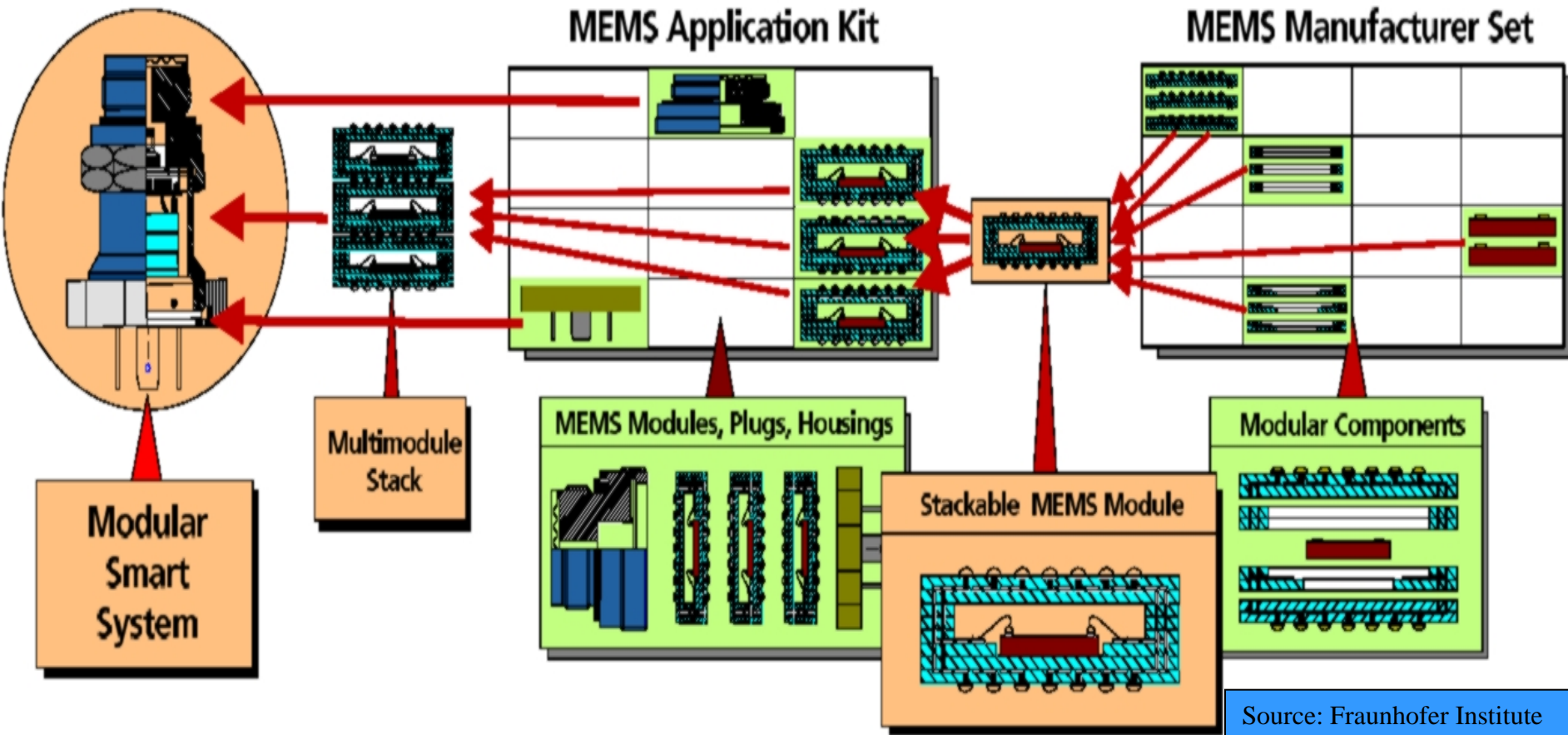
3D chip packaging



# TÉCNICAS DE ENCAPSULAMENTO 3D

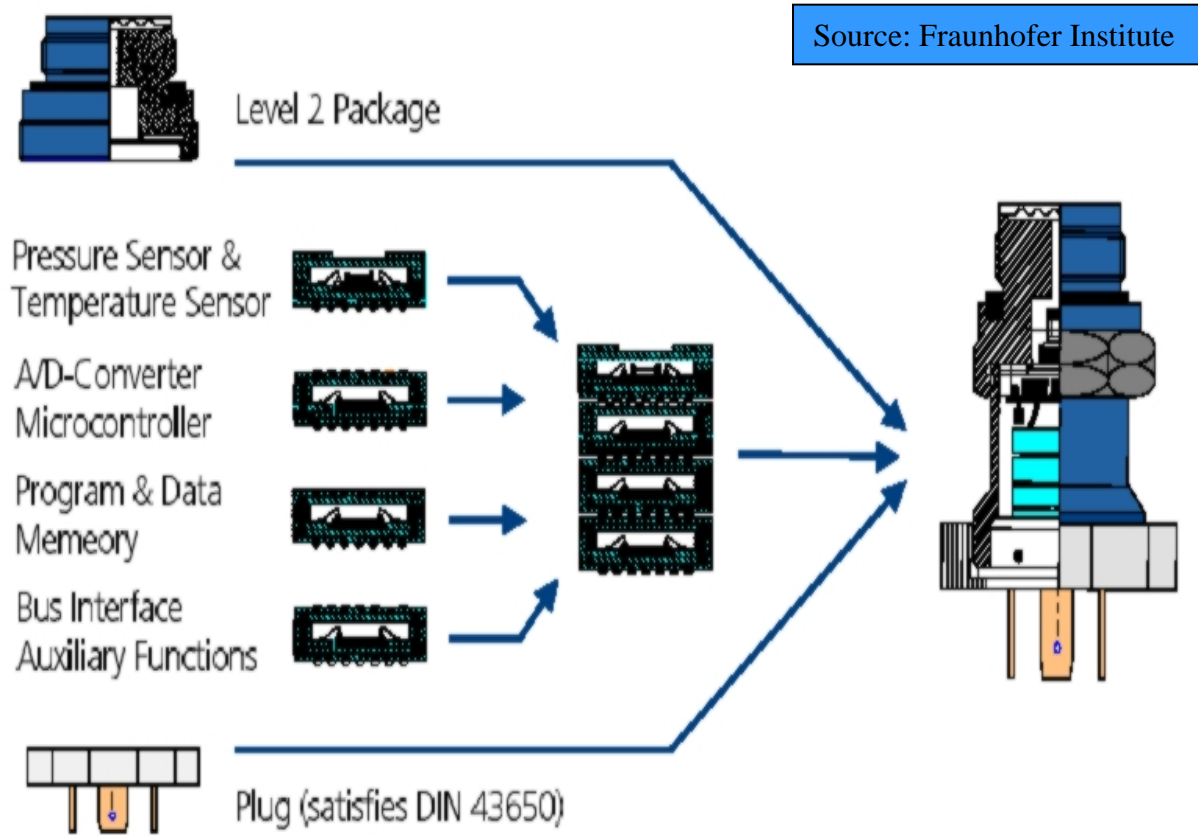


# NOVO CONCEITO: MICRO-SISTEMAS MODULARES





# APLI CAÇÕES DO CONCEITO MODULAR (SMART PRESSURE CONTROL SYSTEM)



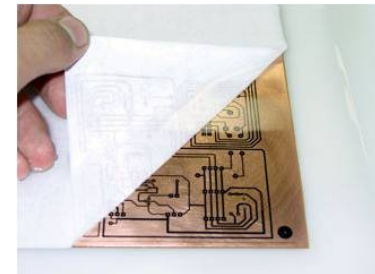
**Figure 20:** Modularized Smart Pressure Control System

# HIERARQUIA DO ENCAPSULAMENTO ELETRÔNICO

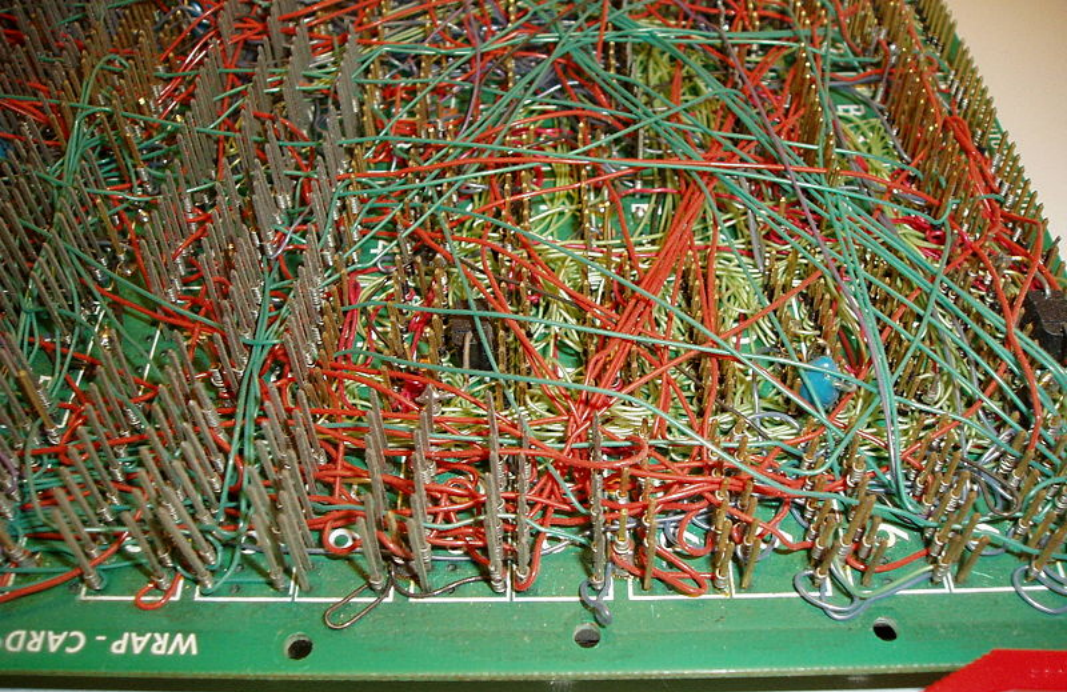
- Nível 0
  - “Dies” (Circuitos integrados)
- Nível 1
  - A nível de “CHIP”
- **Nível 2**
  - **A nível de Circuito impresso**
- Nível 3
  - A nível de arranjo de circuito impresso
- Nível 4
  - A nível de Sistema

Universidade de São Paulo – Escola Politécnica

# Mini-curso de Fabricação de Placas de Circuito Impresso

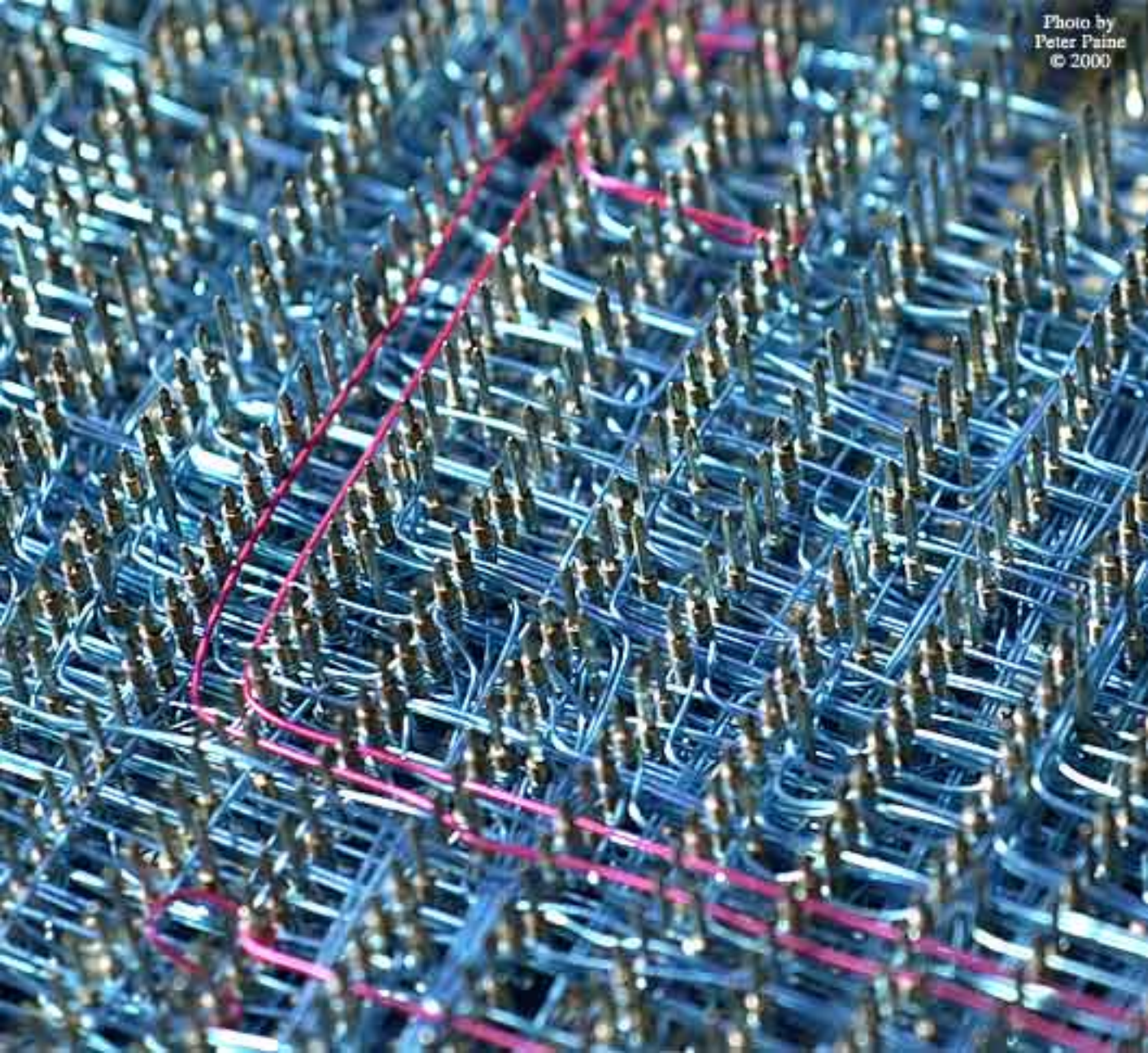




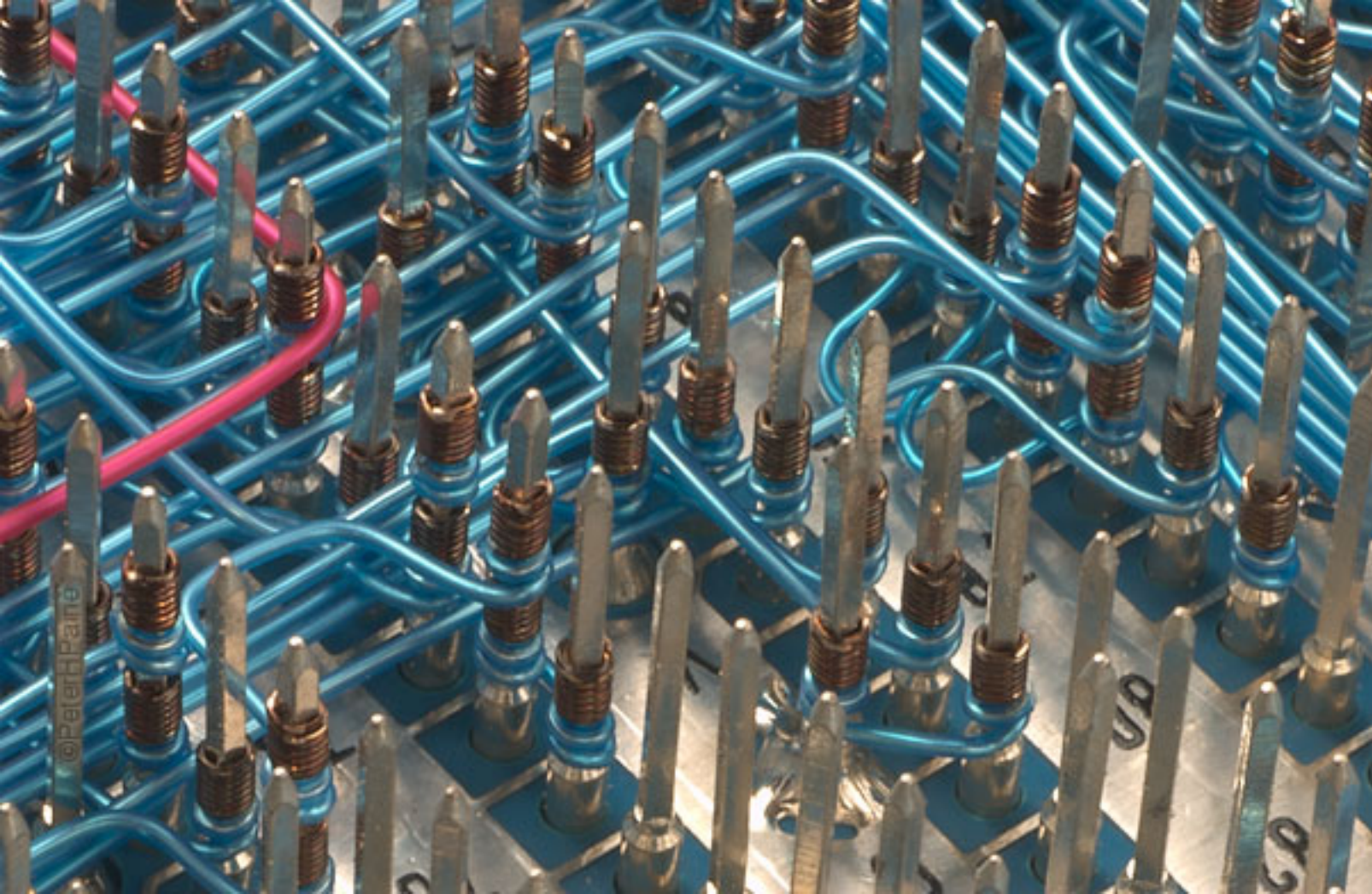


WRAP - CARD









©PeterHume

50

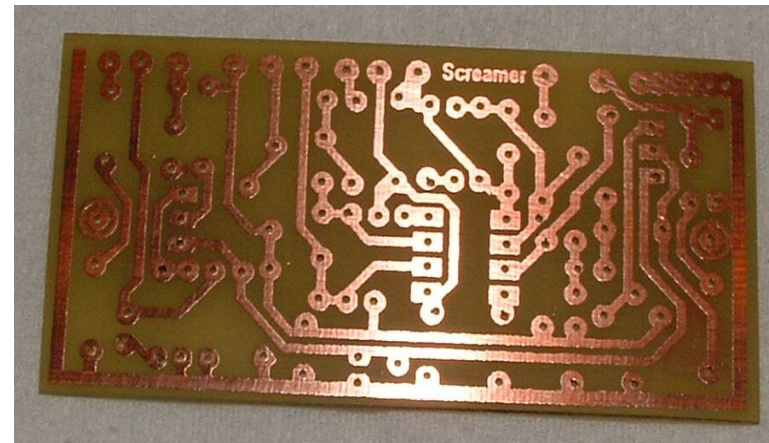
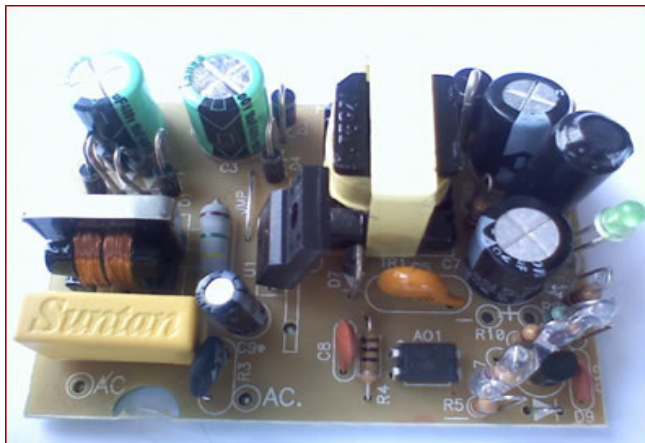
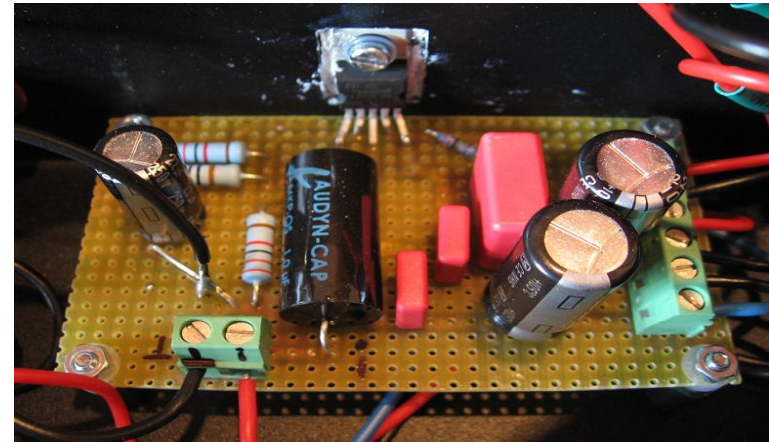
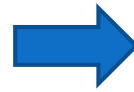
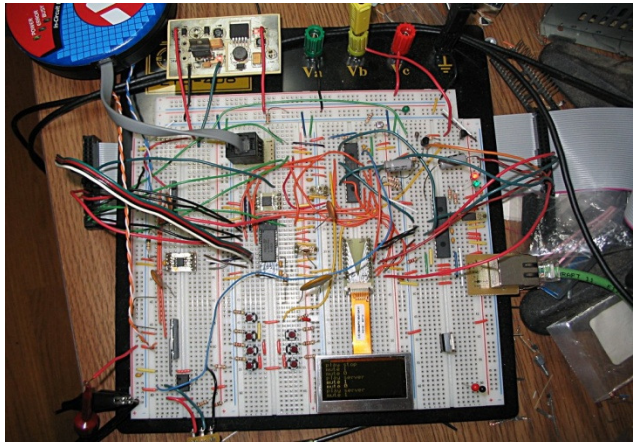
50



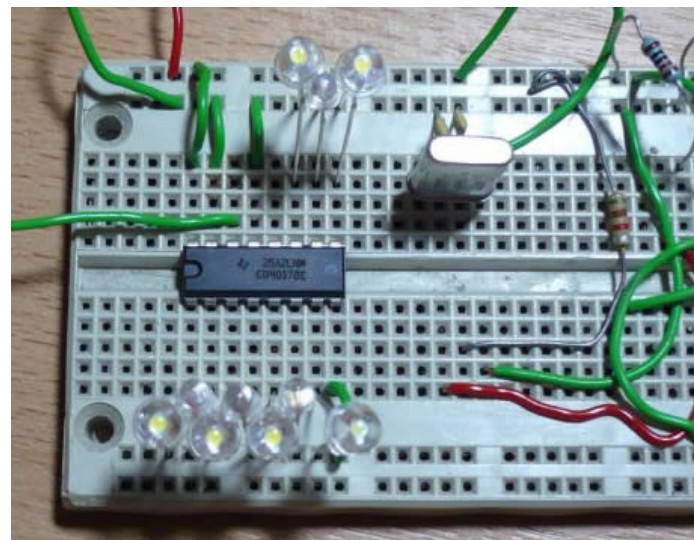
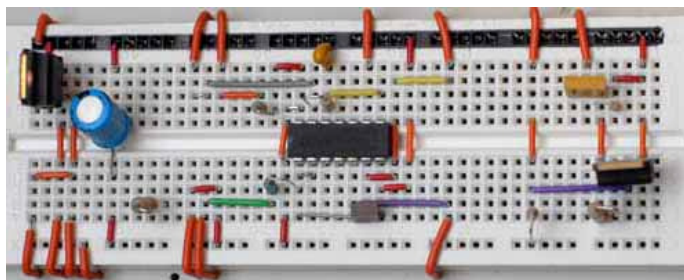
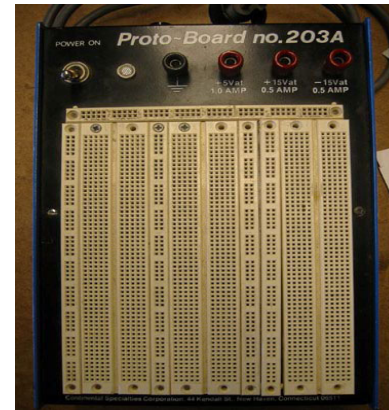
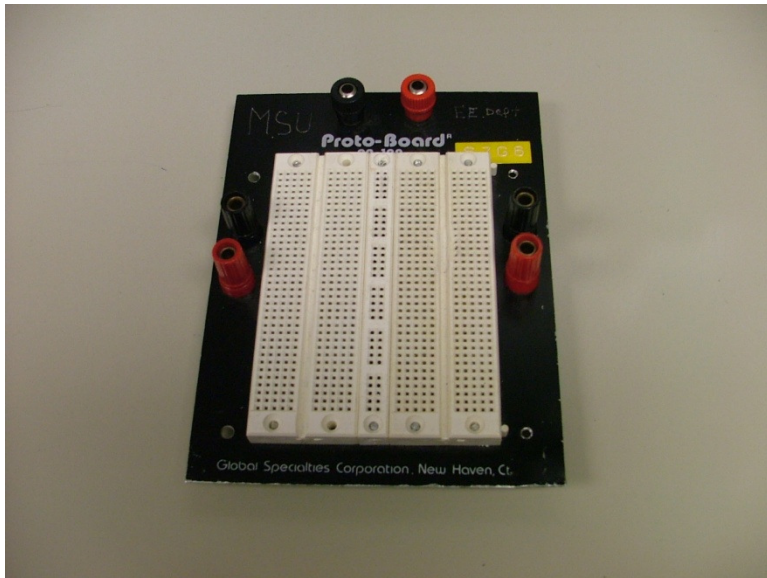
©PeterHPaine



# Do projeto ao circuito impresso

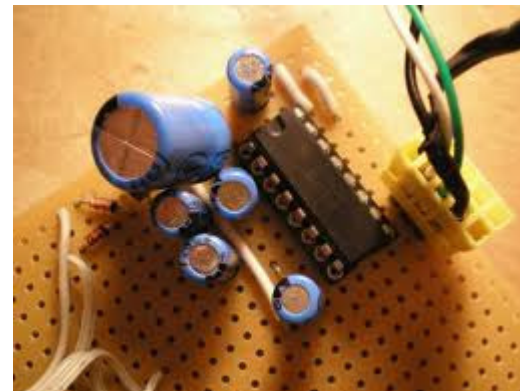
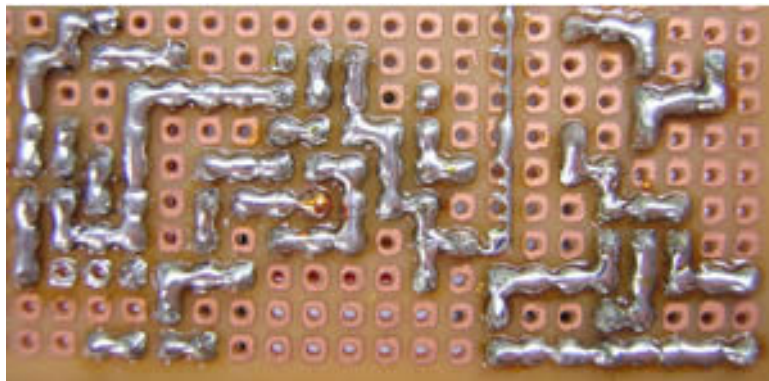
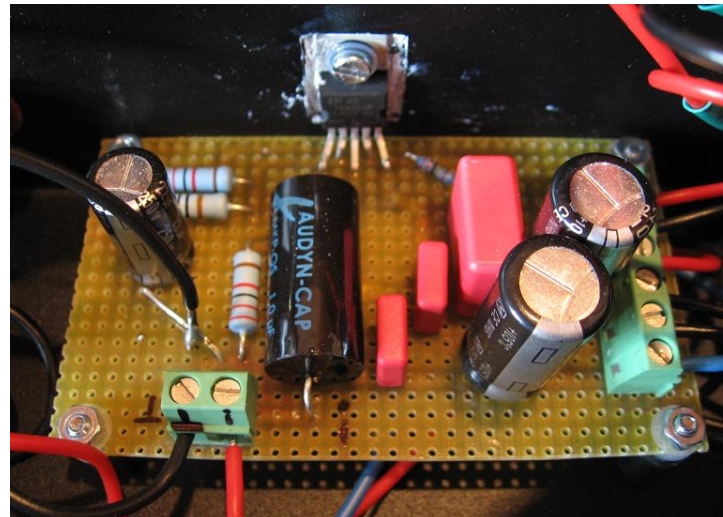
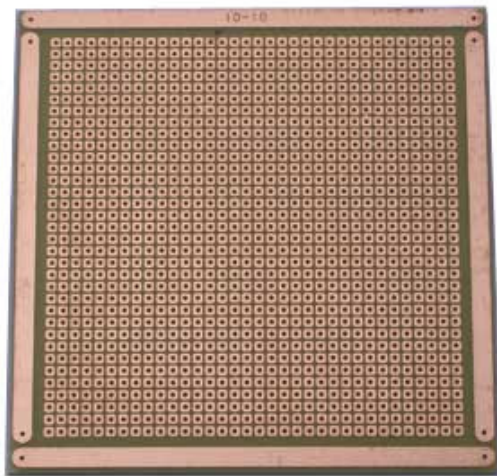


# Protoboard

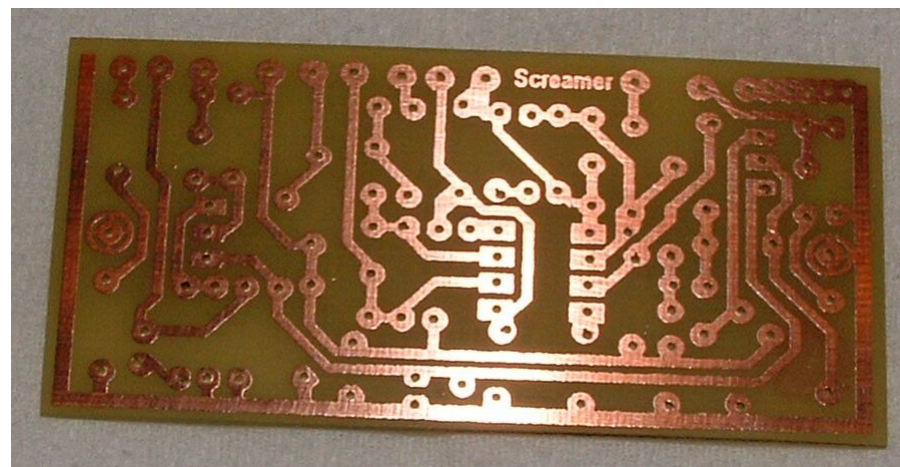
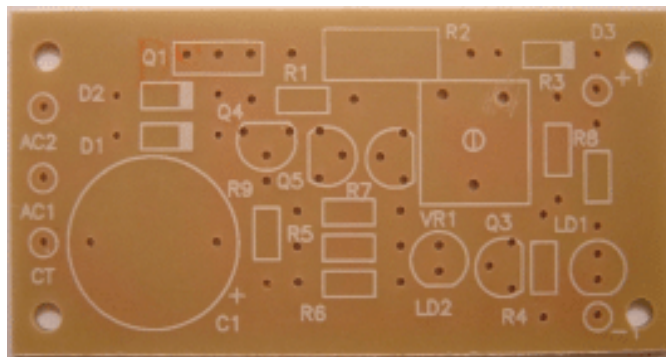
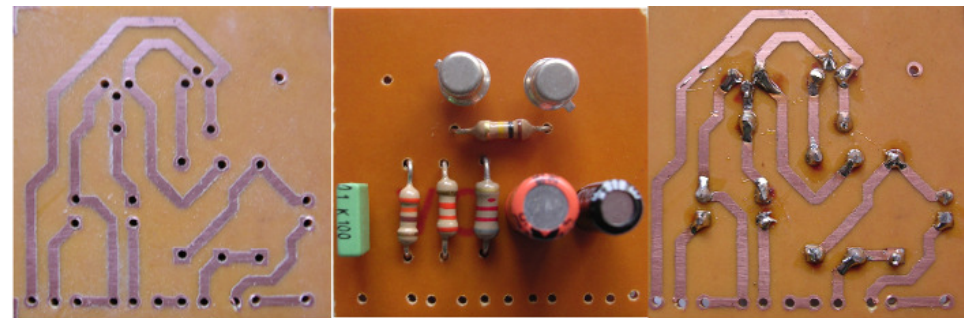




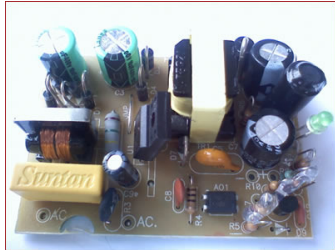
# Placa padrão ou universal



# Placa de circuito impresso







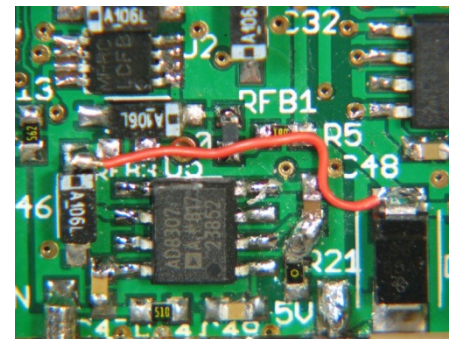
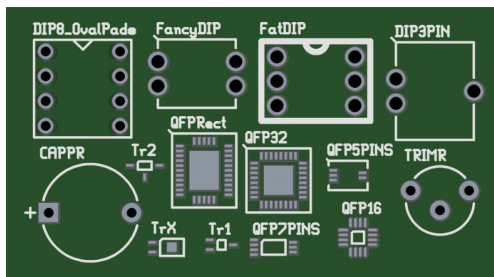
## Por que fazer uma placa de circuito impresso?

- Minimizar a presença de ruído
- Eliminar maus-contatos oriundos da montagem em *protoboard*
- Dar reprodutibilidade ao circuito
- Caráter mais “profissional” do circuito final

# Criando uma placa de circuito impresso

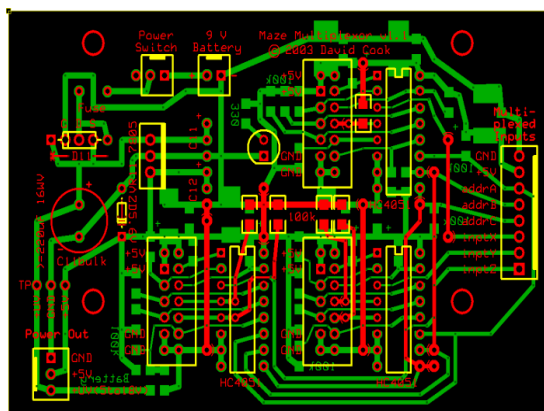
Como fazer o circuito?

Desenhar as trilhas e *footprints dos componentes sobre um* substrato de forma organizada, tentando minimizar as distâncias e o uso de *jumpers*.



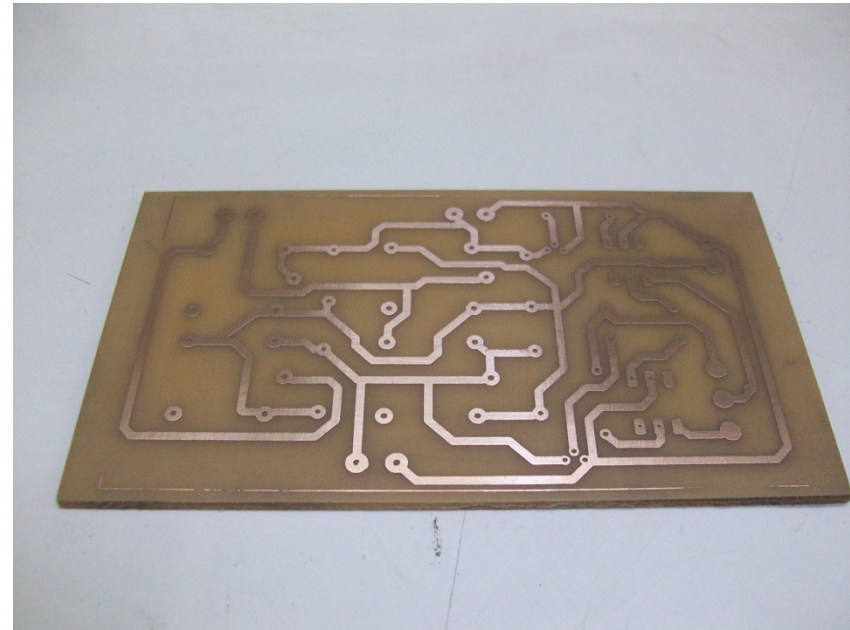
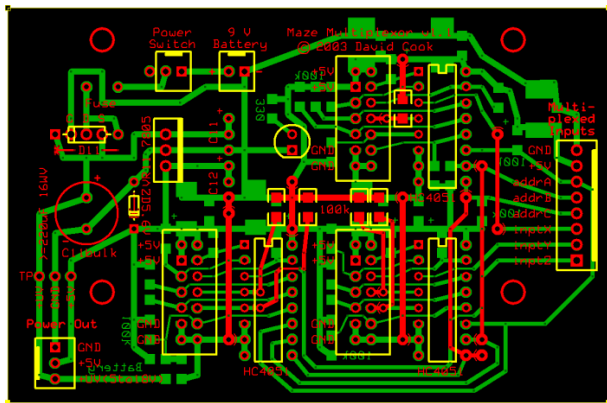
# Desenhando a PCI: possibilidades

- Desenho feito à mão (forma mais simples e que dificulta a reprodutibilidade)



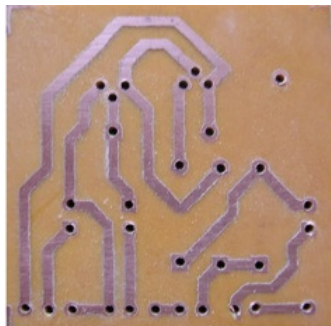
- Uso de softwares de auxílio ao projeto de PCIs (Eagle, OrCAD, Tango, Circuit Maker...)

# Do *layout* à PCI: passo-a-passo



## Desenhando o *layout* (1)

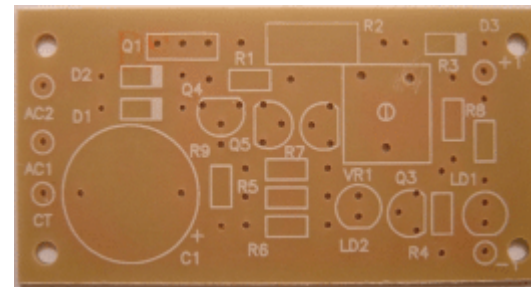
- Criar trilhas de alimentação, de terra e de *clock*.
  - Fazer as trilhas de alimentação com largura maior.
- Evitar trilhas muito longas.



- Preferir mudanças de direção de 45° nas trilhas.

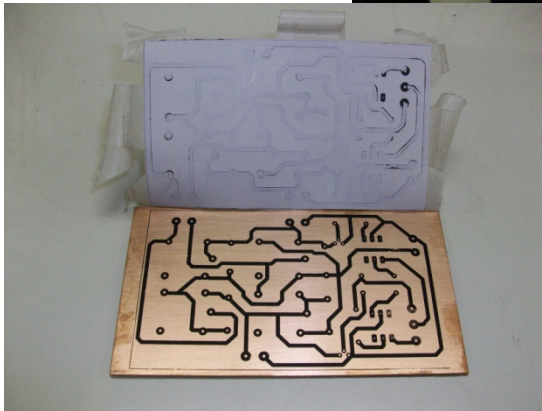
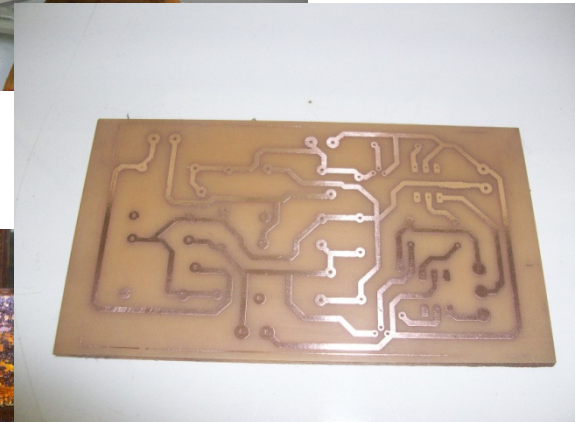
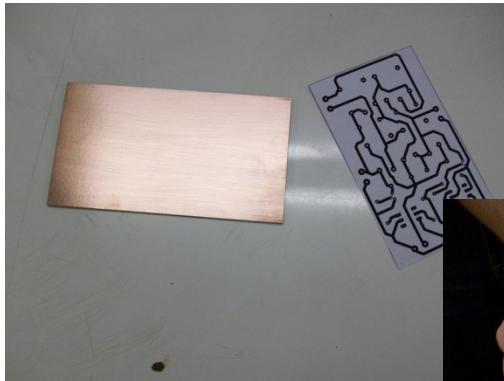
## Desenhando o *layout* (2)

- Evitar que trilhas de sinais críticos (*clock* e altas frequências) fiquem paralelas por muito tempo.
- Evitar ligações diretas entre as entradas de alimentação de CIs.
- Usar *silk-screen*.

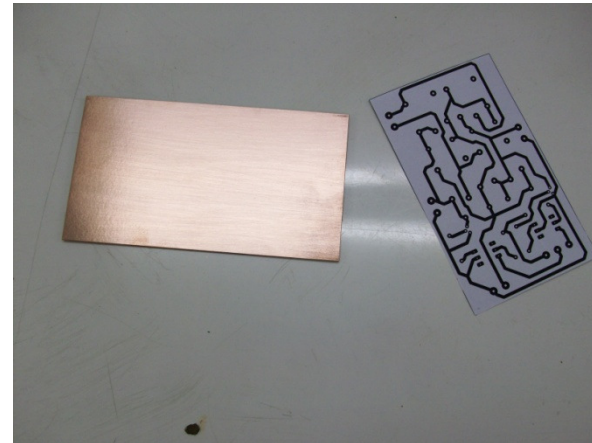




# Criando trilhas de cobre



## Impressão do *layout* no *transfer* (1)



➔ Lixar a placa para melhorar a fixação do *transfer* no cobre

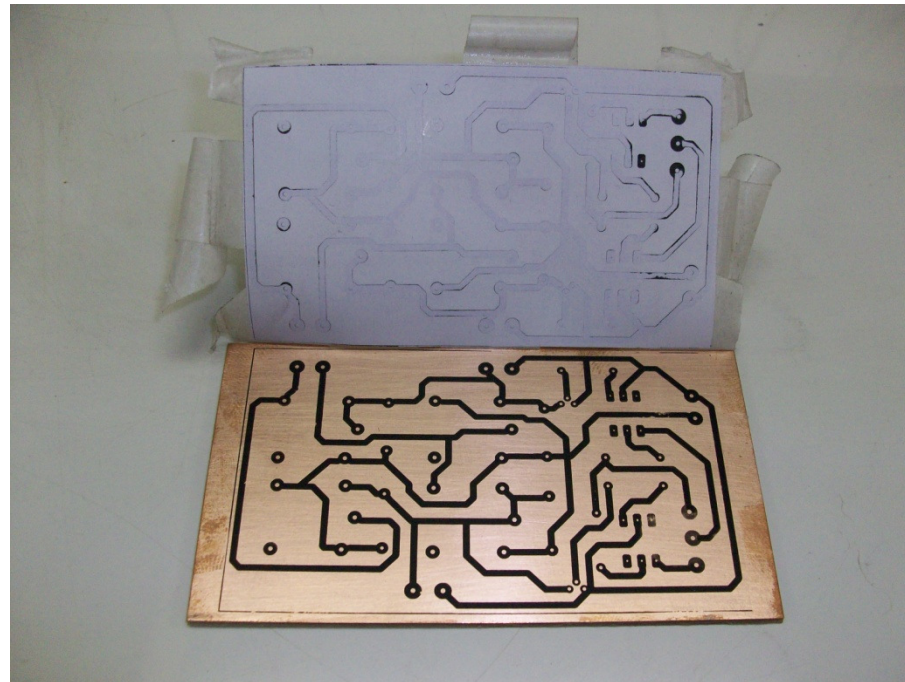




## Impressão do *layout* no *transfer* (2)

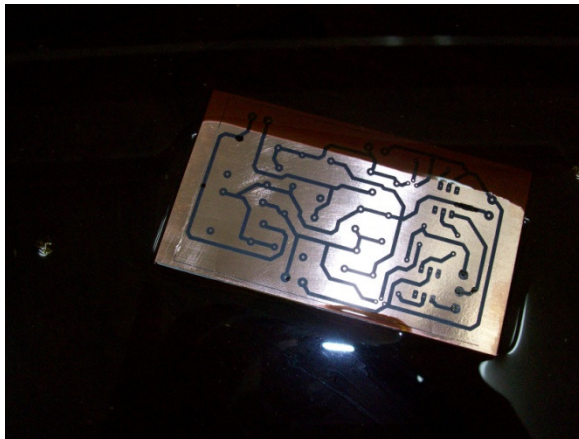


## Impressão do *layout* no *transfer* (3)



- ➔ Conferir se todas as trilhas são contínuas
- ➔ Completar trilhas descontínuas com a caneta

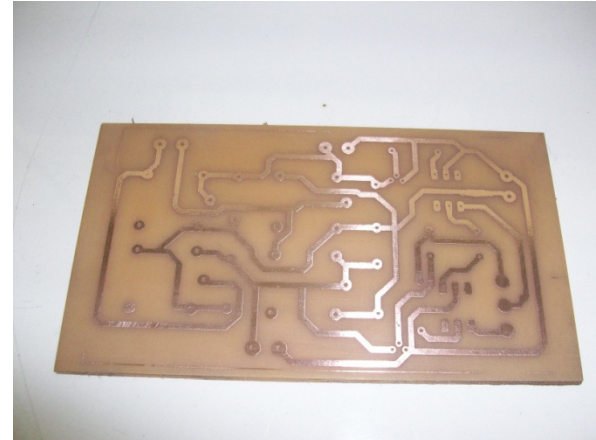
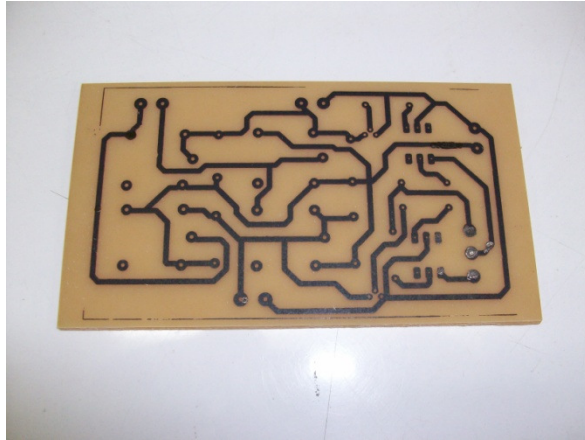
# Corrosão do cobre



➡ CUIDADO!!! COLOCAR O PERCLORETO DE FERRO ANIDRO NA ÁGUA, E NÃO O INVERSO!



# Remoção do *transfer* e finalização



➔ Ao furar a placa, cuidado para não danificar as ilhas!



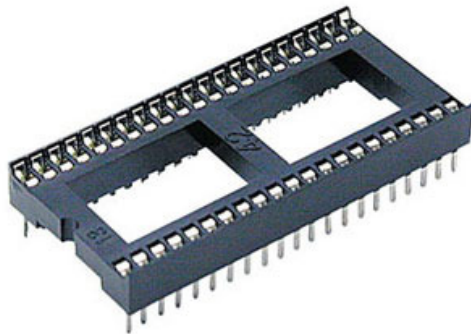
## Dicas finais (1)

- Ao colocar o *transfer* sobre o substrato, centralizar o *layout* na placa, deixando espaço até as bordas
  - Fazer trilhas a mais, para o caso de precisar alterar o circuito
- Colocar um LED indicando que a placa está energizada



## Dicas finais (2)

- Colocar pontos de acesso para medir com o osciloscópio



- Usar soquetes para os CIs

# Informações úteis (1)



- Para fazer o download do Eagle:
  - <http://www.cadsoft.de/download.htm>
  
- Tutoriais do Eagle:
  - Tutorial do Eagle, junto ao próprio programa
  - <http://www.eletrica.ufpr.br/mehl/pci/apostila3cc.pdf>
  - [http://www.py2ph.qrp-br.com/arquivos\\_diversos/tutorialpara-gerar\\_PCI\\_reduzido.pdf](http://www.py2ph.qrp-br.com/arquivos_diversos/tutorialpara-gerar_PCI_reduzido.pdf)

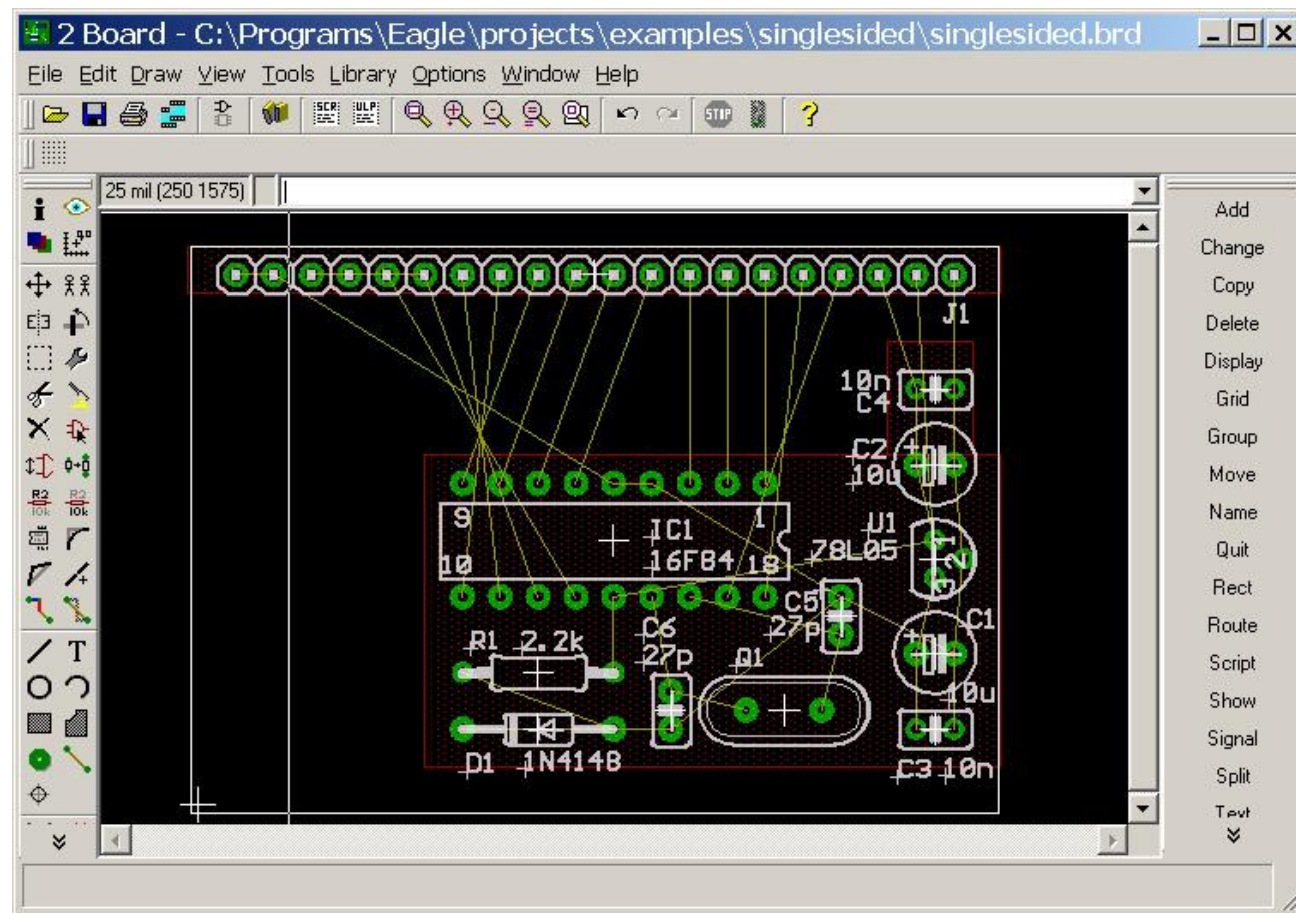
## Informações úteis (2)



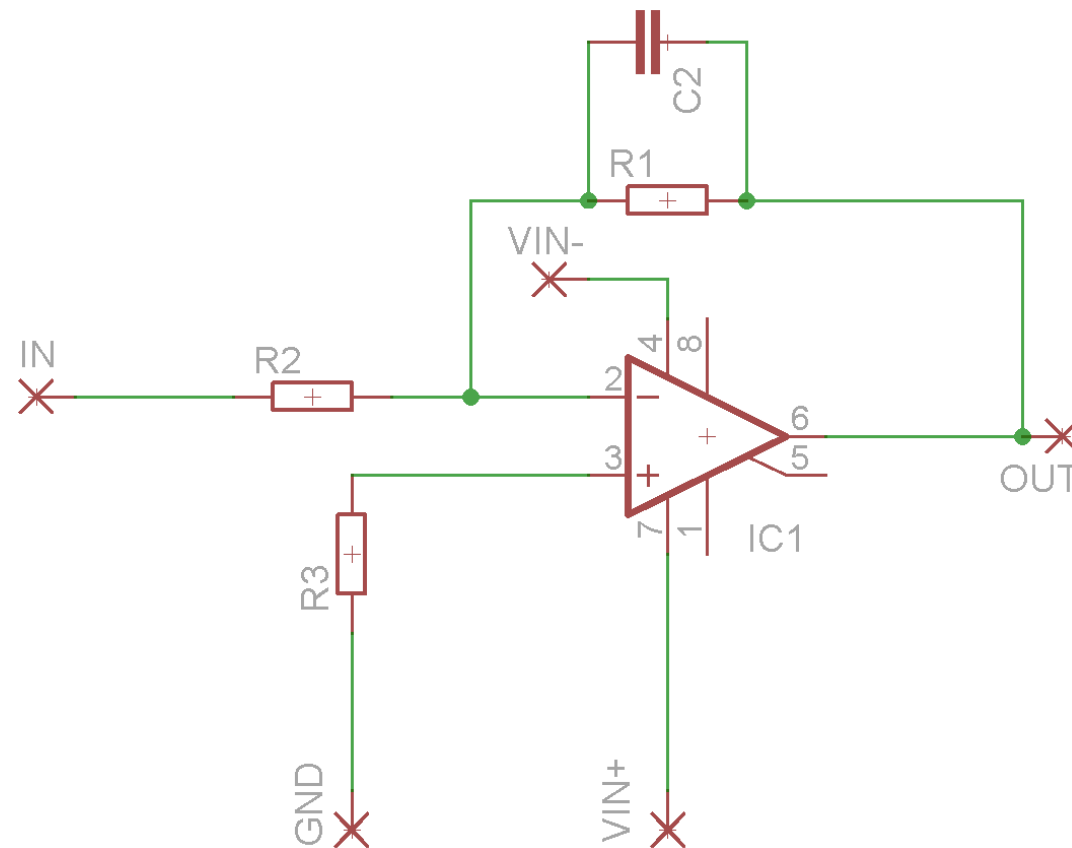
- ➔ Para fazer compras de materiais: entorno da Santa Ifigênia
- ➔ A Rua dos Timbiras é uma boa opção para comprar placas de fenolite, brocas de 0.8 mm e componentes diversos
- ➔ Brocas também podem ser compradas na Odonto



# Exemplo com o Eagle

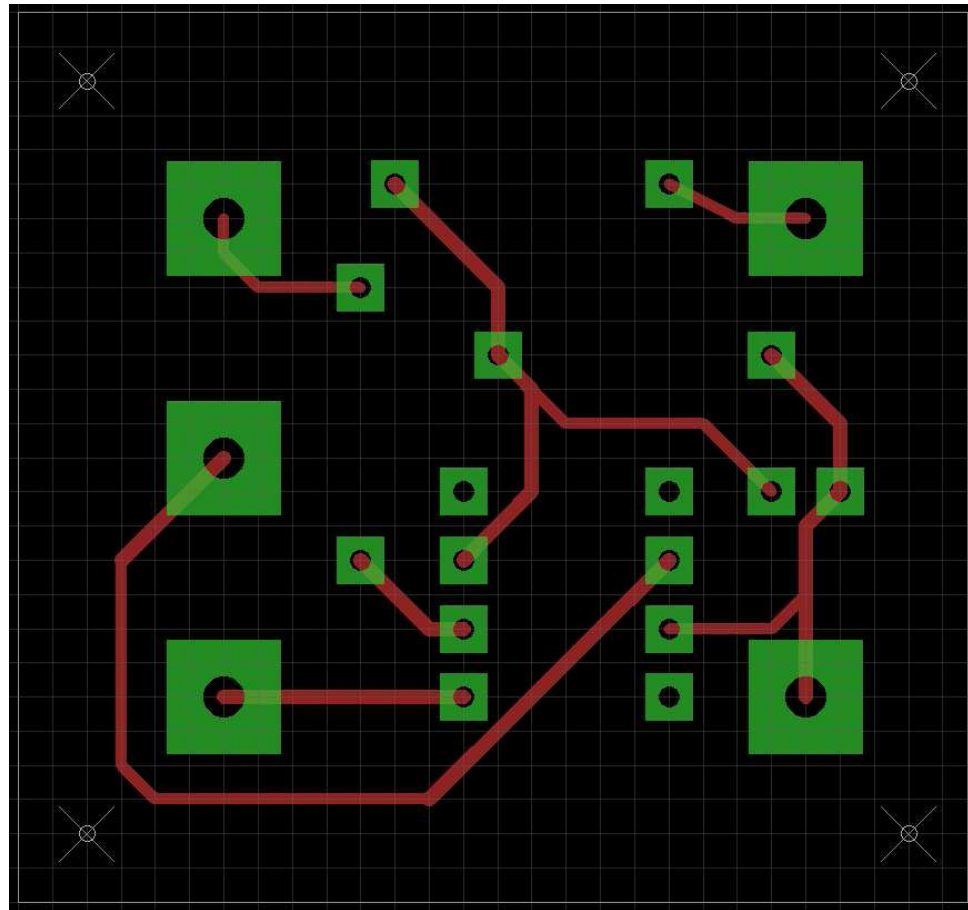


# Modelo esquemático



Filtro passa-baixa analógico de primeira ordem

# Layout feito com o Eagle





**UV3E**  
Laser & Electronics

ProMach E 20

Produktions- & Service  
**UV3E**



# Referências

- ➔ Practical Electronics for Inventors - Paul Sherz
- ➔ The Circuit Designer's Companion - Tim Williams