

Departamento de Engenharia Elétrica e de Computação
SEL 384 – Laboratório de Sistemas Digitais I

PRÁTICA Nº11

**“Dispositivos de Lógica Programável Complexa (FPGA - “Field Programmable Gate Array”) -
PWM/Servo-motor”**

1. Objetivos:

- Projeto e síntese de circuitos em dispositivo FPGA utilizando o esquemático do Quartus II;
- Projeto e implementação de circuitos para controle de um servo-motor por PWM

2. Material utilizado:

- Kit de desenvolvimento com CPLD da ALTERA
- Servo-motor

3. Introdução:

Um modulador de largura de pulso (PWM) é uma forma comum de geração de saídas analógicas a partir de um componente digital. O PWM substitui um conversor digital-para-analógico (DAC), o qual gera saída analógica (corrente ou tensão) proporcional à entrada digital. Como o nome indica, um PWM gera uma série de pulsos digitais de tensão ou corrente constante com larguras de pulsos, ou duty-cycles, que são proporcionais à intensidade do sinal analógico pretendido. A série de pulsos modulados pode ser convertida a uma voltagem analógica com um filtro passa-baixa, mas isto é normalmente desnecessário.

A Figura 1 mostra um típico sinal analógico e a representação PWM digital. Em geral, um sinal analógico tem uma amplitude máxima, uma amplitude mínima, e muitos níveis no meio. Em contraste, o PWM só tem dois níveis: máximo e mínimo.

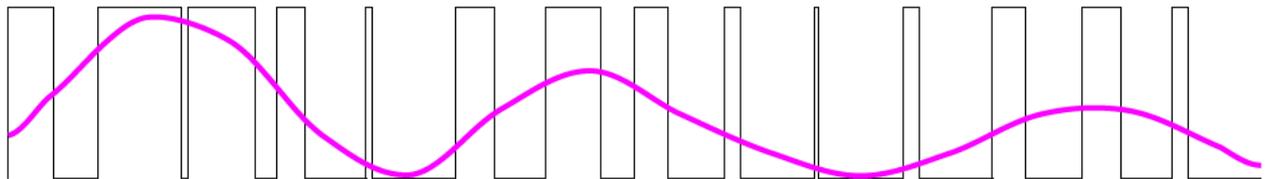


Figura 1. Sinal analógico e modulação por largura de pulso equivalente

Para converter do analógico para o digital, o sinal analógico primeiro é amostrado numa frequência portadora. Por um dado período de amostragem, a área sob o sinal analógico se iguala à área sob o pulso PWM. O princípio chave por trás do PWM é que um pulso curto em máxima amplitude tem a energia equivalente a um sinal analógico contínuo na menor amplitude. Esta simples equação determina a frequência de amostragem requerida por um circuito PWM:

$$F_{SAMPLE} = 2 * F_{RANGE}$$

onde F_{SAMPLE} é a taxa na qual o sinal analógico é amostrado e F_{RANGE} é a máxima frequência do sinal analógico a ser reproduzido pelo PWM. O próximo passo é gerar o clock para controlar a granularidade do PWM. A equação seguinte determina a frequência do PWM:

$$F_{PWM} = 2 * F_{RANGE} * R$$

onde F_{PWM} é a frequência de clock do bloco PWM, e R é a resolução. A resolução é tipicamente um múltiplo de 2^N (onde N = número de bits nas palavras de fluxo de dados digitais)

As três aplicações mais comuns para PWMs são driver de LED, áudio e controle de motores. Além destas, também temos:

- Luz

- □ Controle de intensidade de brilho de LED para economizar energia
- □ Intensidade de back-light de displays
- □ Mistura de cores em LED tri-color
- □ Som
 - □ Reprodução de áudio
 - □ Mensagens de aviso audíveis
 - □ Efeitos de som e de toques de chamada
 - □ Tons e cliques de teclados
- □ Movimento
 - □ Motores
 - Vibrores de telefones
 - Feedback de controle de videogames
 - Vibrações de alerta para controles
 - Controle de ventoinhas de refrigeração
 - Feedback de teclados
 - □ Servos
 - Controle analógico de tensão
 - Controle Digital de pulsos

A Figura 2 mostra alguns exemplos de aplicação de PWM no controle de dispositivos analógicos.

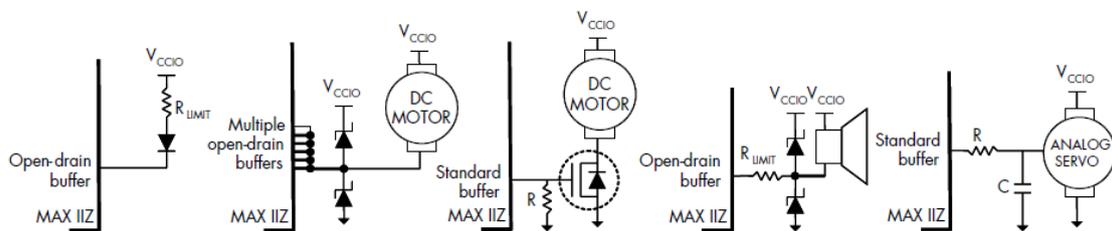


Figura 2. Circuitos para converter o sinal PWM para luz, som e movimento

O modulador de largura de pulso (ou gerador PWM) na Figura 3 requer apenas metade da lógica do que um projeto convencional de dois contadores. Com a ajuda da lógica extra, um contador síncrono crescente/decrescente com carga paralela pode codificar a informação no *duty-cycle* de um sinal de amplitude e frequência de trabalho constantes.

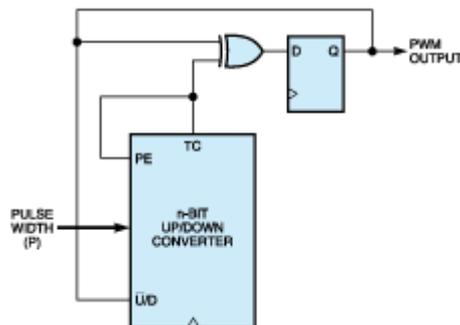


Figura 3. Circuitos gerador de PWM

O Flip-flop alterna seu estado sempre que o contador atinge o seu valor máximo, fazendo com que o contador conte alternadamente para cima e depois para baixo a partir de um valor pré-carregado. Se carregar o contador com um valor P, então a duração do período de contagem decrescente é P+1 períodos de clock, e a duração do período de contagem crescente é $2^N - P$ períodos de clock. O período de alternância do flip-flop é a soma dos dois períodos, $2^N + 1$ períodos de clock. Este período é independente do valor pré-carregado P.

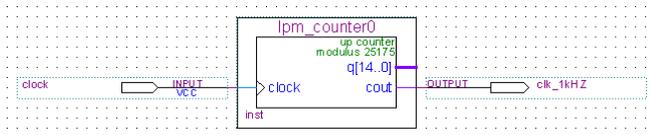
Consequentemente, a saída do flip-flop é o sinal de PWM desejado. O período é constante, e o seu tempo em nível alto é proporcional a P+1. Desta forma, temos as seguintes expressões relativas ao sinal de saída do PWM:

- □ Duty-cycle+ = $(P+1)/(2^N+1)$
- □ Duty-cycle- = $(2^N-P)/(2^N+1)$
- □ F_{OUTPUT} = $F_{PWM}/(2^N+1)$

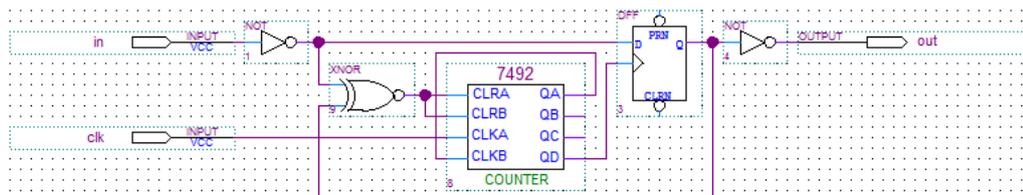
4. Procedimento Experimental:

4.1 Utilizando a ferramenta QUARTUS II, escolhendo o dispositivo CPLD de acordo com o kit utilizado, projete os seguintes circuitos:

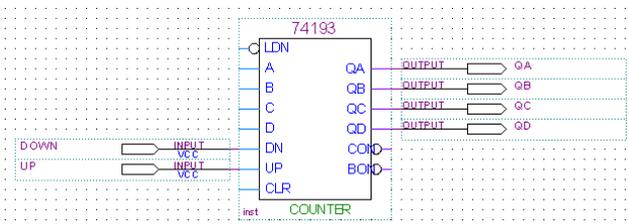
a) Gerador de Clock de 1kHz (Contador divisor por 50000)



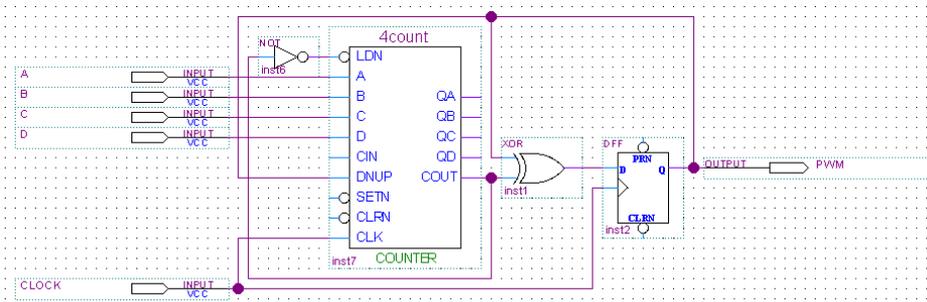
b) Circuito eliminador de ruídos Debouncer (MAX6816)



c) Contador Crescente/Decrescente com entradas de Clock separadas (74193)



d) Gerador de PWM de 4 bits



4.2 Teste o Gerador PWM integrando todos componentes implementados, ligando na saída do PWM um LED e verificando o seu funcionamento por meio do osciloscópio. Anote os seguintes dados:

- a) Duty-cycle+ máximo:
- b) Duty-cycle+ mínimo:
- c) Duty-cycle- máximo:
- d) Duty-cycle- mínimo:
- e) F_{OUTPUT} :

Compare os valores obtidos com os valores teóricos esperados.

4.3 Preencha a tabela abaixo:

P	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
V_{RMS}																
V_{MED}																

Analise o funcionamento do gerador PWM através de um gráfico de V_{RMS} e V_{MED} em função de P, apresentado as suas respectivas equações em função de P. Não se esqueça de anotar V_{OUTPUT} (pico a pico). Discuta os resultados.

4.4 Considerando que um servo-motor seja controlado por meio de um pulso PWM com frequência de 50Hz e Duty-cycle+ entre 1ms e 2ms, modifique o gerador PWM implementado no item 4.1 para que trabalhe com $n=8$ bits e seja capaz de controlar um servo-motor. Apresente as equações para determinar, em função de P, N e F_{OUTPUT} :

- a) F_{PWM} :
- b) P máximo:
- c) Duty-cycle+ máximo:
- d) P mínimo:
- c) Duty-cycle+ mínimo:

5. Bibliografia:

- Site da ALTERA
- Fregni, E. & Saraiva, A.M., "Engenharia do Projeto Lógico Digital", Ed. Edgard Blücher Ltda.
- Tocci, J. R. , "Sistemas Digitais- Princípios e Aplicações

NOME: _____ NUSP _____

NOME: _____ NUSP _____

4.1 Apresente o diagrama esquemático completo do projeto.

4.2 Apresente:

	Teórico	Experimental
a) <i>Duty-cycle</i> ⁺ máximo:	_____	_____
b) <i>Duty-cycle</i> ⁺ mínimo:	_____	_____
c) <i>Duty-cycle</i> ⁻ máximo:	_____	_____
d) <i>Duty-cycle</i> ⁻ mínimo:	_____	_____
e) F_{OUTPUT} :	_____	_____

4.3

P	0	1	2	3	4	5	6.	7	8	9	10	11	12	13	14	15
V_{RMS}																
V_{MED}																

4.4

- a) F_{PWM} :
- b) P máximo:
- c) *Duty-cycle*⁺ máximo:
- d) P mínimo:
- c) *Duty-cycle*⁺ mínimo:

