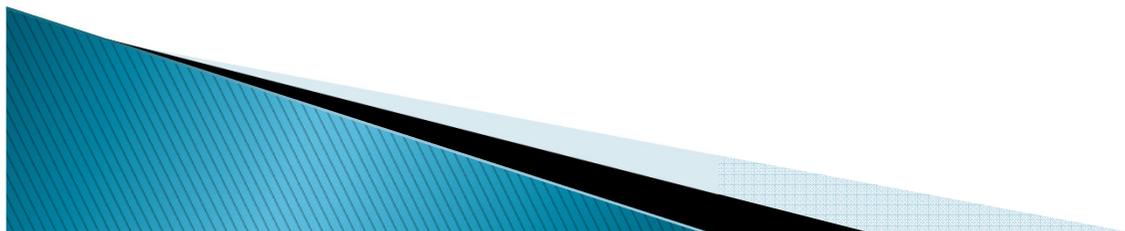


# Dispositivos Lógicos Programáveis (PLD)

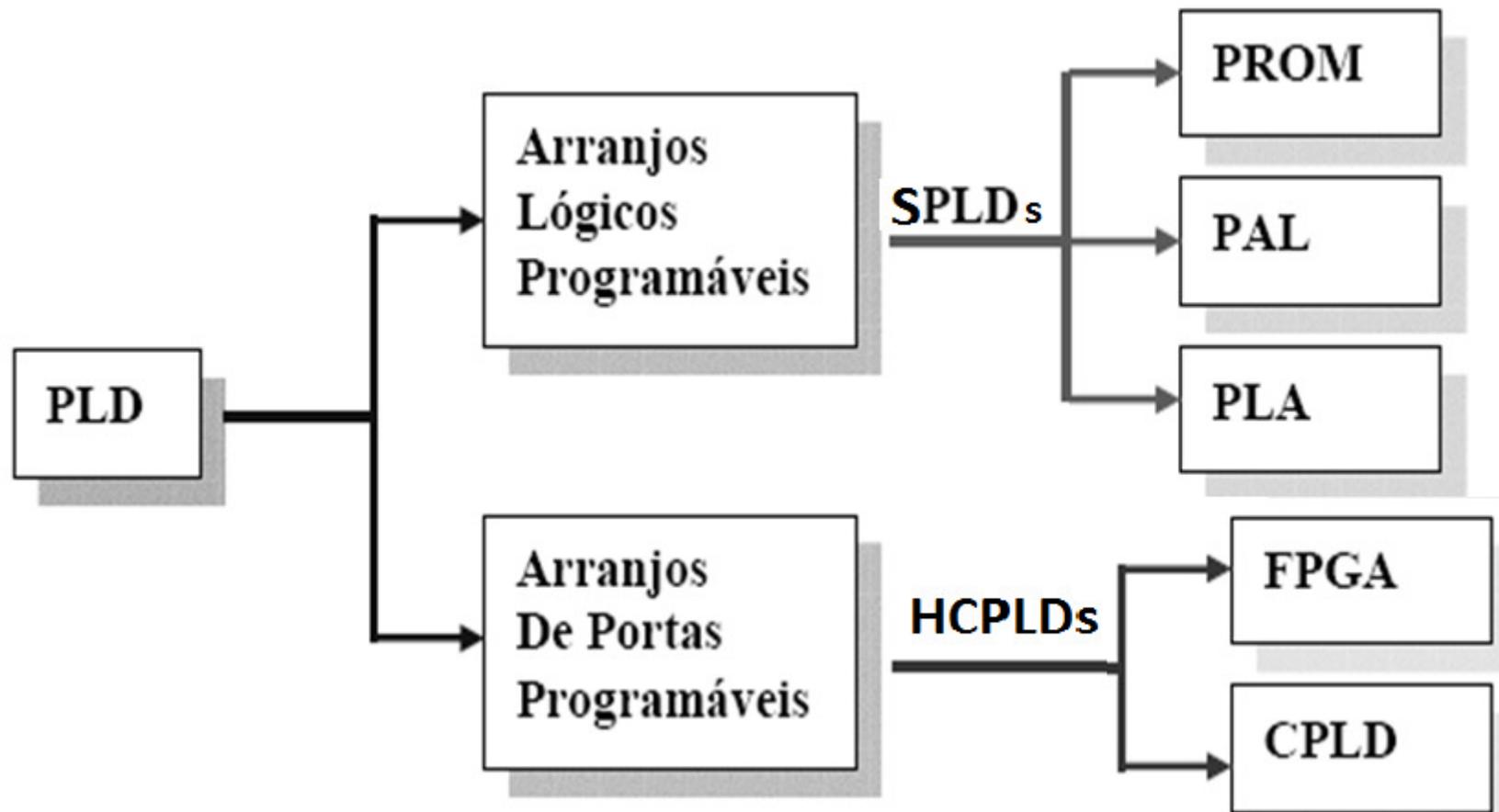
Profa. Luiza Maria Romeiro Codá



# Dispositivos Lógicos Programáveis (PLD)

- ▶ Os dispositivos lógicos programáveis (*PLD – Programmable Logic Device*) são circuitos integrados programáveis pelo usuário, que possui um grande número de portas lógicas (*AND, OR, NOT*), flip-flops e registradores que estão ligados em um mesmo CI.

# Dispositivos Lógicos Programáveis (PLD)



# SPLD Dispositivos Lógicos Programáveis Simples

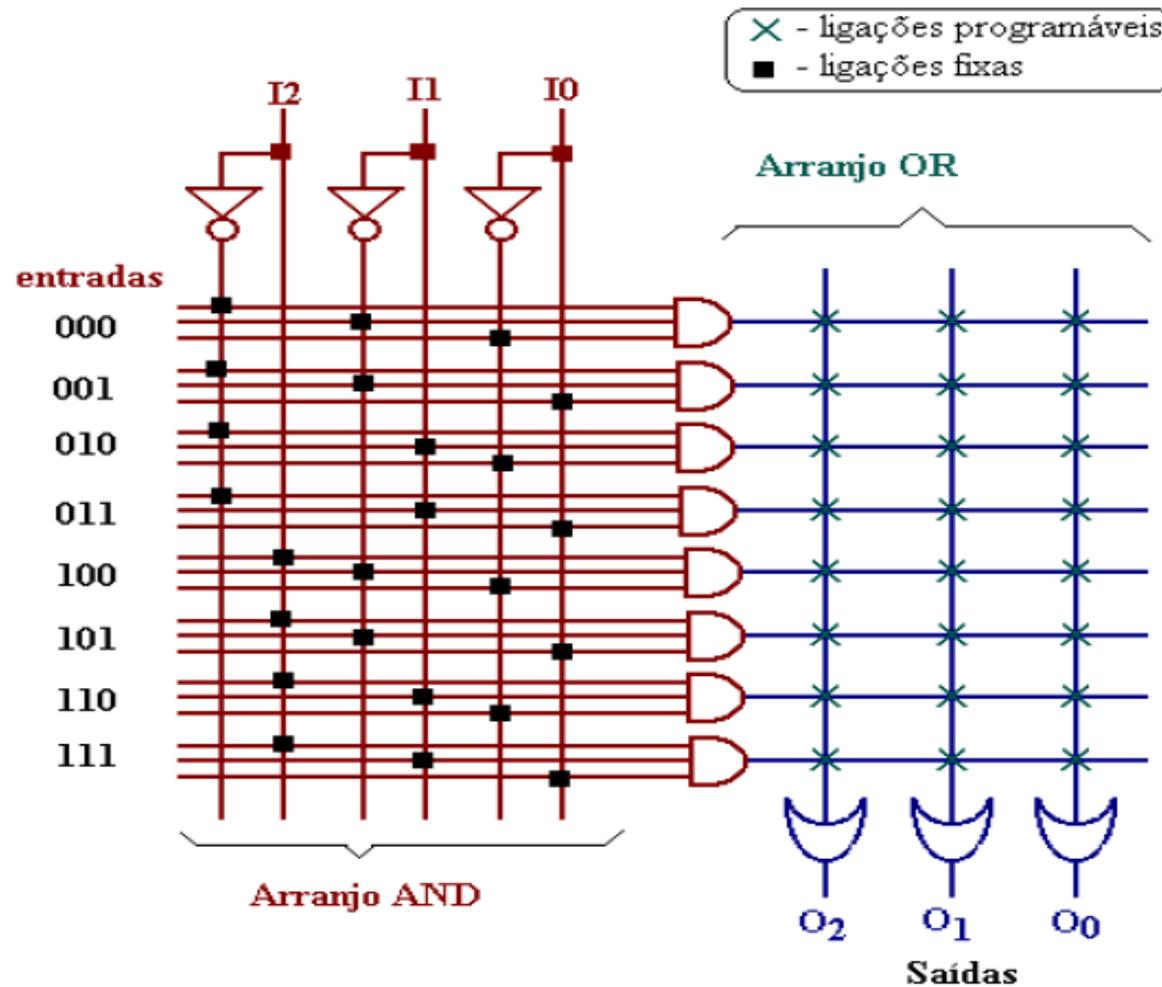
## Arranjos Lógicos Programáveis

- ▶ Um arranjo lógico programável consiste de um circuito que possui uma estrutura interna baseada em um conjunto de portas *AND-OR* (o conjunto de portas *AND* e *OR* são chamados de arranjos).
- ▶ Sua estrutura é baseada em EPROM (ROM Programável)

# Arranjos Lógicos Programáveis

- As entradas desse circuito são ligadas às entradas das portas *AND* e as saídas das portas *AND* são ligadas às entradas das portas *OR* e suas saídas representam as saídas do circuito

# Arranjos Lógicos Programáveis

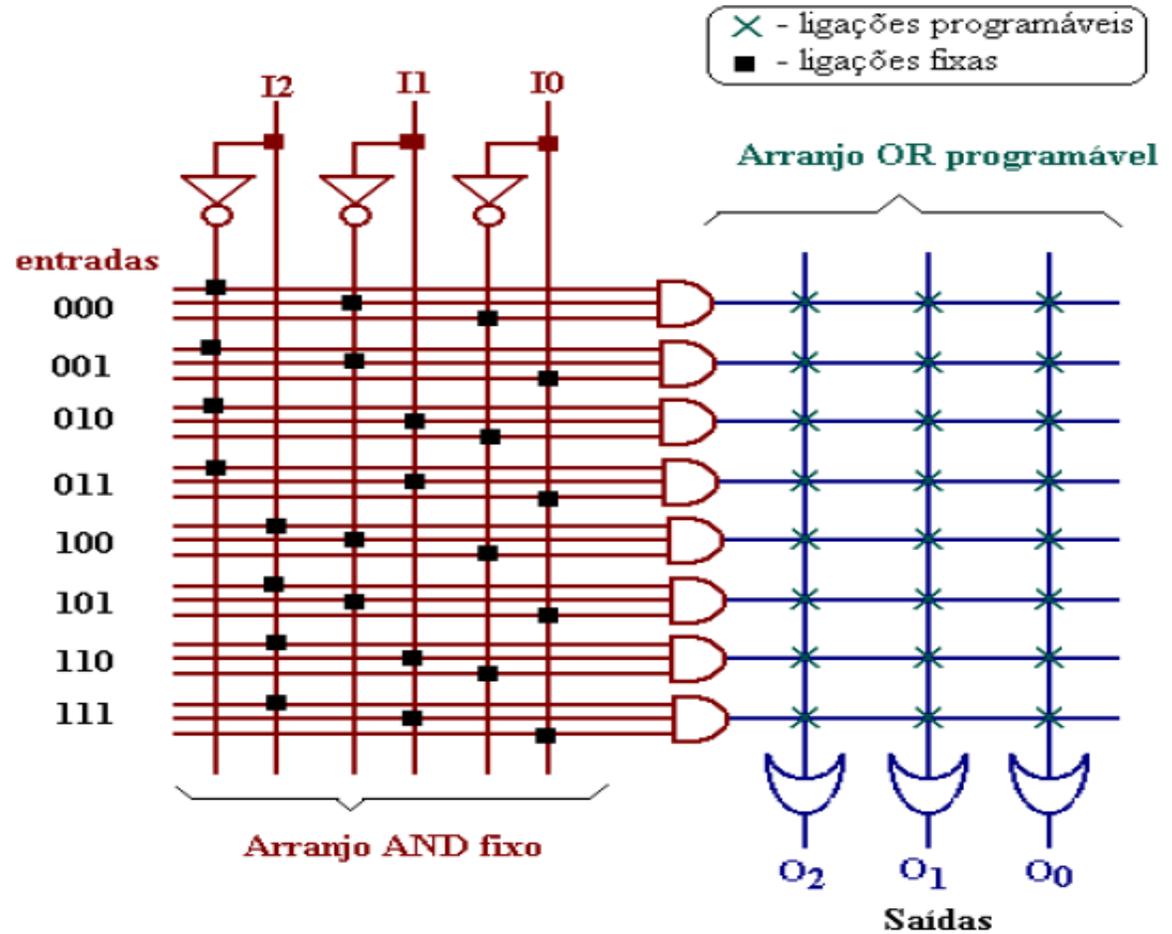


## Memória *PROM* (*Programmable ROM*)

- ▶ A memória *ROM* programável (*PROM*) é uma memória apenas de leitura que pode ser gravada uma vez pelo usuário através da queima dos fusíveis internos. Na memória *PROM* o arranjo *AND* é pré-definido em fábrica (arranjo fixo) e somente o arranjo *OR* é programável.

# Memória *PROM* (*Programmable ROM*)

Na memória *PROM* o arranjo *AND* é pré-definido em fábrica (arranjo fixo) e somente o arranjo *OR* é programável.

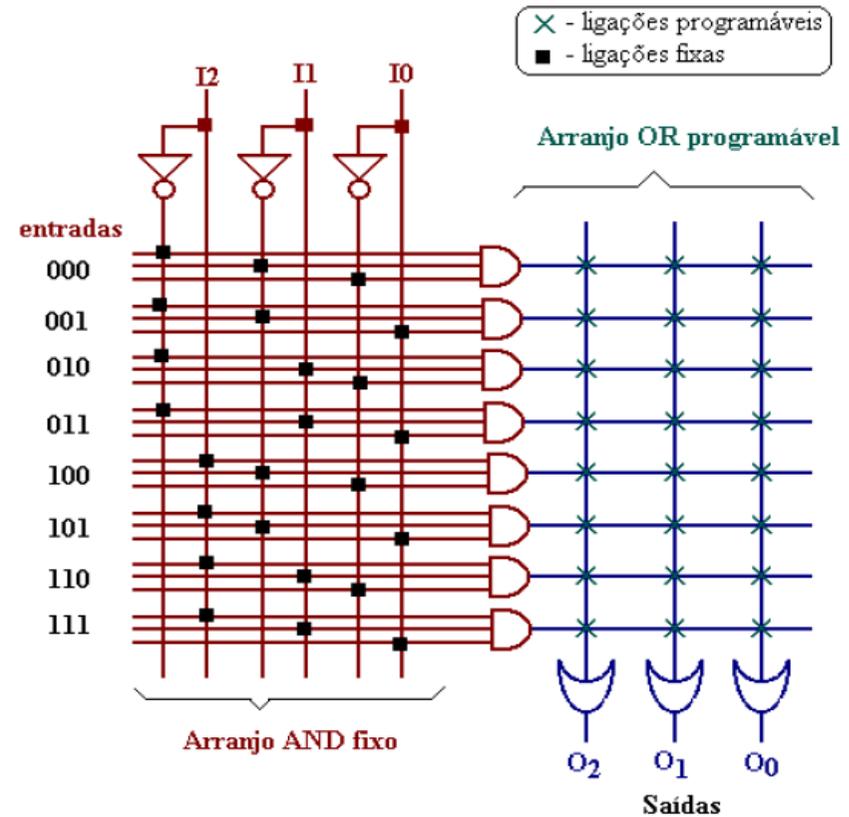
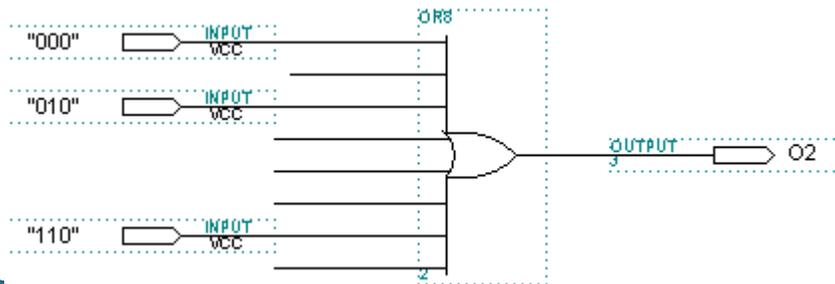


# Memória *PROM* (*Programmable ROM*)

## Funções programadas

Entrada				Saída		
I2	I1	I0	O2	O1	O0	
0	0	0	1	0	0	
0	0	1	0	1	1	
0	1	0	1	0	0	
0	1	1	0	0	1	
1	0	0	0	0	1	
1	0	1	0	0	0	
1	1	0	1	1	0	
1	1	1	0	0	0	

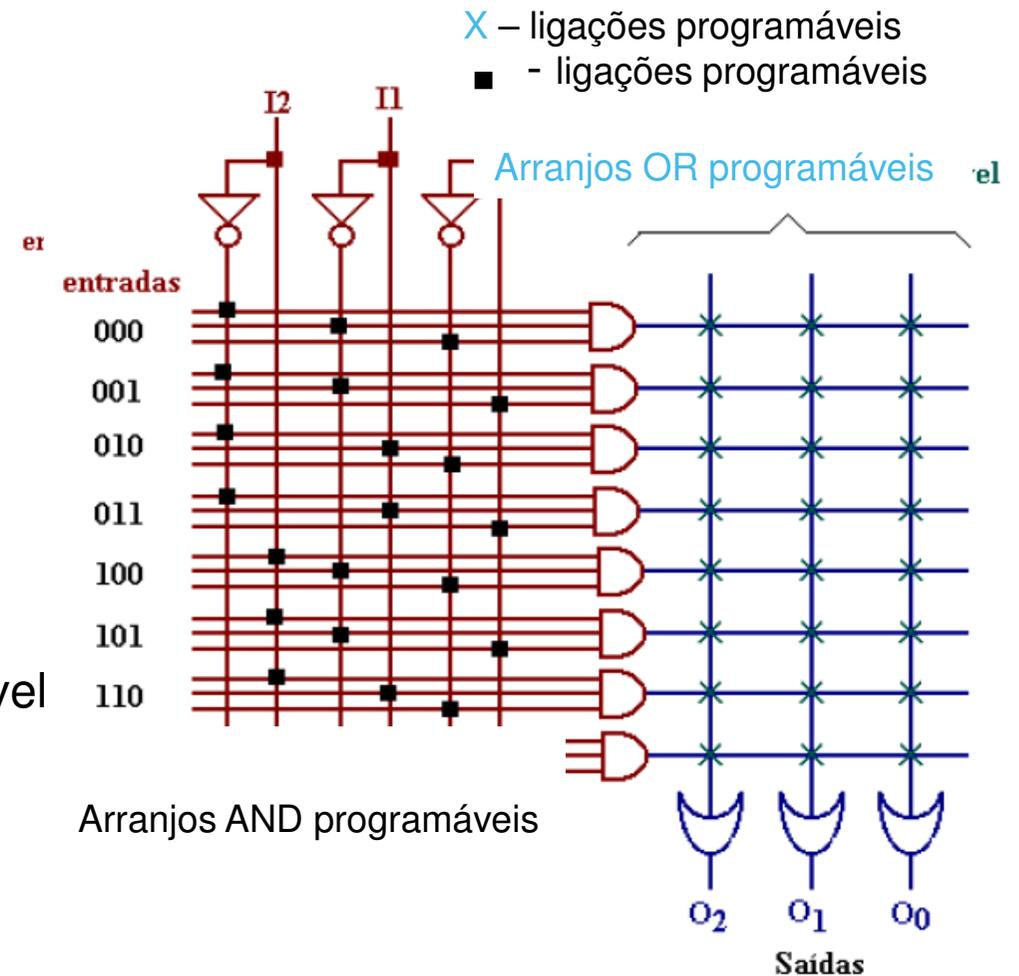
## Programação da saída O2



# PLA – Matriz Programáveis Logicamente (Programmable Logic Arrays)

- ▶ Um *PLA* possui tanto a matriz de portas *AND* quanto a matriz de portas *OR* programáveis combinando as características de uma *PROM* e de um *PAL*

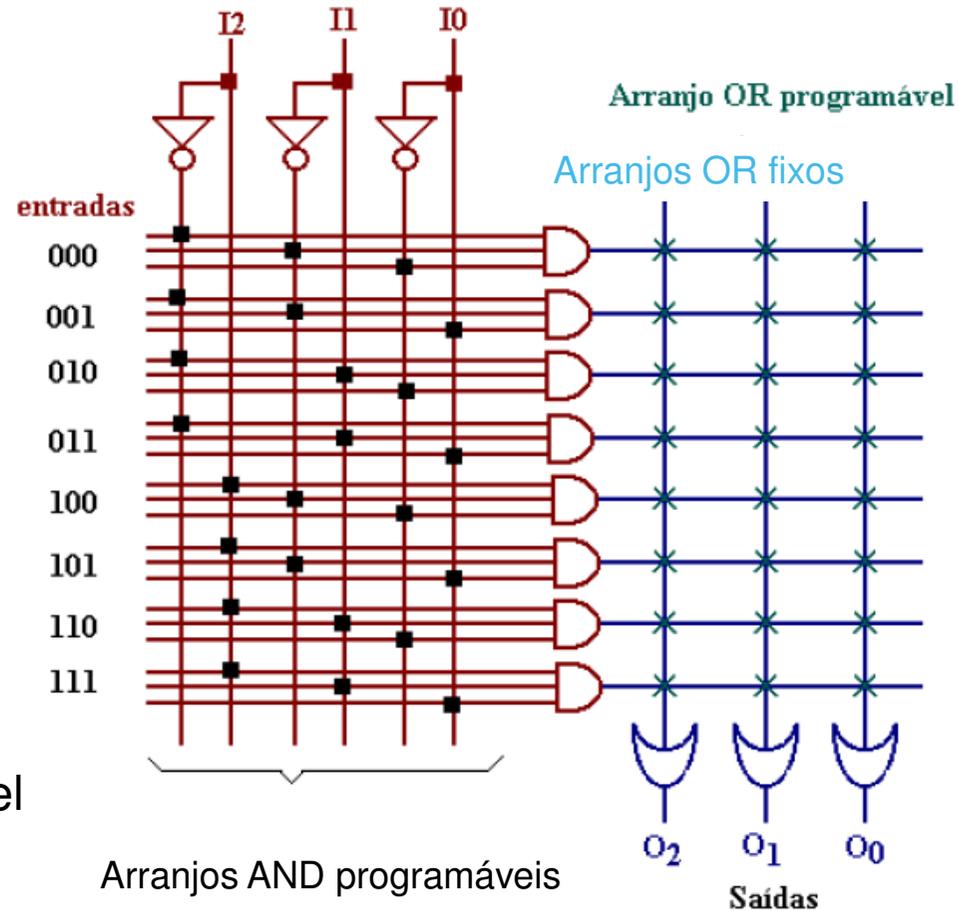
✓ O elemento programável é um fusível



# PAL – Matriz Lógica Programável (Programmable Array Logic:)

- ▶ O PAL tem as portas *AND* programáveis, ou seja, enquanto as portas *OR* são pré-conectadas em fábrica, então todas as portas *AND* podem ser programadas.

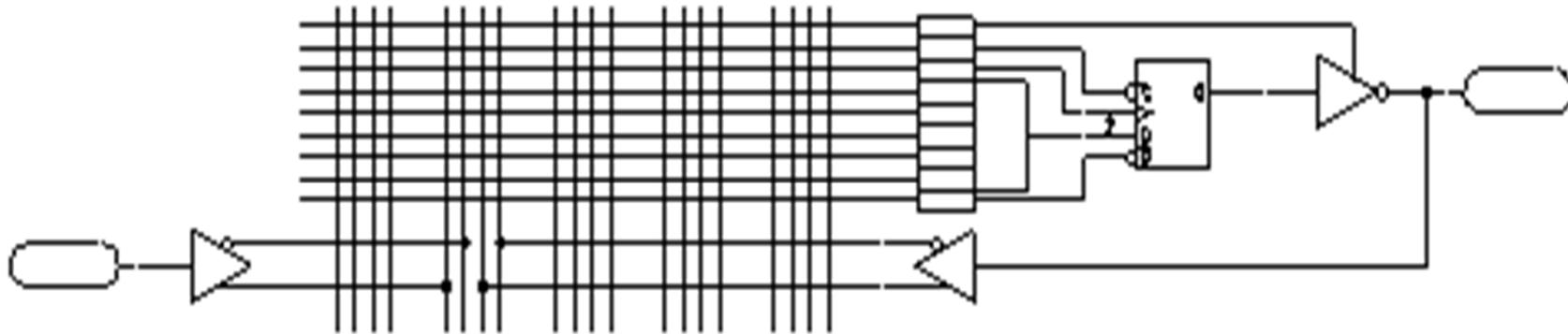
X – ligações fixas  
■ - ligações programáveis



✓ O elemento programável é um fusível

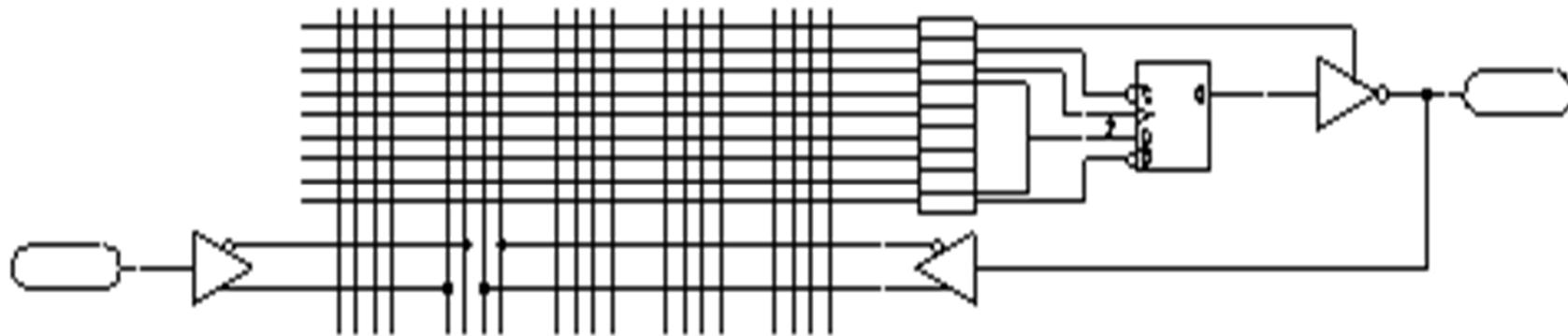
# PAL Sequencial

- ✓ Apresenta Flip-flop nas saídas
- ✓ O elemento programável é um fusível



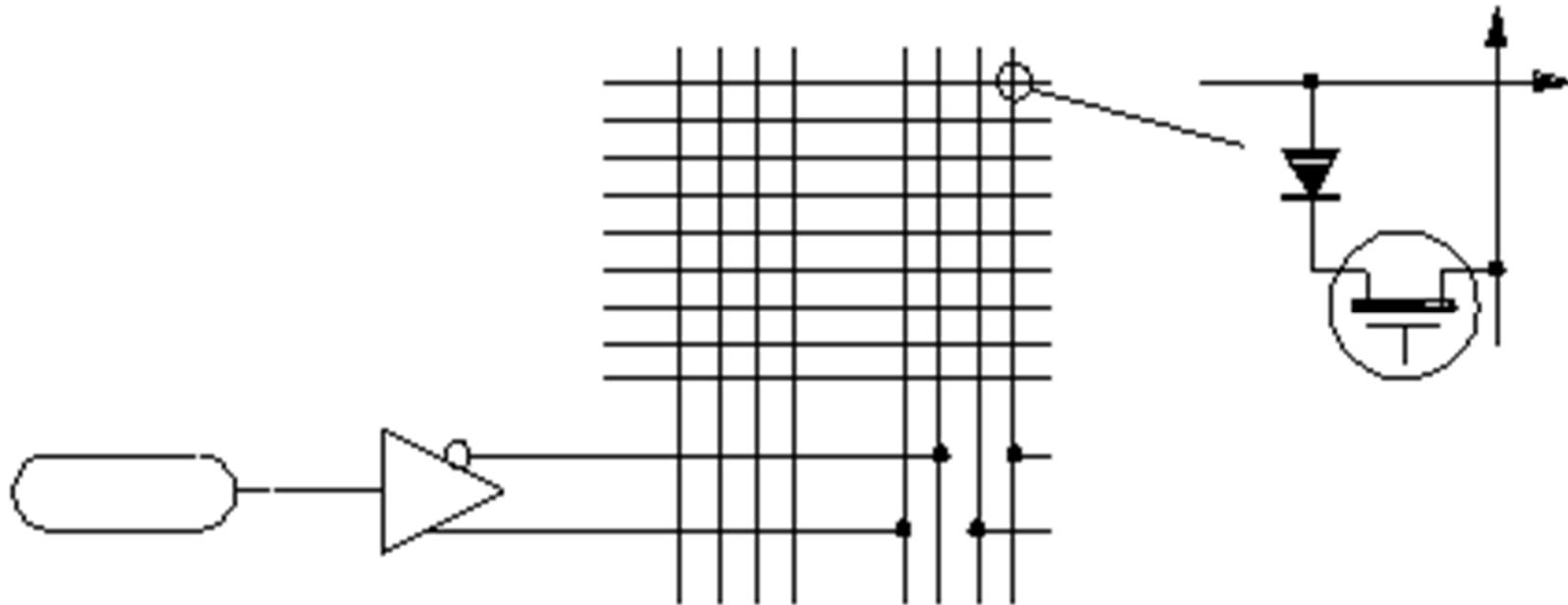
# GAL : Arranjo Lógico Genérico

- ✓ Apresenta Flip-flop nas saídas
- ✓ O elemento programável com MOSFET de Porta Flutuante

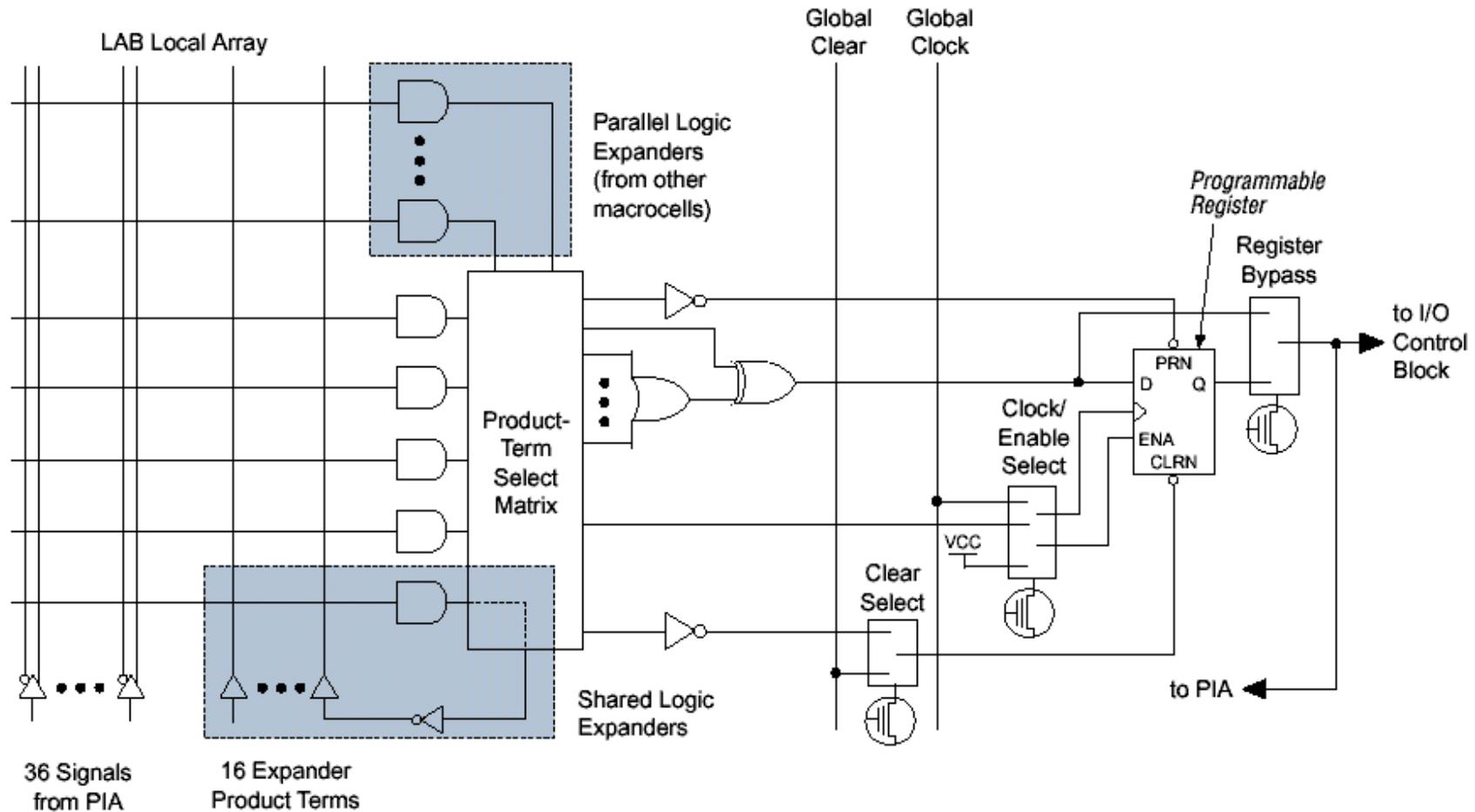


# EPLD : Dispositivos Lógicos Programáveis Apagáveis

- ✓ Elemento Programável com MOSFET de Porta Flutuante



# EPLD: Célula Lógica



# Programação do SPLDs

- ▶ Existem diversos tipos de linguagem para programação de SPLDs, mas a mais utilizada é a sintaxe CUPL (linguagem JAM utilizada pela Altera).

# Programação do SPLDs: Sintaxe CUPL

elaboração do arquivo texto pode ser dividida em três partes:

- ✓ Cabeçalho;
- ✓ declarações de pinos de entradas e saídas
- ✓ descrição lógica.

# Programação do SPLDs:

## Regras da Sintaxe CUPL

- ▶ Todo comando é encerrado por um ponto-e-vírgula.
- ▶ Comentários são delimitados por /\* e \*/ como na linguagem C.
- ▶ Não é feita distinção entre letras maiúsculas e minúsculas para palavras-chave. No entanto, esta distinção é relevante para os nomes de variáveis e campos.
- ▶ Os comandos são geralmente iniciados por uma palavra-chave.
- ▶ Não deve ser utilizado acento nem nas variáveis nem nos comentários.

# Programação do SPLDs: Regras da Sintaxe CUPL

descrição combinacional: Operadores lógicos

<b>&amp;</b>	E lógico
<b>!</b>	NÃO lógico
<b>#</b>	OU lógico
<b>\$</b>	OU-exclusivo

# Programação do SPLDs: Regras da Sintaxe CUPL

descrição sequencial: Comandos Ex:

- ▶ SEQUENCE;
- ▶ PRESENT statel comando1;
- ▶ PRESENT staten comandon;}
- ▶ NEXT statex;
- ▶ ou condicionais usando-se a sintaxe:
- ▶ IF expr1 NEXT statel;

# Programação do SPLDs:

## Exemplo de programação CUPL

- ▶ Cabeçalho:
- ▶ Name Gates;
- ▶ Partno CA0001;
- ▶ Revision 04;
- ▶ Date 9/12/89;
- ▶ Designer G. Woolhiser;
- ▶ Company Logical Devices, Inc.;
- ▶ Location None;
- ▶ Assembly None;
- ▶ Device g16v8a;

# Programação do SPLDs:

## Exemplo de programação CUPL

### ▶ Declaração dos pinos de entradas e saídas:

- ▶ `/*entradas*/`
- ▶ Pin 1 = a;
- ▶ Pin 2 = b;
- ▶ `/* saídas */`
- ▶ Pin 12 = inva;
- ▶ Pin 13 = invb;
- ▶ Pin 14 = and;
- ▶ Pin 15 = nand;
- ▶ Pin 16 = or;
- ▶ Pin 17 = nor;
- ▶ Pin 18 = xor;
- ▶ Pin 19 = xnor;

# Programação do SPLDs:

## Exemplo de programação CUPL

### ▶ Declaração das expressões:

- ▶ `inva = !a; /* inverters */`
- ▶ `invb = !b;`
- ▶ `and = a & b; /* and gate */`
- ▶ `nand = !(a & b); /* nand gate */`
- ▶ `or = a # b; /* or gate */`
- ▶ `nor = !(a # b); /* nor gate */`
- ▶ `xor = a $ b; /* exclusive or gate */`
- ▶ `xnor = !(a $ b); /* exclusive nor gate */`
- ▶

# Arranjos de Portas Programáveis

- ▶ Os arranjos de portas programáveis são estruturas mais genéricas e versáteis que as baseadas na estrutura tradicional *AND-OR* dos arranjos lógicos programáveis.

# Arranjos de Portas Programáveis

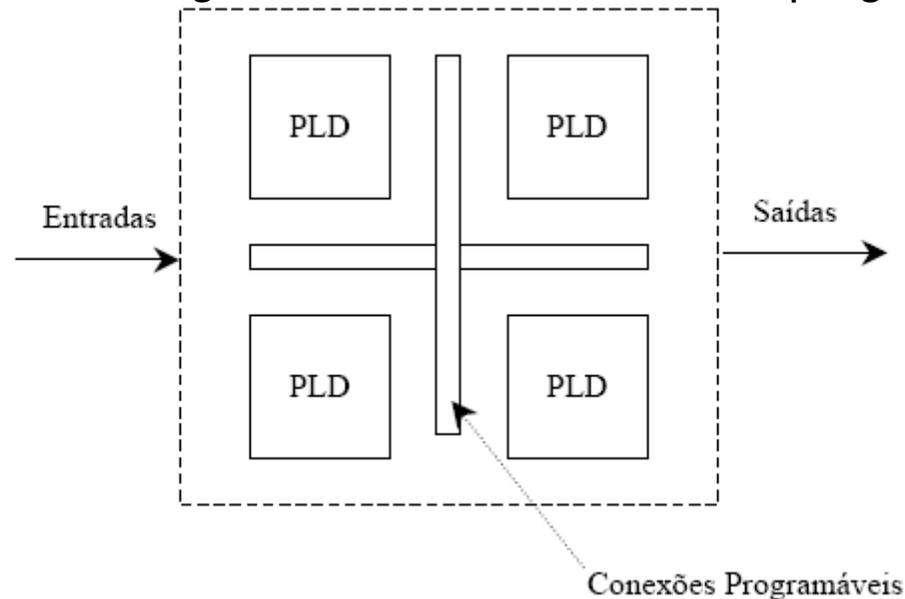
- ▶ A principal vantagem deste tipo de circuito é a possibilidade de reprogramação do comportamento de um circuito quantas vezes for necessária, ao contrário dos arranjos lógicos programáveis que só podem ser programados uma vez, ou seja, definida sua função lógica ela não poderá ser mudada.

## *CPLD – Complex PLD*

- ▶ Os *CPLDs* podem ser vistos como dispositivos que utilizam em sua estrutura vários *PLD's* (*PLA ou PAL*). Cada *PLA* ou *PAL* formam células que são interligadas através de conexões programáveis,

# CPLD - Complex PLD

Os CPLDs podem ser vistos como dispositivos que utilizam em sua estrutura vários PLD's (PLA ou PAL). Cada PLA ou PAL formam células que são interligadas através de conexões programáveis

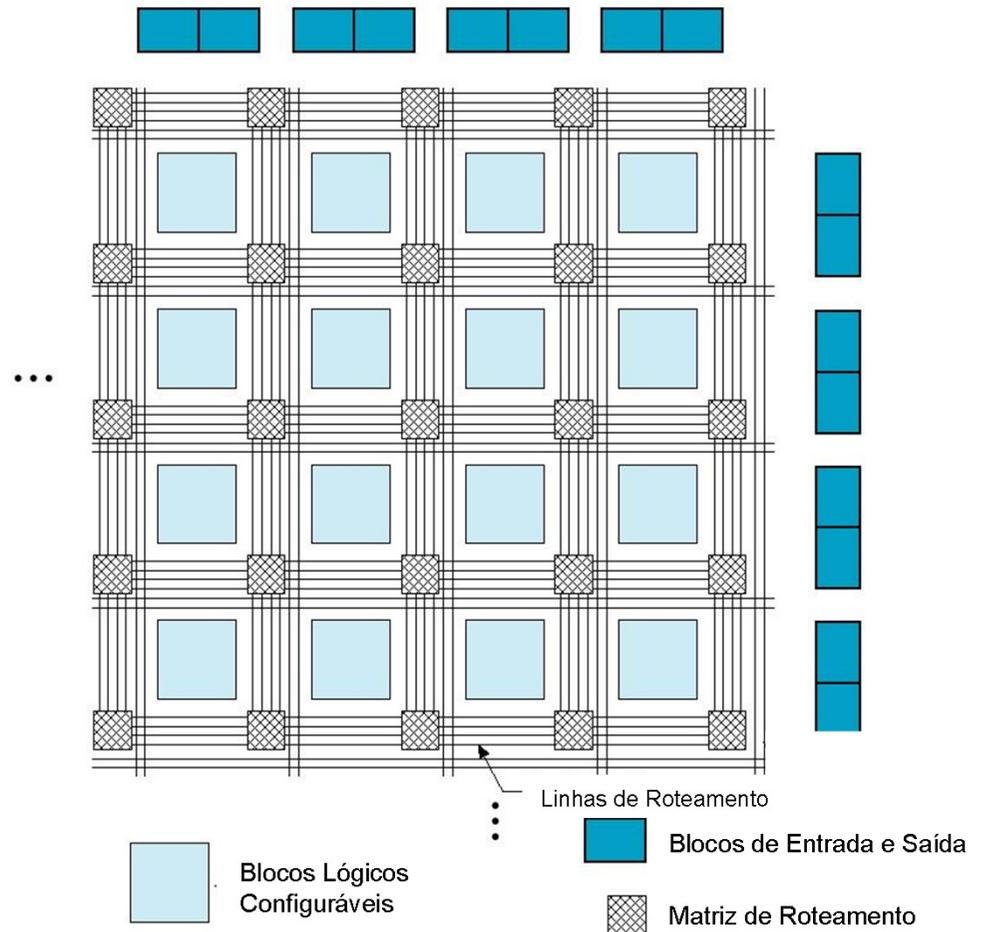


# *FPGA– Field Programmable Gate Array*

- ▶ É um dispositivo lógico programável que possui uma arquitetura baseada em blocos lógicos configuráveis, chamados de *CLB* (*Configuration Logical Blocks*) que são formados por portas lógicas e *flip-flops* que implementam funções lógicas. O *FPGA* também é formado por estruturas chamadas de blocos de entrada e saída (*IOB – In/Out Blocks*), os quais são responsáveis pelo interfaceamento entre as saídas provenientes das combinações de *CLBs*

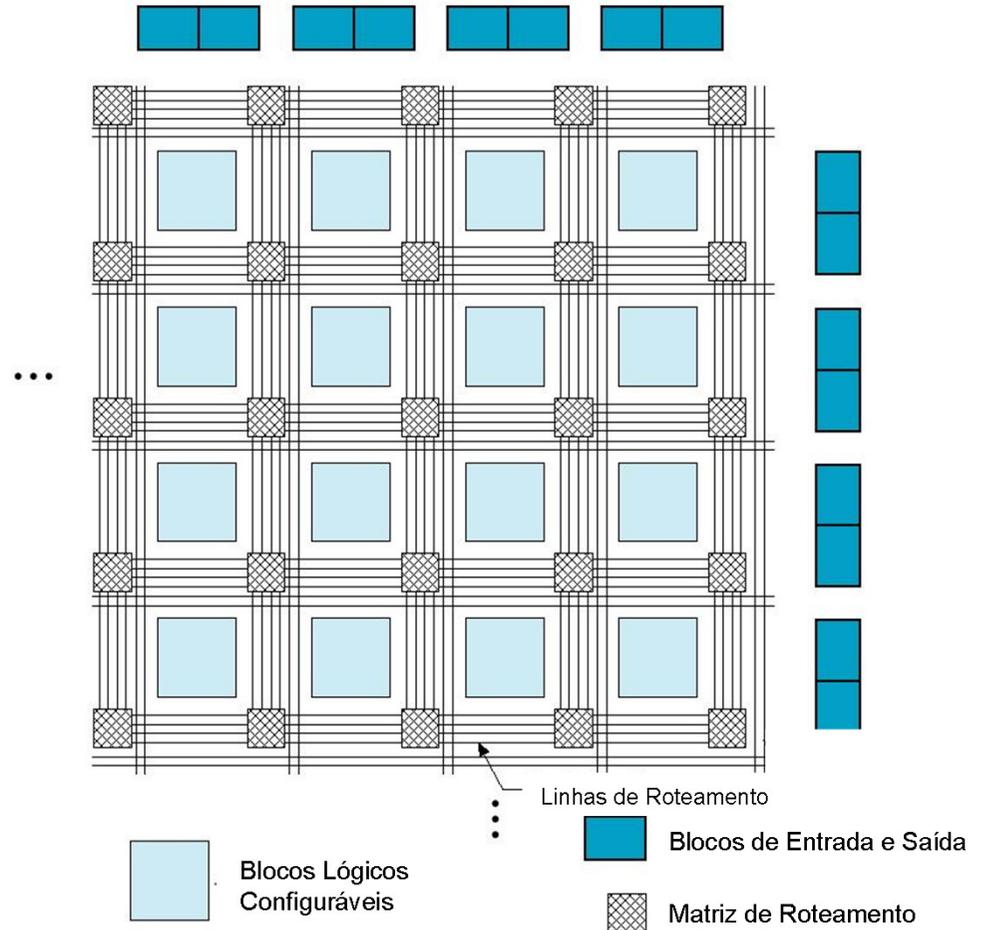
# FPGA- Field Programmable Gate Array

É um dispositivo lógico programável que possui uma arquitetura baseada em blocos lógicos configuráveis, chamados de *CLB* (*Configuration Logical Blocks*) que são formados por portas lógicas e *flip-flops* que implementam funções lógicas.



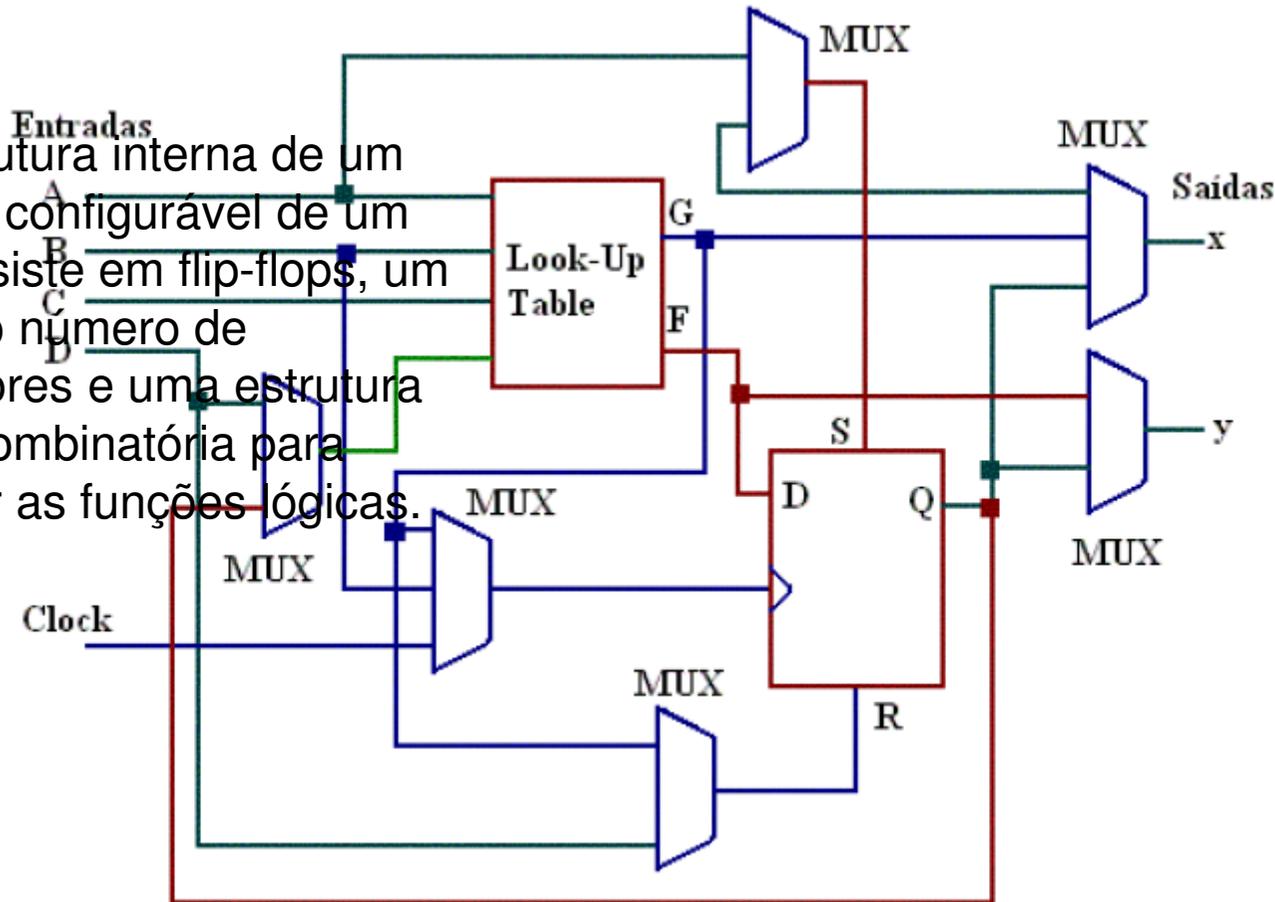
# FPGA- Field Programmable Gate Array

O *FPGA* também é formado por estruturas chamadas de blocos de entrada e saída (*IOB – In/Out Blocks*), os quais são responsáveis pelo interfaceamento entre as saídas provenientes das combinações de *CLBs*

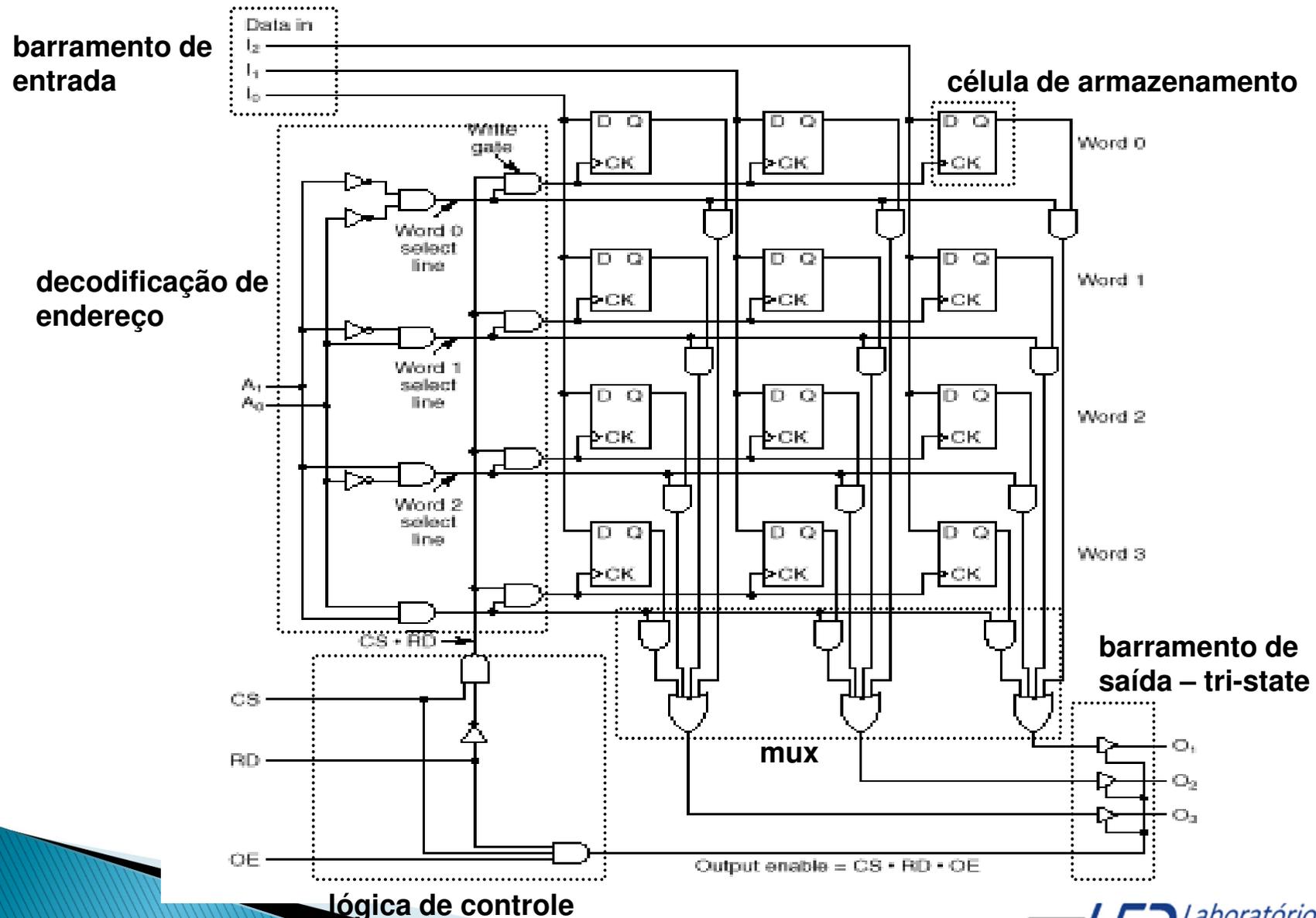


# FPGA- Field Programmable Gate Array

A típica estrutura interna de um bloco lógico configurável de um *FPGA*, consiste em flip-flops, um determinado número de multiplexadores e uma estrutura de função combinatória para implementar as funções lógicas.



# Memória SRAM - Diagrama interno



## *Memória DRAM - RAM dinâmica*

- ▶ É um tipo de memória volátil onde cada bit de dados é armazenado em um minúsculo capacitor, que conserva sua carga por apenas alguns milésimos de segundo, precisando ser continuamente recarregado.