

Departamento de Engenharia Elétrica e de Computação
SEL 0415 – INTROD. À ORGANIZAÇÃO DE COMPUTADORES

7a. LISTA DE EXERCÍCIOS

Interfaces para Leds e Chaves, Memórias e Lógica de Seleção
Aulas 2, Aula 3, Aula4 e Aula5

1 . *EXERCÍCIO SOBRE INTERFACE PARA LEDS E CHAVES: (AULA TRI-STATE)*

1.1. Usando chips 74LS373 como interface, faça a interligação de um conjunto de 4 leds e 4 chaves a um microprocessador de 8 bits, sabendo-se que as chaves estão posicionadas a partir do bit D2 do duto de dados (D5, D4, D3 e D2) e que os leds estão posicionados a partir do bit D0 do duto de dados.

1.2. Considere o exercício 1.2, com o mesmo hardware, exceto que agora tem-se um conjunto de 6 chaves posicionadas a partir de D2 e 4 leds a partir de D0.

2. *EXERCÍCIOS SOBRE MEMÓRIAS.*

2.1. Num projeto com microprocessador, memórias do tipo EPROM são necessárias? Justifique.

2.2. Considere a mesma questão 2.1 para memórias do tipo RAM.

2.3. Determine a faixa de endereço de cada chip de memória e dispositivos de I/O, para o espaço de endereçamento de um microprocessador mostrado na Figura 2.1.

Faça, a seguir, a lógica de seleção para a seleção desses dispositivos, de acordo com o mapa da Figura 2.1. Utilize na lógica, decodificadores 7442 e 74154.

2.4. Quantas memórias de 512 x 8 são necessárias para preencher o espaço de endereçamento de um microprocessador com duto de dados de 8 bits, duto de endereço de 16 bits e duto de controle de 12 bits?

2.5. Qual a organização de uma memória com duto de dados de 4 bits, 11 linhas de endereço e 3 sinais de controle ?

2.6. O que é tempo de acesso para uma memória semicondutora?

2.7. Que tipo de problemas podem ser encontrados relativos ao tempo de acesso quando se interligam memórias com microprocessador? Quais sinais de controle do microprocessador estão envolvidos? Quais as possíveis soluções?

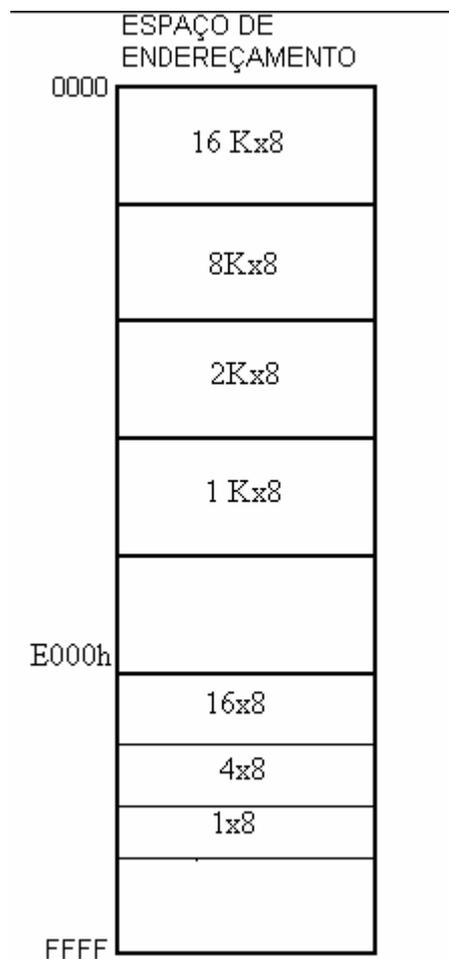


Figura 2.1

3. EXERCÍCIOS SOBRE LÓGICA DE SELEÇÃO.

3.1. Para os circuitos das figuras 3.1 A e 3.1 B:

- a) Determine a faixa de endereço associada a cada decodificador.
- b) Determine qual é a organização de memória que pode ser conectada diretamente nas saídas de cada decodificador.
- c) A faixa de endereço da saída Y2 de cada decodificador.

3.2. Para os circuitos de seleção dados nas figuras 3.1 A e 3.1 B determine:

- a) A faixa de endereço associada a cada decodificador.
- b) Determine qual organização de memória que pode ser conectada diretamente nas saídas de cada decodificador.
- c) A faixa de endereço das saídas CSi especificadas (inclusive endereços fantasma, ou espelho, onde houver).

3.3. Qual o problema de se conectar nas saídas do decodificador uma organização de memória maior do que a permitida pelo decodificador? E para organização de memória menor?

Faça este tipo de análise para o circuito da Figura 3.1A A, 2º decodificador, conectando-se uma memória de 2K x 8 na saída Y3. Em seguida, faça o mesmo tipo de análise para memória de 512 x 8.

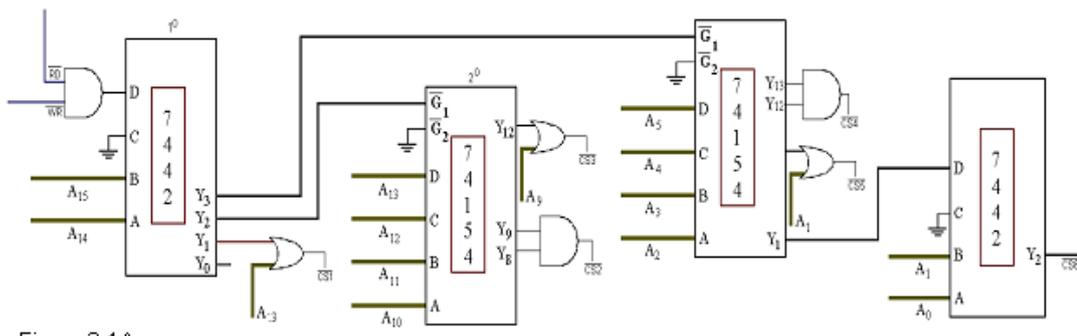


Figura 3.1A

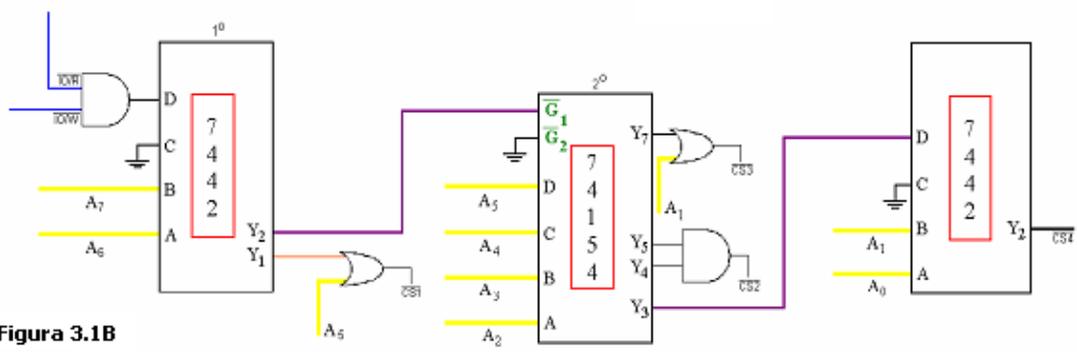


Figura 3.1B