

PEA2503 Laboratório de Qualidade de Energia

Dispositivo Restaurador Dinâmico de Tensão (Dynamic Voltage Restorer – DVR)

Prof. Lourenço Matakas Jr

Versão 05/Nov/2018 (editado pelo prof. Wilson Komatsu)

1. Objetivos

- Aprender a estratégia de correção de afundamentos (*sags*) e elevações (*swells*) de tensão, utilizando conversor estático para a injeção de tensão em série com a carga;
- Aprender uma técnica de sincronização com a rede de corrente alternada, usando um circuito de PLL (*Phase Locked Loop*);
- Verificar a operação dos subsistemas e do restaurador de tensão completo, incluindo a influência dos parâmetros através de simulações utilizando o PSIMCAD;

2. *Sags* (afundamentos de tensão) e *Swells* (elevações de tensão)

Afundamentos ocorrem durante curto-circuito em redes, terminando com o desligamento do disjuntor do ramal onde ocorreu a falta. A profundidade de afundamento é tanto maior quanto mais próximo estivermos do ponto de falta. Ligação de grandes motores também podem acarretar afundamentos.

3. DVR – Princípio de Funcionamento

Um restaurador de tensão mantém a tensão na carga durante o afundamento no valor pré-falta. É importante que sua atuação seja rápida, da ordem de milisegundos, sem causar saltos de fase na carga. Para isso deve-se medir a tensão na rede e calcular em tempo real qual a tensão que deve ser adicionada à rede (*vdvr_ref*) para que a tensão na carga não seja afetada. O diagrama de blocos simplificado é mostrado na figura 1 e as formas de onda correspondentes na figura 2.

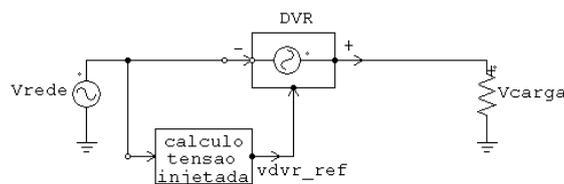


Figura 1: Diagrama de blocos simplificado do DVR.

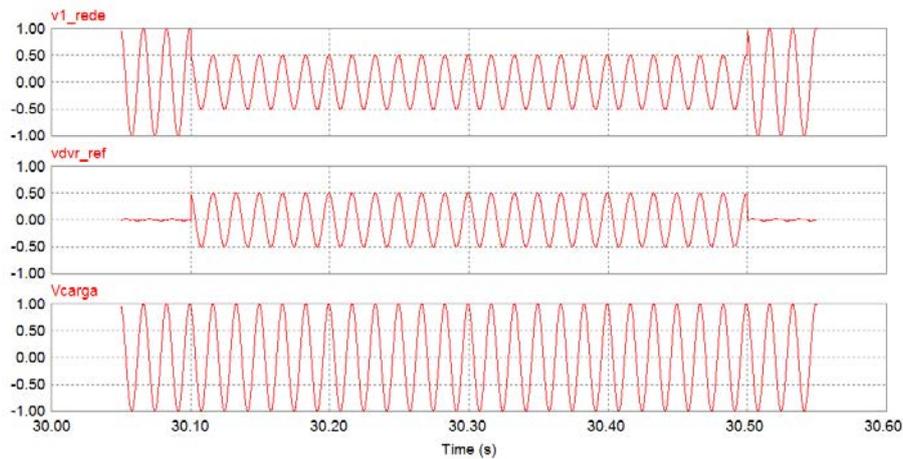


Figura 2: Formas de onda da tensão na rede (V_{rede}), tensão injetada pelo DVR (V_{dvr_ref}) e tensão na carga (V_{carga}) durante a ocorrência de afundamento.

Para se conseguir obter o sinal $vdvr_ref$, deve-se estimar a tensão de rede pré-falta em tempo real. A fase se obtém através de um dispositivo PLL (*phase locked loop*) que fornece em sua saída um sinal de amplitude unitária (V_{pll}) em fase com o componente fundamental da tensão na rede. Se o PLL for suficientemente lento, V_{pll} permanecerá em fase com a tensão na rede antes da falta, durante a ocorrência do sag/swell.

A figura 3 ilustra o diagrama de blocos de uma das possíveis implementações de um PLL monofásico.

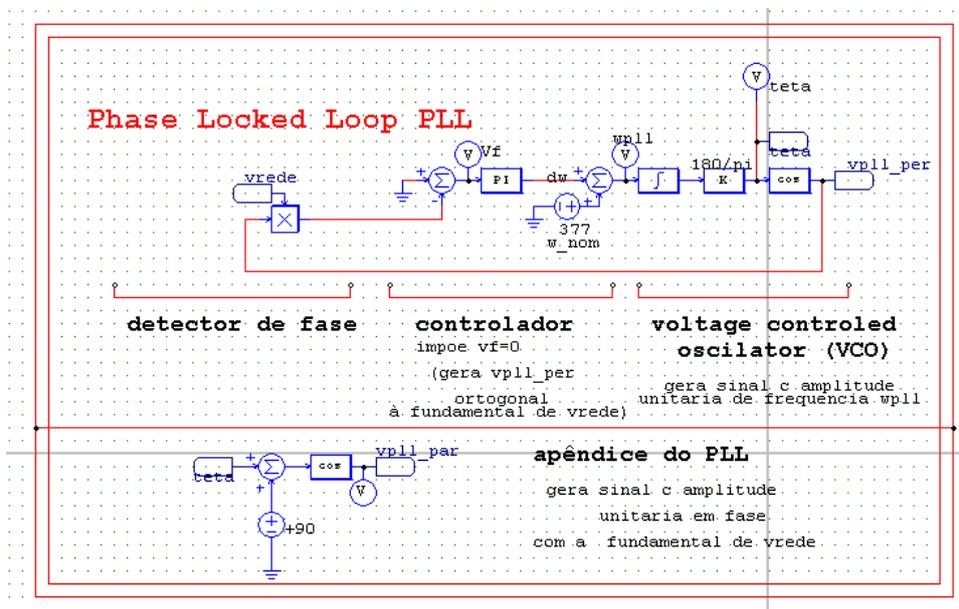


Figura 3: Diagrama de blocos do PLL empregado.

A tensão na rede é multiplicada pelo sinal V_{pll_per} obtido na saída do oscilador controlado por tensão (VCO – *voltage controlled oscillator*), gerando o sinal vf , cujo valor médio está relacionado com a defasagem entre os dois sinais, caracterizando o bloco detector de fase. Se $vf=0$ os dois sinais estarão em quadratura (justificando a terminação $_per$, de perpendicular). O controlador PI fornecerá o sinal dw (desvio de frequência),

que somado à frequência nominal ($w_{nom}=377$ rad/seg para redes de 60Hz) resulta na frequência w_{pll} do sinal de saída V_{pll_per} , que impõe $v_f=0$, mantendo V_{pll_per} em sincronismo e em quadratura com a componente fundamental de V_{rede} . Nota-se um bloco adicional que adianta V_{pll_per} de 90 graus, gerando o sinal V_{pll_par} , em fase com a fundamental de V_{rede} .

Para a obtenção do sinal de referência do DVR usa-se o bloco mostrado na figura 4.

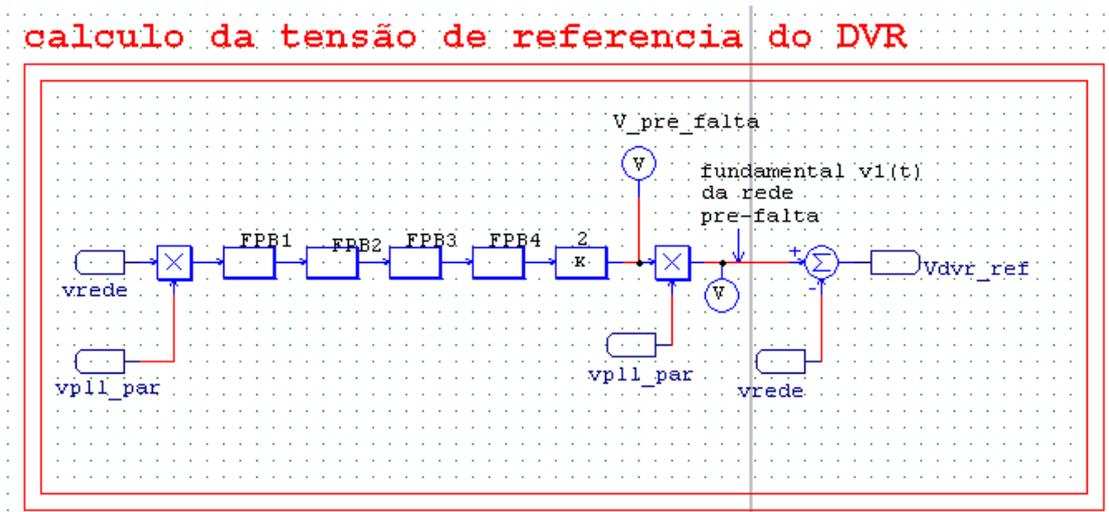


Figura 4: Diagrama de blocos do calculador do sinal de referência do DVR (V_{dvr_ref}).

O valor médio do produto V_{rede} por V_{pll_par} , multiplicado por 2 corresponde à amplitude do componente fundamental de V_{rede} , de acordo com as equações das integrais de Fourier. Quatro filtros passa baixas de primeira ordem têm dupla função de calcular o valor médio do produto " $V_{rede} * V_{pll_par}$ " e de atrasa-lo por mais de 0.5 s, fornecendo o valor da amplitude da fundamental de V_{rede} antes da falta, durante o intervalo de ocorrência do distúrbio. Conseguem-se o sinal em fase com a tensão de rede pré-falta " $v_1(t)$ " multiplicando-se a amplitude pré-falta " V_{pre_falta} " por " V_{pll_par} ". A tensão de referência do DVR (V_{dvr_ref}) é obtida subtraindo-se $v_1(t)$ de V_{rede} . Esta tensão é injetada à rede via um inversor ligado em série com a rede e a carga (Figura 1).

4. Atividades

4.1 Funcionamento do PLL

- 4.1.1 Rode o arquivo **pll.psimsch**. Em 3.05s, quando o PLL está sincronizado com a rede aplica-se um salto de fase de 45 graus. Apresente em uma figura três gráficos, o primeiro com os sinais V_{rede} e V_{pll_par} , o segundo com v_f e o terceiro com w_{pll} .
- 4.1.2 Está funcionando como desejado? Justifique.
- 4.1.3 Explique o comportamento dos sinais v_f e w_{pll} . Apresentam EM MÉDIA os valores esperados? Qual o motivo da ondulação em v_f e w_{pll} , e qual é a sua frequência? Ela atrapalha a operação do PLL?
- 4.1.4 Rode o arquivo **pll_harm.psimsch**, onde foi incluída uma quinta harmônica de 0.2pu. Mostre um ciclo de V_{rede} e de v_{pll} (plote um gráfico com as duas curvas)

para um intervalo antes do salto de fase, e outro **bem depois do salto**, quando o PLL atingiu o regime permanente. Pode-se afirmar que este PLL rastreia a fundamental de *Vrede*?

4.2 Funcionamento do atrasador analógico

4.2.1 Rode o arquivo **filtro_atrasador.psimsch** plotando uma figura com dois gráficos: o primeiro com o sinal de entrada *ve*, e o segundo com os sinais *v1* (saída do 1º filtro), *v2* (saída de dois filtros), *v3* (saída de 3 filtros), *v4* (saída de 4 filtros). Notar que o sinal de entrada originalmente em 1pu caiu para 0.8pu em 10s. Explicar o comportamento dos demais. Pode-se dizer que *v4* mantém (memoriza) *ve* por mais de 0.5 s?

4.3 Funcionamento do DVR completo

4.3.1 Rode o arquivo **DVR_1fase.psimsch** plotando três gráficos em uma figura, um com *vrede* e *Vcarga*, outro com *Vdvr* e outro repetindo *Vcarga*. Funcionou como esperado?

4.3.2 Para se verificar o que acontece no caso de tensão de rede distorcida, rode o arquivo **DVR_1fase_harm.psimsch**, mostrando as mesmas curvas do item anterior. O que aconteceu com os harmônicos de tensão na carga antes, durante e depois do *sag*? E com a fundamental da tensão? Apenas para saberem como foi gerada a tensão *Vrede*, apresenta-se na figura 5 o ajuste dos parâmetros no PSIM.

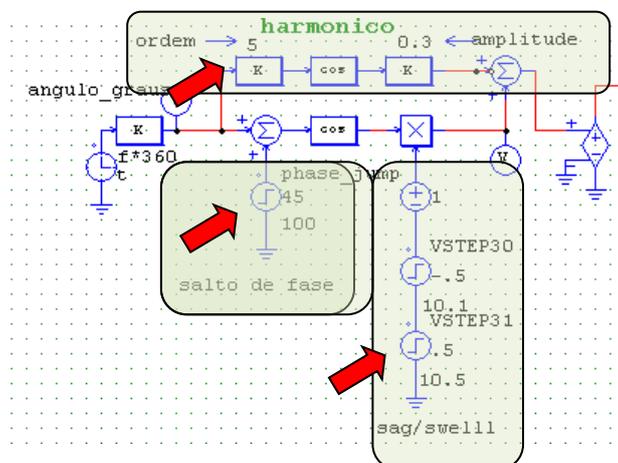


Figura 5: ajuste da ordem e amplitude do harmônico de *vrede* e do *sag*.

4.4 Verificação do comportamento do DVR proposto para afundamento de tensão de longa duração

Quando a rede estiver carregada, a tensão pode ficar com baixa amplitude por longo período, e ainda assim respeitar as normas que estabelecem a faixa de 0,9 a 1,1 pu. Neste caso, que não é um *sag* nem um *swell* (eventos de curta duração), seria interessante que o DVR deixasse de compensar o distúrbio, para evitar o descarregamento ou o carregamento excessivo do banco de capacitores no lado CC do inversor.

- 4.4.1 Rode o arquivo **DVR_rede baixa.psim**sch onde V_{rede} vai a 0.8 pu, permanecendo neste valor.
- 4.4.2 Plotar em uma figura três gráficos, um com V_{rede} , outro com V_{carga} e outro com V_{dvr_ref} .
- 4.4.3 Explicar o comportamento desta estratégia de controle de DVR proposta.
- 4.4.4 Apenas para entender como foi gerado o sinal da rede apresenta-se na figura 5 o ajuste dos parâmetros:

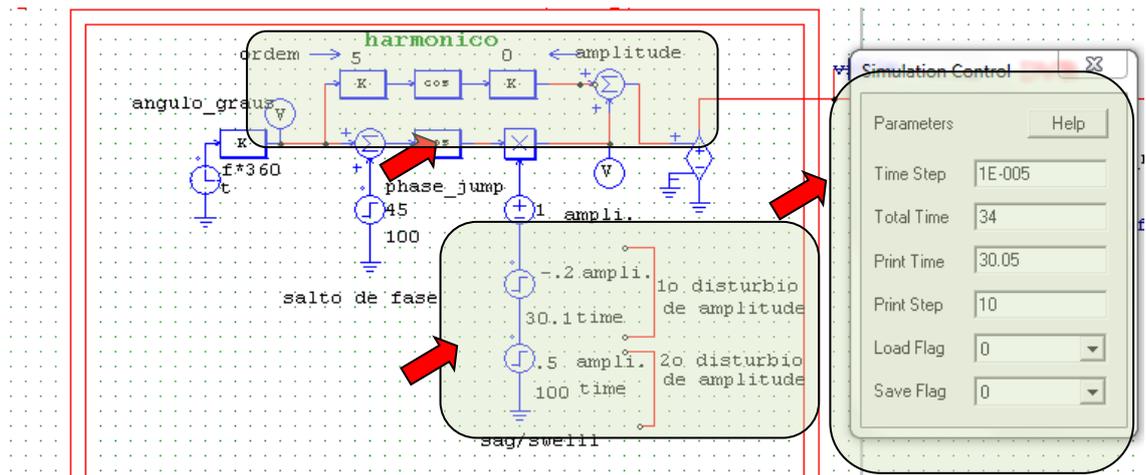


Figura 5: ajuste do afundamento de -0.2 pu ocorrendo em 30.1 s e permanecendo durante todo o tempo de simulação de 34s.

4.5 Questões Gerais

- 4.5.1 Que problemas podem acontecer com as cargas durante a ocorrência de *sags*?
- 4.5.2 Como você pode implementar a fonte de tensão controlada? Mostrar em diagrama de blocos o inversor, o filtro de potência, o trafo de injeção, o capacitor de armazenamento de energia, a fonte para carregar o capacitor e as malhas de controle.