

Departamento de Engenharia Elétrica e de Computação
SEL 384 – Laboratório de Sistemas Digitais I

PRÁTICA Nº08

“Dispositivos de Lógica Programável de Complexo (CPLD- “Complex Programmable Logic Devices”)- Acionamento de LEDS de uma matriz”

1. Objetivos:

- Projeto e síntese de circuitos sequenciais em dispositivo FPGA utilizando o esquemático do Quartus II;
- Aplicação de contadores e decodificadores no controle do acendimento de LEDs de uma matriz
- Verificação da coluna e linha da matriz em displays

2. Material utilizado:

- Configuração de Dispositivo Programável de Alta Complexidade HCPLD do tipo FPGA Cyclone IV da Altera
- Módulo de desenvolvimento Mercúrio IV – Macnica DWH
- Multímetro

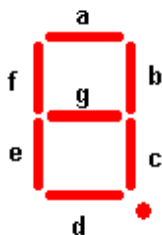
3. Procedimento Experimental:

3.1 Utilizando o software QUARTUSII v.12.0SP2, escolha o dispositivo HCPLD Cyclone IV EP4CE30F23C7 e modifique o projeto da prática Nº7 de tal forma que o circuito acenda um LED por vez, sequencialmente a cada 5Hz em cada linha da 1ª coluna (LEDM_C[0]), acendendo o LED da 1ª linha LEDM_R[0]) a 8ª linha(LEDM_R[7]), e faça a varredura até a última coluna (LEDM_C[4].

As 5 colunas são nomeadas como LEDM_C[0] até LEDM_C[4], as 8 linhas como LEDM_R[0] a LEDM_R[7]. Ambas, linhas e colunas, são selecionadas com o nível '0'. O clock interno de 50MHz é nomeado como CLOCK_50MHz.

Sugestão: use o projeto lpm_counter e o decodificador 74138.

3.2 Utilize o decodificador para display, BCD para 7 segmentos, 7448 para mostrar nos displays de 7 segmentos DISP1(display da esquerda) e DISP0(display da direita), respectivamente, o número da coluna e da linha a qual o LED que está aceso pertence. Os segmentos do display acendem com nível'1'. A correspondência entre os nomes dos pinos e os segmentos dos displays é mostrada a seguir



segmento	DISP0	DISP1
a	DISP0_D[0]	DISP1_D[0]
b	DISP0_D[1]	DISP1_D[1]
c	DISP0_D[2]	DISP1_D[2]
d	DISP0_D[3]	DISP1_D[3]
e	DISP0_D[4]	DISP1_D[4]
f	DISP0_D[5]	DISP1_D[5]
g	DISP0_D[6]	DISP1_D[6]
Pto. decimal	DISP0_D[7]	DISP1_D[7]

3.3 Configure o dispositivo no módulo de desenvolvimento Mercúrio IV e teste os circuitos projetados nos itens anteriores. Para programar a chave 1 do Kit deve estar na posição PROG FPGA e a chave 2 na posição ON. (como mostrado no Guia Rápido Mercúrio IV).

3.4 Mostre o funcionamento do circuito sintetizado no FPGA após a programação.

3.5 Responda: Qual a frequência que deve ser dividido o clock de 50MHz para seja visualizado como se toda a matriz de LEDs estivesse acesa, sabendo-se que o olho humano não identifica frequências acima de 24Hz?

3.6 Como relatório entregue o circuito esquemático documentado e a resposta do item 3.5.

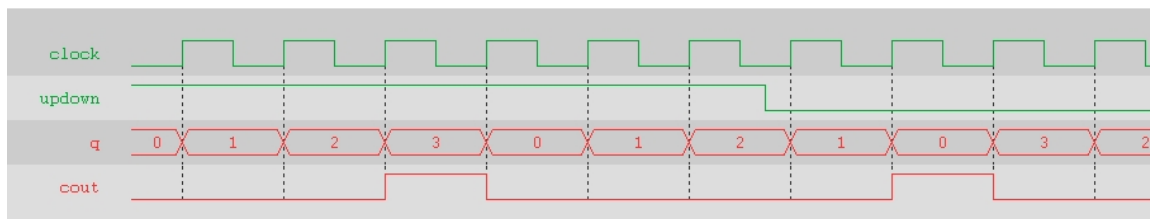
Para criar um arquivo de projeto esquemático no software QuartusII siga os passos do arquivo "Manual QUARTUS" que se encontra no Moodle disciplinas Stoa USP.

INFORMAÇÕES SOBRE O PROJETO LPM_COUNTER:

INPUT PORTS			
Port Name	Required	Description	Comments
clock	Yes	Positive-edge-triggered clock.	
updown	No	Controls the direction of the count. High (1) = count up. Low (0) = count down.	Default = up (1). If the LPM_DIRECTION parameter is used, the updown port cannot be connected. If LPM_DIRECTION is not used, the updown port is optional.
OUTPUT PORTS			
Port Name	Required	Description	Comments
q[]	No	Data output from the counter.	Output port LPM_WIDTH wide. Either q[] or at least one of the eq[15..0] ports must be connected.
cout	No	Carry-out of the MSB.	

Truth Table/Functionality:

Inputs										Outputs	Function
aclr	aset	aload	clk_en	clock	sclr	sset	sload	cnt_en	updown	q[LPM_WIDTH-1..0]	
1	x	x	x	x	x	x	x	x	x	000...	
0	1	x	x	x	x	x	x	x	x	111...	
0	1	x	x	x	x	x	x	x	x	LPM_AVALUE	Asynchronous set to value specified for LPM_AVALUE
0	0	1	x	x	x	x	x	x	x	data[]	Asynchronous load from data[] input
0	0	0	0	x	x	x	x	x	x	q[]	Hold current count value
0	0	0	1	┐	1	x	x	x	x	000...	Synchronous clear
0	0	0	1	┐	0	1	x	x	x	111...	Synchronous set
0	0	0	1	┐	0	1	x	x	x	LPM_SVALUE	Synchronous set to value specified for LPM_SVALUE
0	0	0	1	┐	0	0	0	0	0	q[]	Hold current count value
0	0	0	1	┐	0	0	1	x	x	data[]	Synchronous load from data[] input
0	0	0	1	┐	0	0	0	1	1	q[]+1	Count up
0	0	0	1	┐	0	0	0	1	0	q[]-1	Count down



4. Bibliografia:

- zSite da ALTERA
- Fregni, E. & Saraiva, A.M., “ Engenharia do Projeto Lógico Digital”, Ed. Edgard Blücher Ltda.
- Tocci, J. R. , “Sistemas Digitais- Princípios e Aplicações

