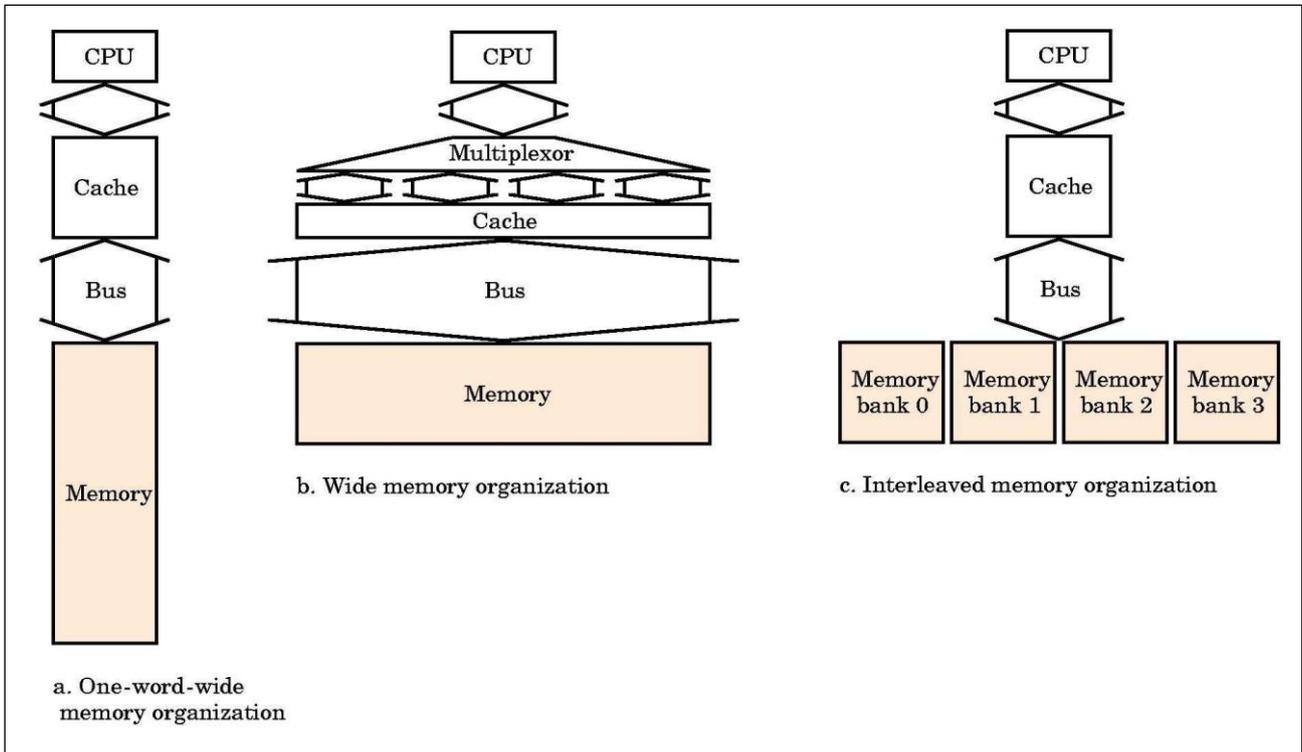


Exercícios Memória Interna:

1. Por que memórias FLASH têm a escrita mais eficiente (mais rápida) que as memórias EEPROM?
2. Um computador vem com 268.435.456 Bytes de memória. Por que o fabricante colocou essa quantidade ao invés de um número mais simples, como por exemplo 250.000.000?
3. Quais são as diferenças entre DRAM e SRAM em termos de aplicação?
4. Quais são as diferenças entre DRAM e SRAM em termos de velocidade, tamanho e custo?
5. Qual a diferença entre uma DRAM e uma SDRAM?
6. Explique por que um tipo de RAM pode ser considerado analógico e outro digital.
7. Cite algumas aplicações de memórias ROM.
8. O que é um bit de paridade? Qual é a eficiência dele em relação a: 1) detectar um erro simples, 2) detectar uma rajada de erros e 3) corrigir um erro simples.
9. Um computador possui palavras de 8 bits e necessita de uma memória DRAM com um total de 512KBytes. O seu projetista tem disponível apenas blocos de 512x512x4 (com 1Mbits em cada), cujo acesso é feito em dois níveis: um para linha e outro para coluna. Esquematize graficamente a memória RAM, destacando como habilitar cada CI (bit *Enable*) e escreva os endereços inicial e final (obrigatoriamente em Hexadecimal) dos CIs.
10. Considere uma memória com 16 palavras de 8 bits cada. Há disponível apenas CIs de 16 palavras de 4 bits cada. Pergunta-se: (a) qual o tamanho do barramento de endereços (quantas linhas de endereços); (b) quantos CIs serão necessários; (c) quais bits de dados ficarão em quais CIs; (d) qual o tamanho do barramento de dados (quantas linhas para dados).
11. Considere uma memória com 32 palavras de 4 bits cada. Há disponível apenas CIs com 16 palavras de 4 bits. Pergunta-se: (a) qual o tamanho do barramento de endereços (quantas linhas de endereços); (b) quantos CIs serão necessários; (c) quantos bits devem ser usados para determinar o endereço da palavra dentro de um CI e quantos bits do endereço devem ser usados para determinar o CI a ser usado (d) qual o tamanho do barramento de dados (quantas linhas para dados).
12. Qual organização é necessária para se obter uma PROM de 1024 x 8, usando PROMs de 256 x 8? O computador usa 10 linhas para endereço e 8 linhas para dados.
13. O novo sistema de computação SCO possui uma palavra de dados de 8 bits e necessita de uma memória RAM com um total de 512 bits. Considerando que seu projetista terá disponível apenas blocos de 64x4, esquematize graficamente a memória RAM e escreva os endereços inicial e final (obrigatoriamente em Hexadecimal) de cada CI.
14. Considere um sistema computacional onde são utilizados: 1 ciclo para enviar um endereço, 15 ciclos para cada acesso à DRAM e 1 ciclo para transferir uma palavra de dados. Considerando também a Figura abaixo, tem-se as seguintes organizações:
 - (a) há uma cache com um bloco de 4 palavras, um barramento e uma RAM que permitem o acesso de apenas uma palavra cada vez;
 - (b) há uma cache com um bloco de 4 palavras, um barramento e uma RAM que permitem o acesso paralelo às 4 palavras simultaneamente;
 - (c) há uma cache com um bloco de 4 palavras, uma RAM que permite o acesso paralelo às 4 palavras, porém, com um barramento que permite o acesso de apenas uma palavra por vez.

Determine quantos ciclos de clock são necessários para se ter acesso ao bloco com 4 palavras na RAM em cada organização. Determine quantos Bytes/ciclos são transmitidos em cada organização.



Patterson; Hennessy (1998) – Fig. 7.13 - Pág. 331