

PSI3441 – Arquitetura de Sistemas Embarcados

Conversor Analógico-Digital - ADC

Escola Politécnica da Universidade de São Paulo

Prof. Gustavo Rehder – grehder@lme.usp.br





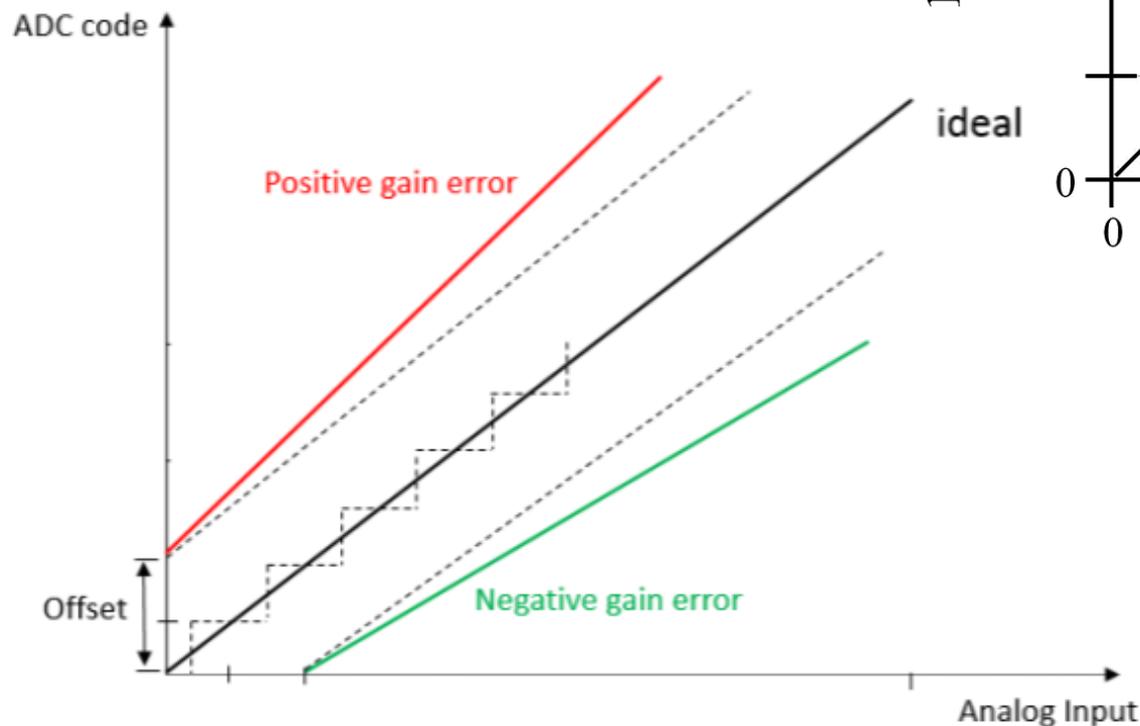
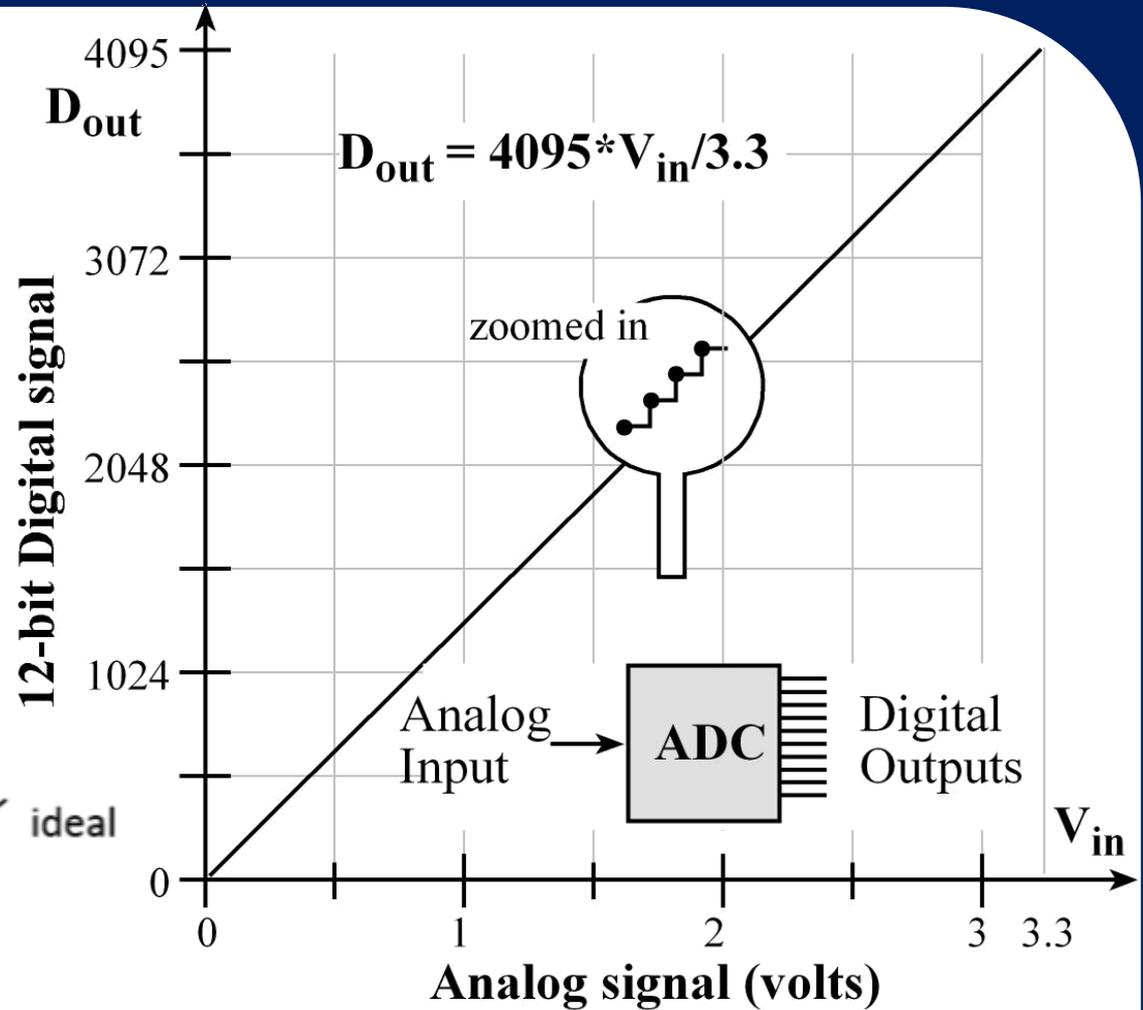
Conversão Analógica-Digital

Quantização

$$Q = \frac{V_{max} - V_{min}}{N}$$

$$N = 2^{\text{bits da resolução}}$$

$$Q = \frac{3.3 - 0}{4095} = 0.8 \text{ mV}$$



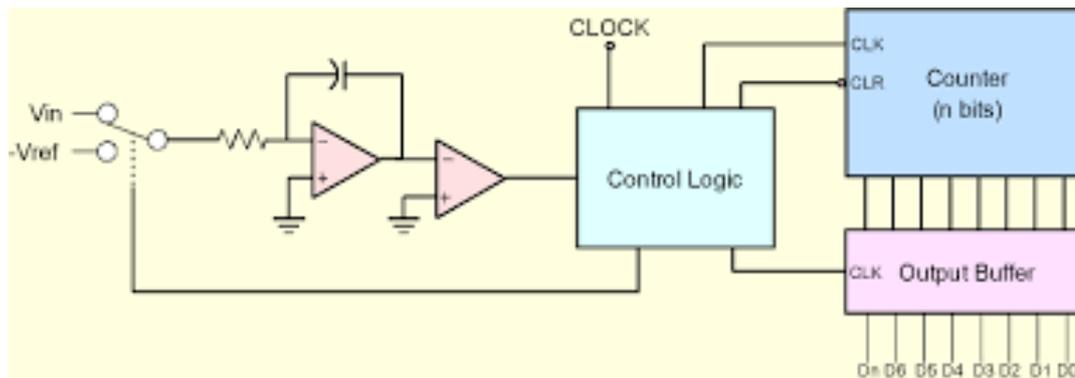
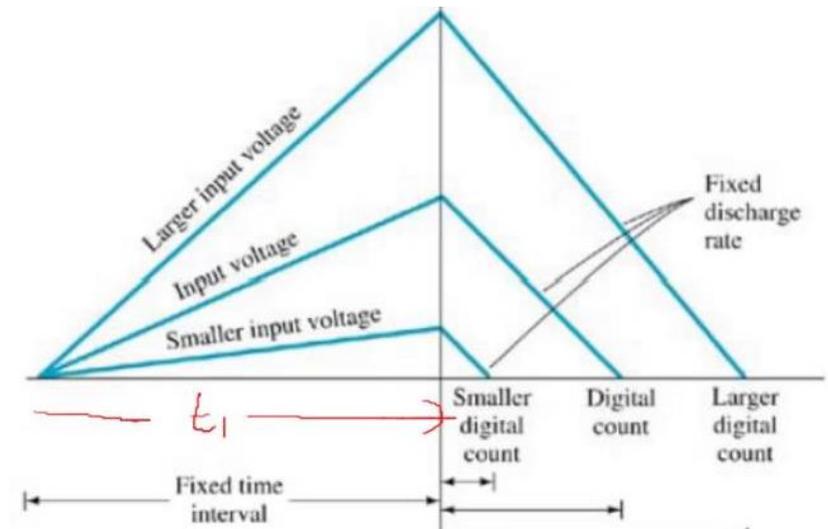
Erros → Calibração

- Ganho
- Offset
- Temperatura



Tipos de ADC

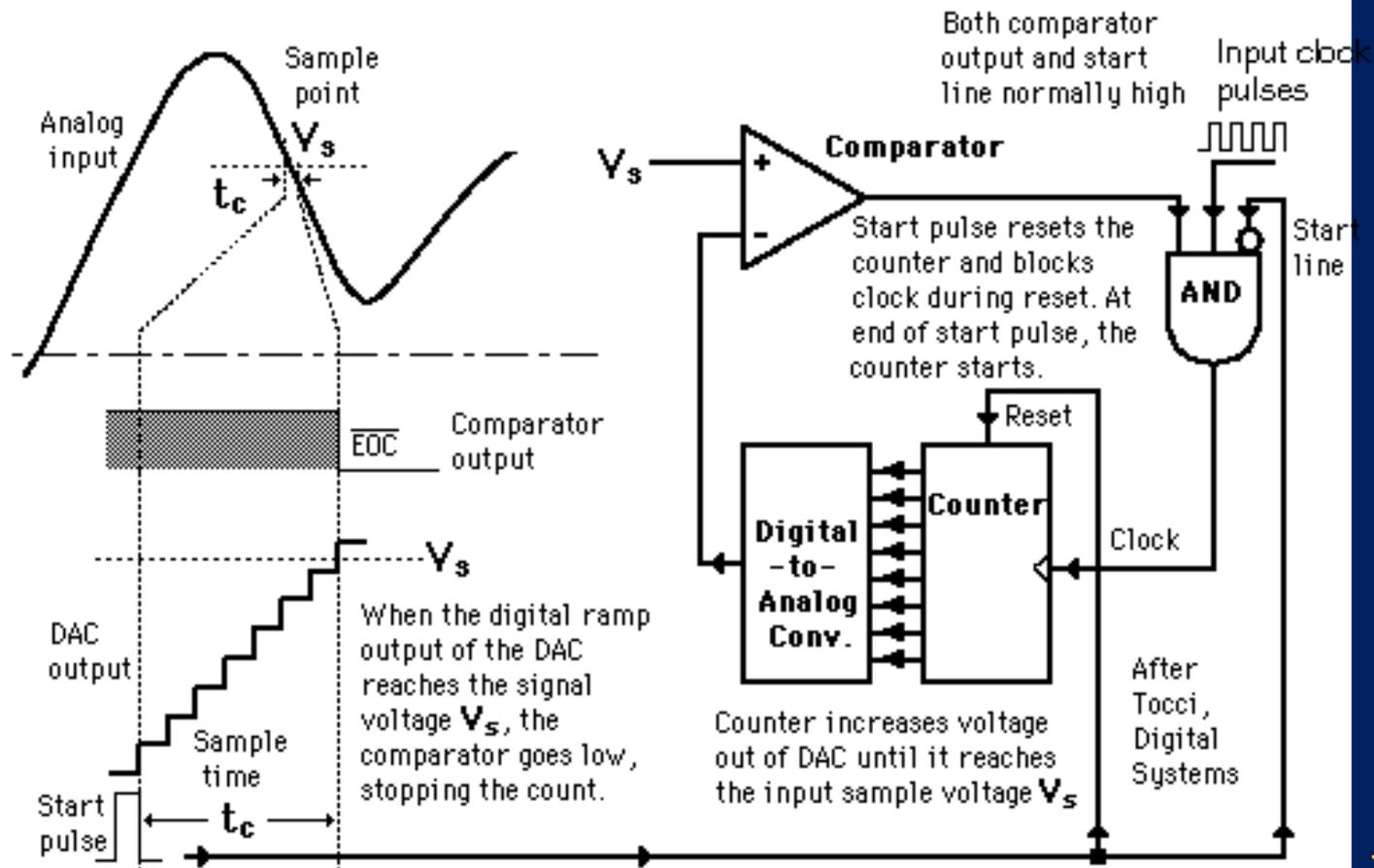
- Dual Slope
 - Taxa de amostragem baixa
 - Alta resolução (12-18 bits)





Tipos de ADC

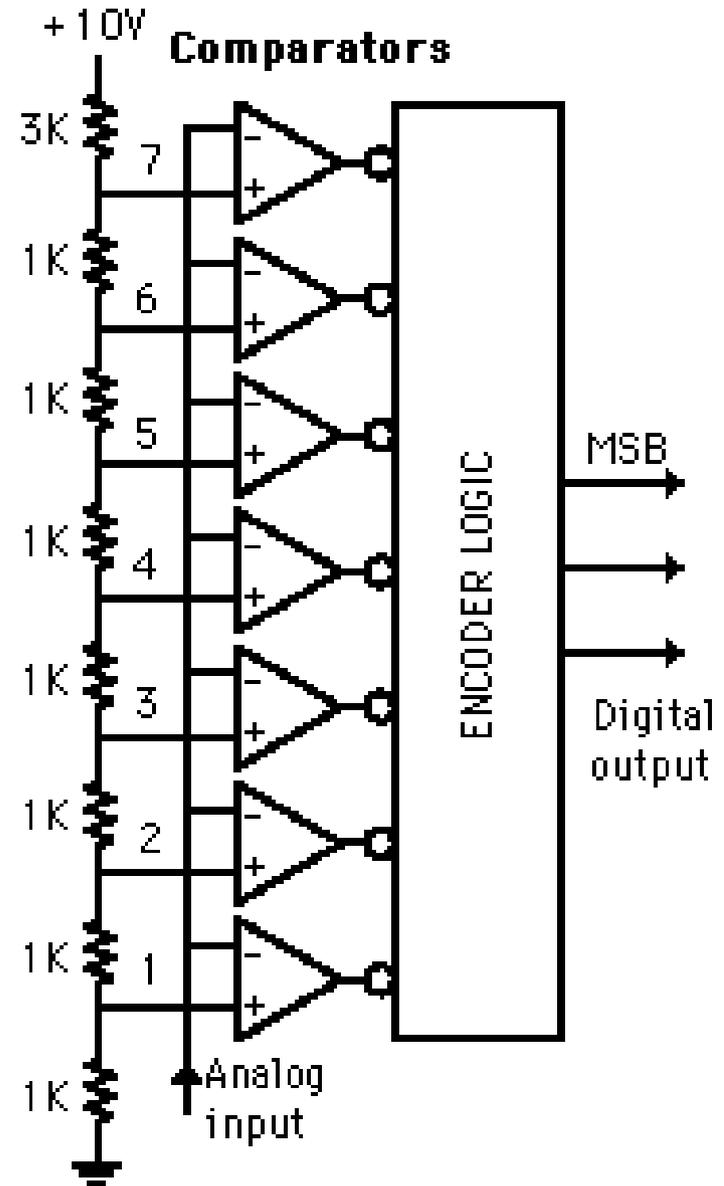
- Conversor em Rampa
 - Taxa de amostragem baixa
 - Média resolução (10-16 bits)





Tipos de ADC

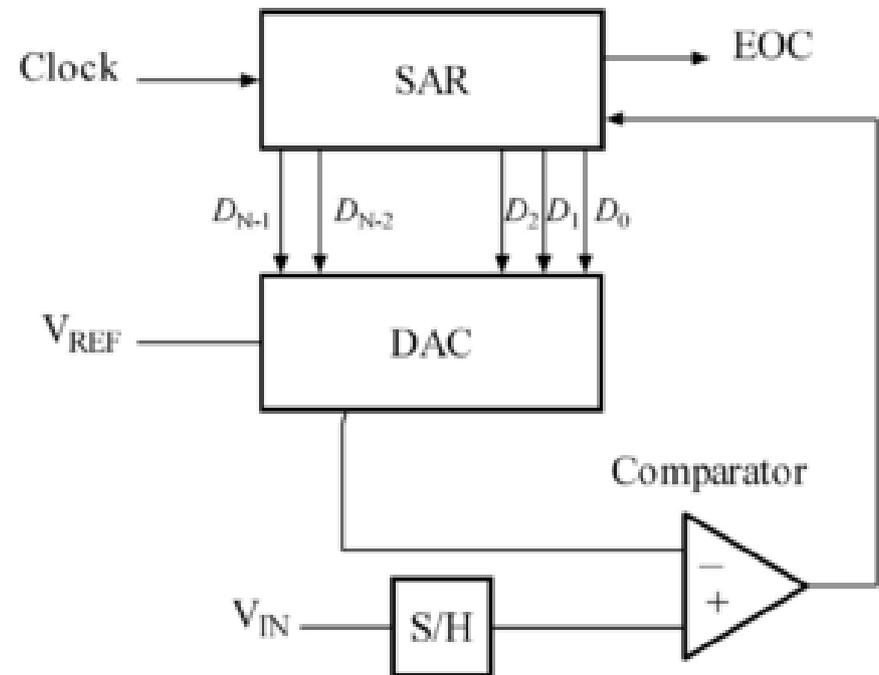
- Paralelo ou Flash
 - Alta taxa de amostragem
 - $2^n - 1$ comparadores
 - Alto custo
 - Resolução (4-8 bits)





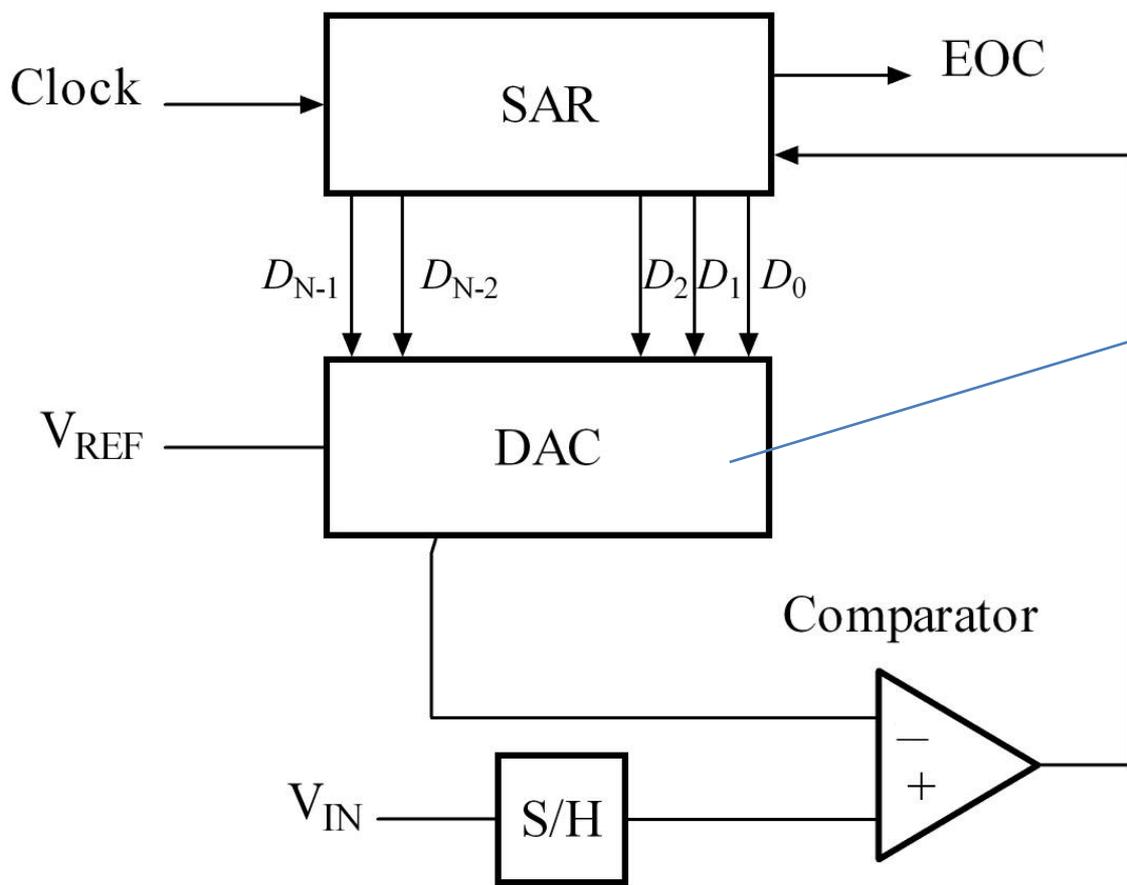
Tipos de ADC

- **Conversor de Aproximação Sucessiva**
 - Taxa de amostragem média
 - Média resolução (10-16 bits)

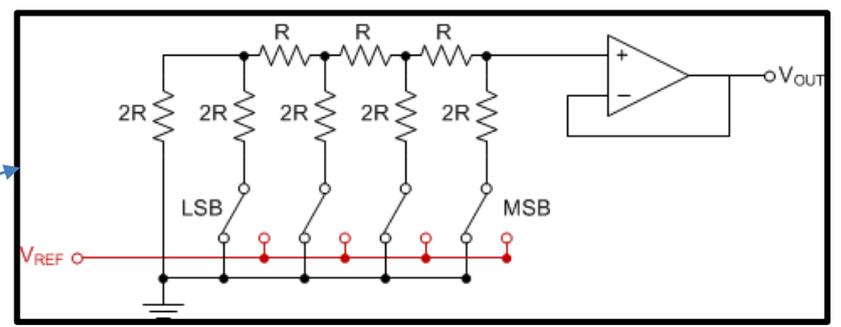




ADC de Aproximação Sucessiva



Conversor DAC rede resistiva



- DAC = Conversor Analógico-Digital
- EOC = Fim da Conversão
- SAR = Registrador de aproximação sucessiva
- S/H = circuito de “*sample and hold*”
- V_{in} = entrada
- V_{ref} = tensão de referência



ADC de Aproximação Sucessiva – Ex. 16-bits

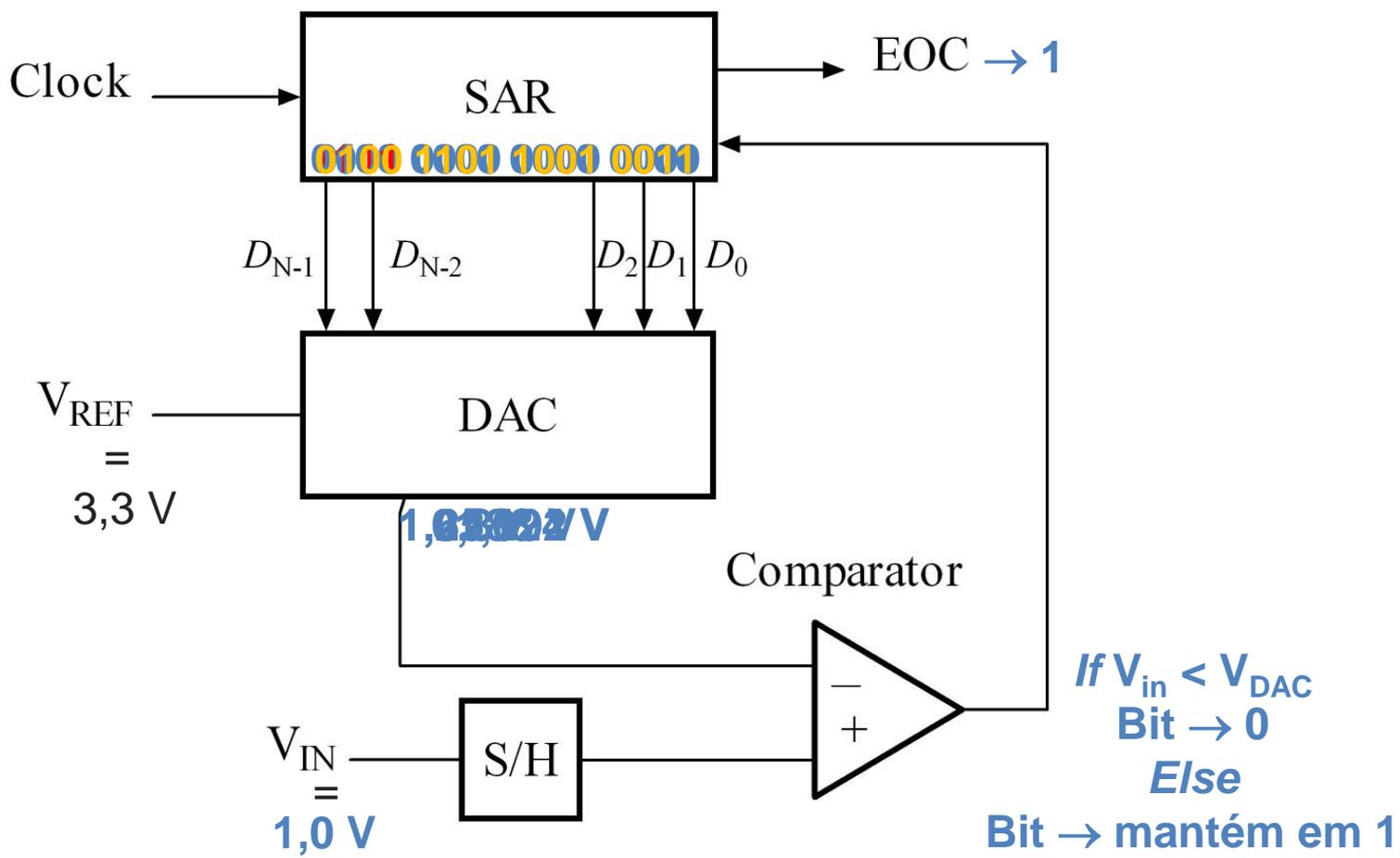
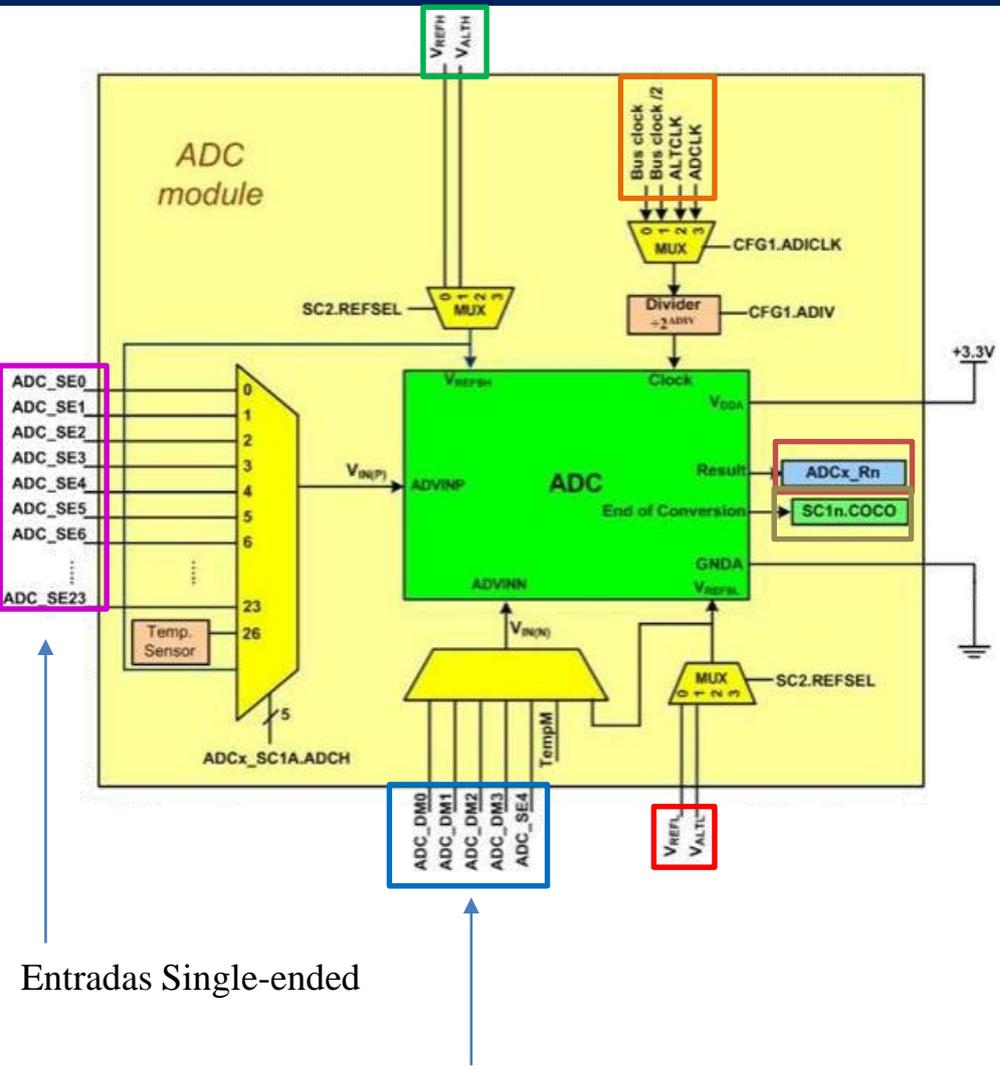




Diagrama de Bloco do ADC – Freescale KL25Z



Entradas Single-ended

Diagrama Simplificado

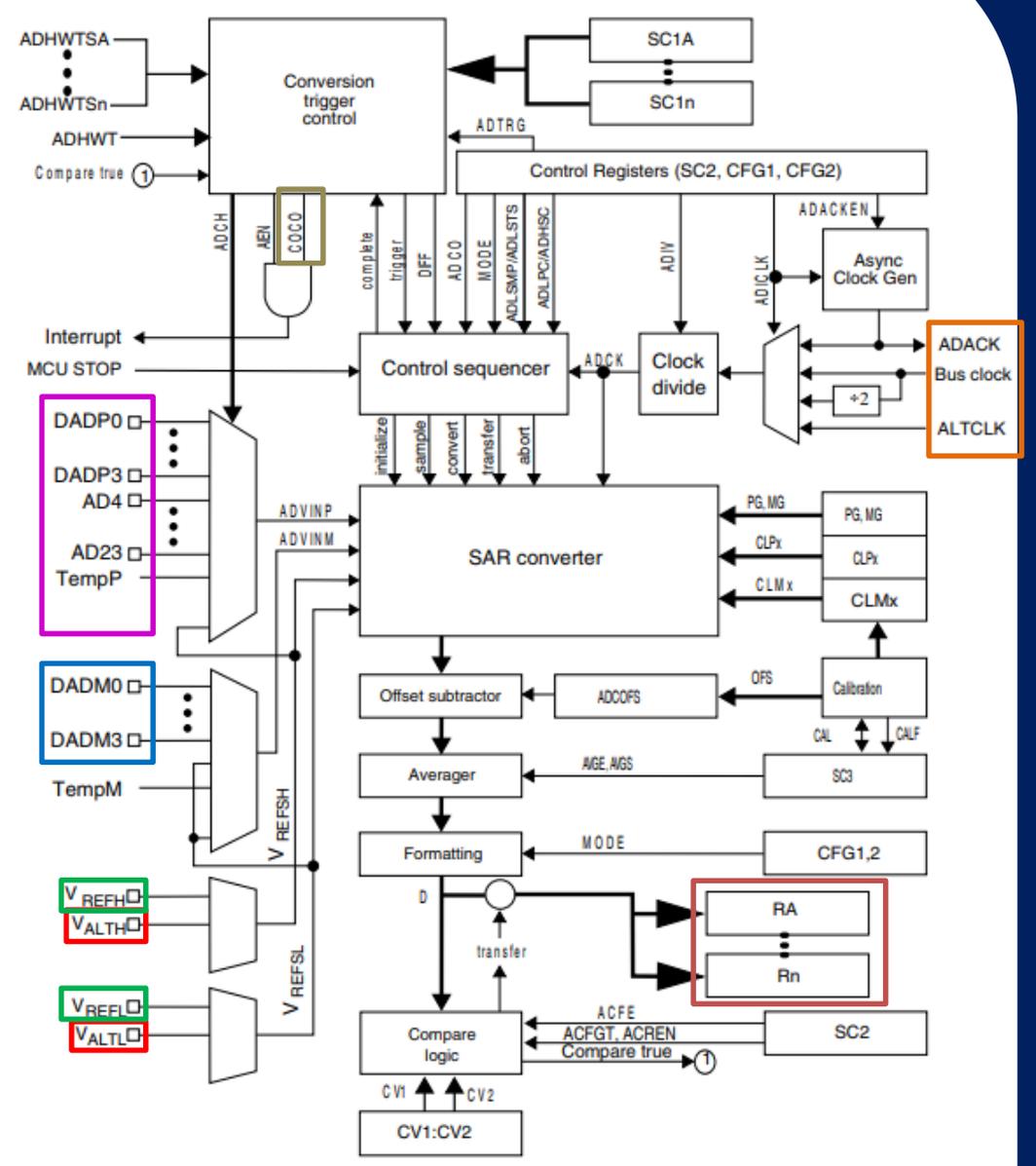


Figure 28-1. ADC block diagram

Diagrama Completo



Utilização ADC no KL25Z

1. Ative o *clock* para a porta de GPIO usado pelo canal ADC.
2. Defina o bit MUX do PORTX_PCRn para o pino de entrada do ADC.
3. Ative o *clock* para o módulo ADC usando o registrador SIM_SCGC6.
4. Escolha o tipo de trigger para iniciar a conversão analógica-digital usando o registrador ADC0_SC2.
5. Escolha a fonte de *clock* e a resolução usando o registrador ADC0_CFG1.
6. Selecione o canal de entrada ADC usando o registro ADC0_SC1A. Certifique-se que a interrupção não está habilitada e que está usando a opção-single ended. → Irá iniciar a conversão
7. Monitore quando o *flag* de fim de conversão (COCO) no registrador ADC0_SC1A.
8. Quando o *flag* COCO for setado, leia o resultado da conversão em ADC0_RA e salve-o.
9. Repita as etapas 6 a 8 para a próxima conversão. → Irá zerar o flag COCO

} Aula sobre GPIO

Trigger:

Hardware (pino externo, comparador ou timers – configurável em SIM_SOPT7)
Software (disparado pela escrita em ADC0_SC1A)

Clock:

Bus clock
(Bus clock)/2
Alternate clock (ALTCLK)
Asynchronous clock (ADACK)

Resolução:

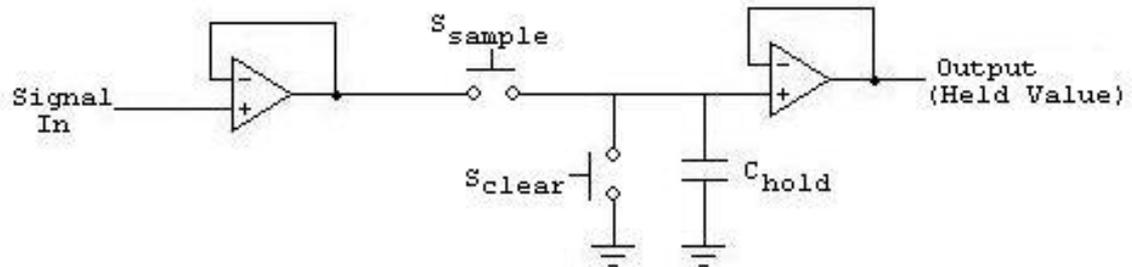
Diferenciais: 16, 13, 11 e 9 bits
Single-ended: 16, 12, 10 e 8 bits

Nem todos os canais de ACD são conectados a pinos do KL25Z e nem todos os pinos são conectados a bornes da placa Freedom. Só 6 canais estão disponíveis no borne.



Tempo de Conversão ADC

Sample and Hold: um amplificador de amostragem de ganho unitário amostra a entrada analógica por um total de n ciclos de *clock*. Este *buffer* da entrada analógica carrega o capacitor de amostragem até o potencial de entrada. O número de ciclos de *clock* pode ser 4, 6, 10, 16, ou 24, programado através do bit ADLSMP no registrador ADC0_CFG1 e dos bits ADLSTS no registrador ADC0_CFG2. Tempo de amostragem mais longo garante que a tensão do capacitor de amostra é trazido para mais perto da tensão de entrada. Isso é importante quando a tensão de entrada difere significativamente de amostra para amostra. Mas prolonga o tempo de conversão de cada amostra.



Conversão analógica-digital por aproximação sucessiva: nesta fase, o número de ciclos de *clock* utilizados depende da resolução da conversão. Para cada bit é necessário 1 ciclo de *clock*.



Exercício

- Escrever o código, sem utilização do Processo Expert, para:
 - 1) Fazer uma aquisição analógica;
 - 2) Acender o LED azul quando o valor for próximo de 3.3 V e o LED verde quando o valor for próximo de 0 V.

Obs. Utilizar o KL25 Sub-Family Reference Manual para detalhes dos registradores (capítulo 28).