

# Decodificadores

## 1 Objetivos deste tópico

Ao final do estudo deste tópico você saberá:

- 

Leitura recomendada : seções do livro do Wakerly

- 6.4 - Decoders
- 6.4.1 - Binary Decoders
- 6.4.2 - Logic symbols for larger-scale elements
- 6.4.3 - The 74x138 3-to-8 decoder
- 6.4.4 - Cascading binary decoders
- 6.4.6 - Decoders in VHDL

Keywords: decoder, binary decoder, enable input, decimal decoder, BCD decoder, 74x138

## 2 Exercícios

1. Projete o circuito combinatório do 74x138, usando os sinais de entrada e de saída e a tabela verdade disponível no seu *datasheet*.
2. Projete um decodificador 2-para-4, com sinal de ENABLE, entradas I ativo alto e saídas Y<sub>L</sub> ativo baixo, ou seja, quando ENABLE = '0' a saída Y<sub>L</sub> = '1111' e quando ENABLE = '1', a saída Y<sub>L</sub> = '1110' para I = '00', Y<sub>L</sub> = '1101' para I = '01', e assim por diante. Apresente a solução na forma de equações da álgebra de chaveamento, diagrama lógico e na forma estrutural em VHDL. Para a descrição em VHDL, utilize a seguinte interface:

```
entity dec2to4 is
  port (
    EN : in std_logic;
    I : in std_logic_vector (1 downto 0);
    Y_L : out std_logic_vector (3 downto 0)
  );
end entity dec2to4;
```

O *testbench* para o decodificador 2-para-4 está no arquivo `dec2to4_tb.vhd`, que está disponível no e-Disciplinas.

3. Projete um decodificador 3-para-8 usando o decodificador 2-para-4, projetado no item anterior, como componente. Adicionalmente, o decodificador deverá ter os seguintes sinais de *enable* : G1, G2A\_L e G2B\_L, com funcionamento idêntico ao decodificador 74x138. Apresente a solução na forma de diagrama lógico e em VHDL, usando a seguinte interface:

```
entity dec3to8 is
  port (
    G1, G2A_L, G2B_L : in std_logic;
    DIN : in std_logic_vector (2 downto 0);
    Z_L : out std_logic_vector (7 downto 0)
  );
end entity dec3to8;
```

O *testbench* para o decodificador 3-para-8 está no arquivo `dec3to8_tb.vhd`, que está disponível no e-Disciplinas.