

# Departamento de Engenharia Elétrica e de Computação

## EESC-USP

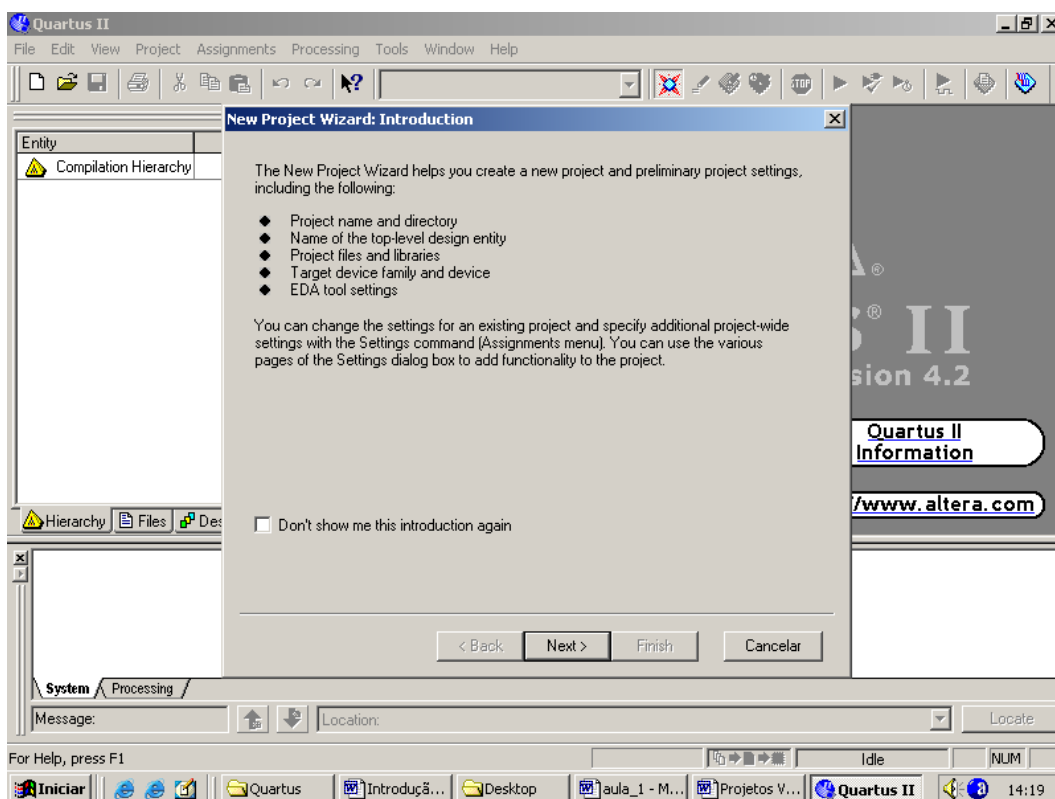
### “Guia de Projetos VHDL utilizando o QUARTUS II”

**Profa. Luiza Maria Romeiro Codá**

#### 1. Criando um novo projeto:

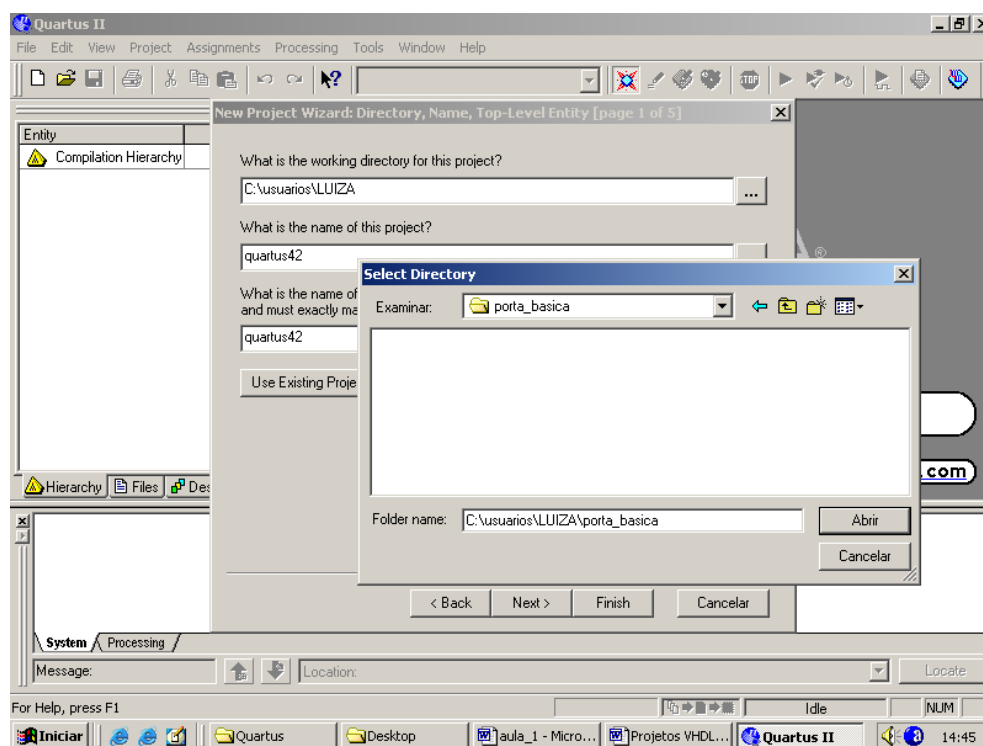
##### 1.1 Iniciando o Quartus II, criando pasta para projeto:

Após iniciar o software **QUARTUS II** seleciona-se no menu FILE “**New Project Wizard**”, e abrirá a caixa de diálogo como mostra a Figura 1.1, abaixo:



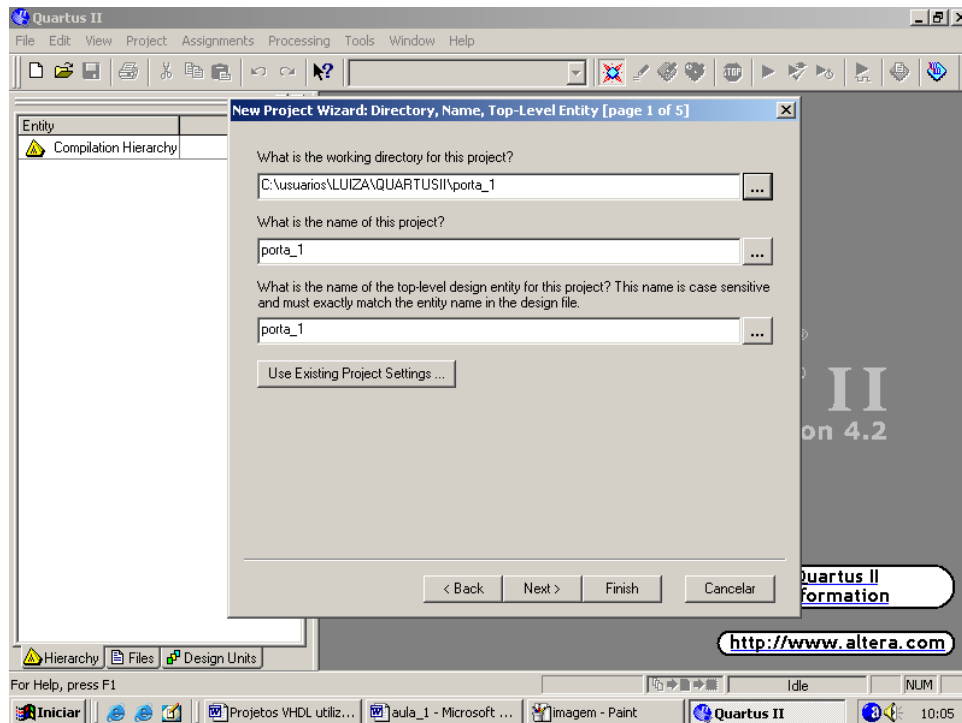
**Figura 1.1 Primeira tela da caixa de dialogo ‘New Project Wizard’**

Nesta tela, clicar em “**Next**” então aparecerá a segunda tela, Figura 1.2, a qual pede informações sobre nome do diretório de funcionamento do projeto, nome do projeto e nome da entidade do nível superior no projeto. Todos estes campos devem ser preenchidos com a informação relevante. Para melhor organização, criar uma pasta com o nome do grupo dentro da pasta usuários. Dentro da pasta do grupo criar uma pasta exclusiva para o projeto. Ou seja, para cada projeto criar uma nova pasta. Isto é necessário devido ao grande número de arquivos gerado pelo “Quartus”. Para o nome do projeto recomenda-se que este seja informativo do conteúdo do projeto. No caso do exemplo, **Luiza** é a pasta principal e **porta\_1** é a pasta do projeto. A Figura 1.2 ilustra este processo.



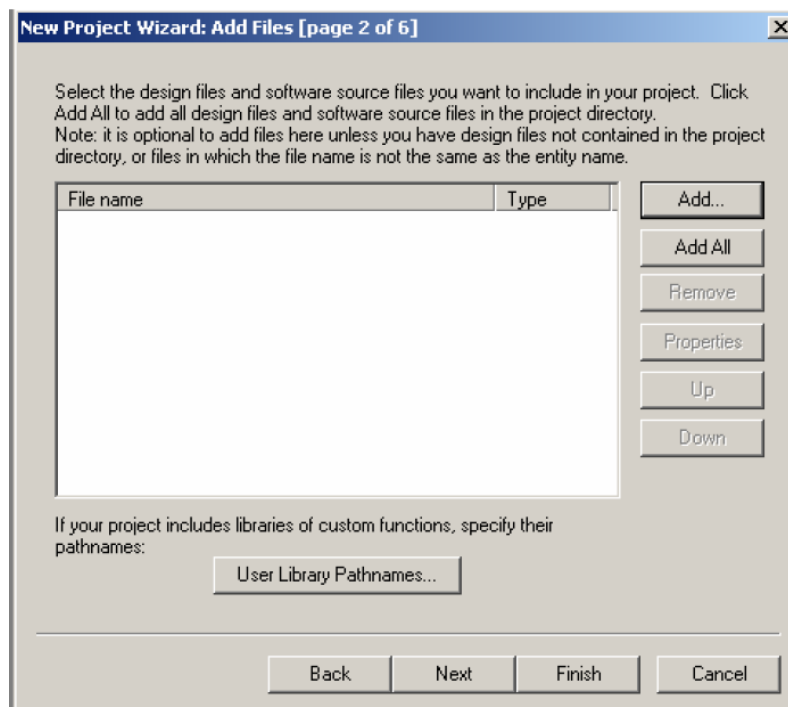
**Figura1. 2 - -Segunda tela da caixa de diálogo ‘New Project Wizard’**

Clicar para abrir a pasta do projeto, no caso, porta\_1, então irá aparecer o mesmo nome nas outras janelas, como mostra a Figura 1.3. Nome da pasta do projeto e nome da entidade (mesmo do projeto) que no exemplo é porta\_1.



**Figura 1.3 Seleção do nome da pasta, nome do projeto, e do nome da entidade.**

A terceira tela, mostrada na Figura 1.4 pergunta se existem outras partes de projetos que devam ser adicionadas ao projeto atual. Nesse momento, serão incluídos projetos parciais caso existam, caso contrário clicar em **Next..**



**Figura1.1- Terceira tela da caixa de dialogo 'New Project Wizard', inclusão de projetos adicionais.**

A quarta tela da caixa de diálogo ‘New Project Wizard’, possibilita a escolha da família do dispositivo que será utilizado no projeto. No laboratório será utilizado um dos dispositivos da placa ALTERA UP1, que podem ser: o dispositivo FPGA da família “MAX7000S”, o dispositivo EPM7128SCL84-7 ou o dispositivo FLEX EPF10K20RC240 Esta etapa é mostrada em Figura 1.5.

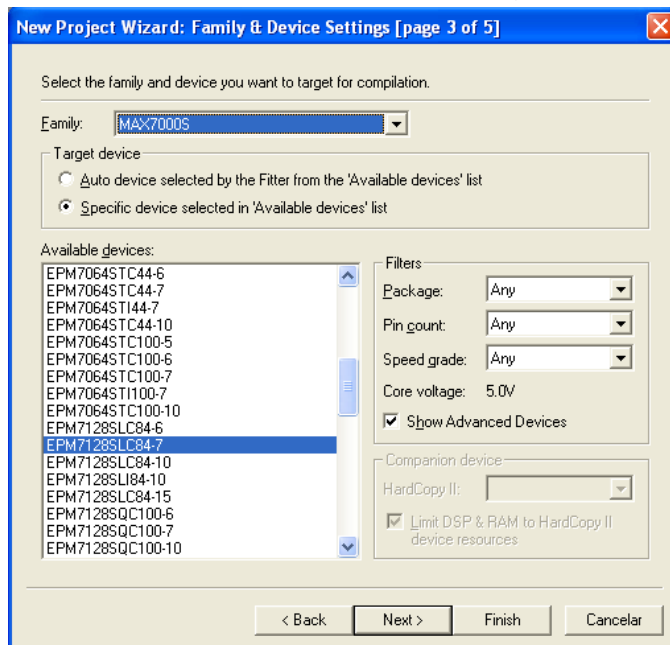


Figura 1.2-Quarta tela da caixa de diálogo ‘New Project Wizard’

O Quartus permite que os usuários familiarizados com outras ferramentas de PLD integrem seus projetos naquelas ferramentas com projetos gerados no Quartus II. A tela 4 pergunta basicamente se existem outras ferramentas a parte do Quartus II que serão utilizadas durante o projeto. Se nenhuma ferramenta for utilizada, simplesmente pula-se este passo pressionando a tecla “Next”. A tela 5 é mostrado na Figura 1.6.

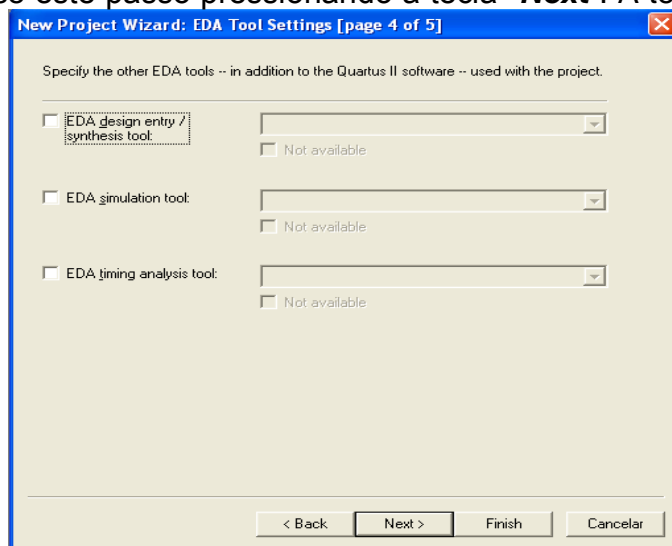
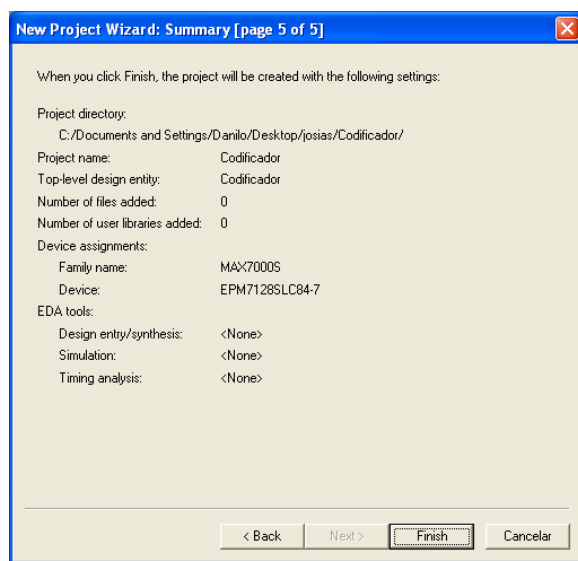


Figura 1.3 - Quinta tela da caixa de diálogo ‘New Project Wizard’

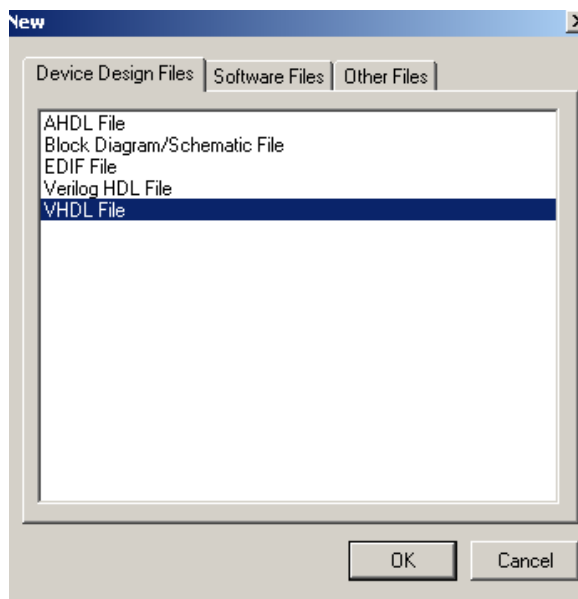
Finalmente a tela 6 avisa que o **'New Project Wizard'** está terminado e o projeto novo com os ajustes mostrados está criado. Esta etapa é mostrada na Figure 1.7.



**Figura 1.4 - Sexta tela da caixa de diálogo 'New Project Wizard'**

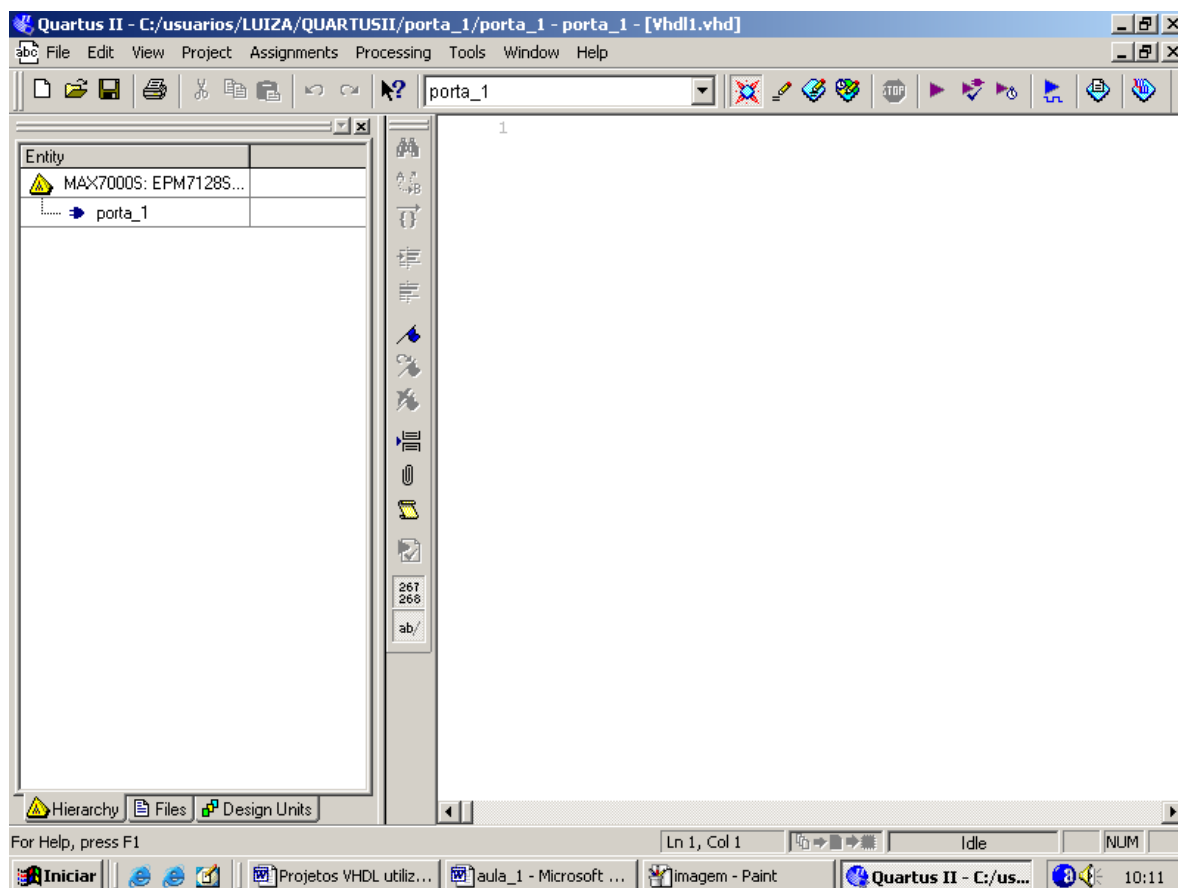
## 1.2 Criando um arquivo de projeto VHDL:

Uma vez criado o espaço do projeto, o próximo passo é criar o arquivo do projeto para o projeto. Para isso, no menu **"FILE"** selecionar o **"NEW"** o qual irá abrir a caixa de diálogo **"New File"** mostrada na Figura 1.8. Nessa escolher a opção VHDL file.



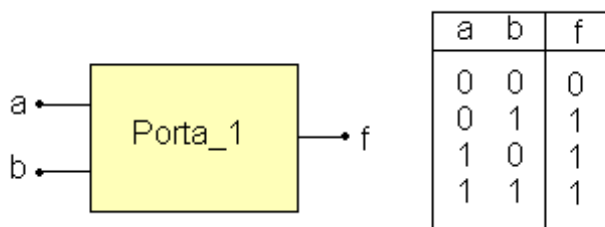
**Figura 1.5 - Criando um novo arquivo VHDL baseado em VHDL.file**

Uma vez selecionado o “VHDL File” pressionado “OK”, o Quartus II abrirá um editor, Figura 1.9, onde serão editados os comandos para criação do projeto.



**Figura 1.9 Tela para edição do projeto VHDL.**

Para aprender a editar um arquivo VHDL será projetado a porta do exemplo da Figura 1.10, a qual é uma porta OU.



**Figura 1.10 Porta OU a ser editada em VHDL.**

O projeto da porta OU da Figura 1.10, foi editado na tela do QUARTUS II, e é mostrado na Figura 1.11.

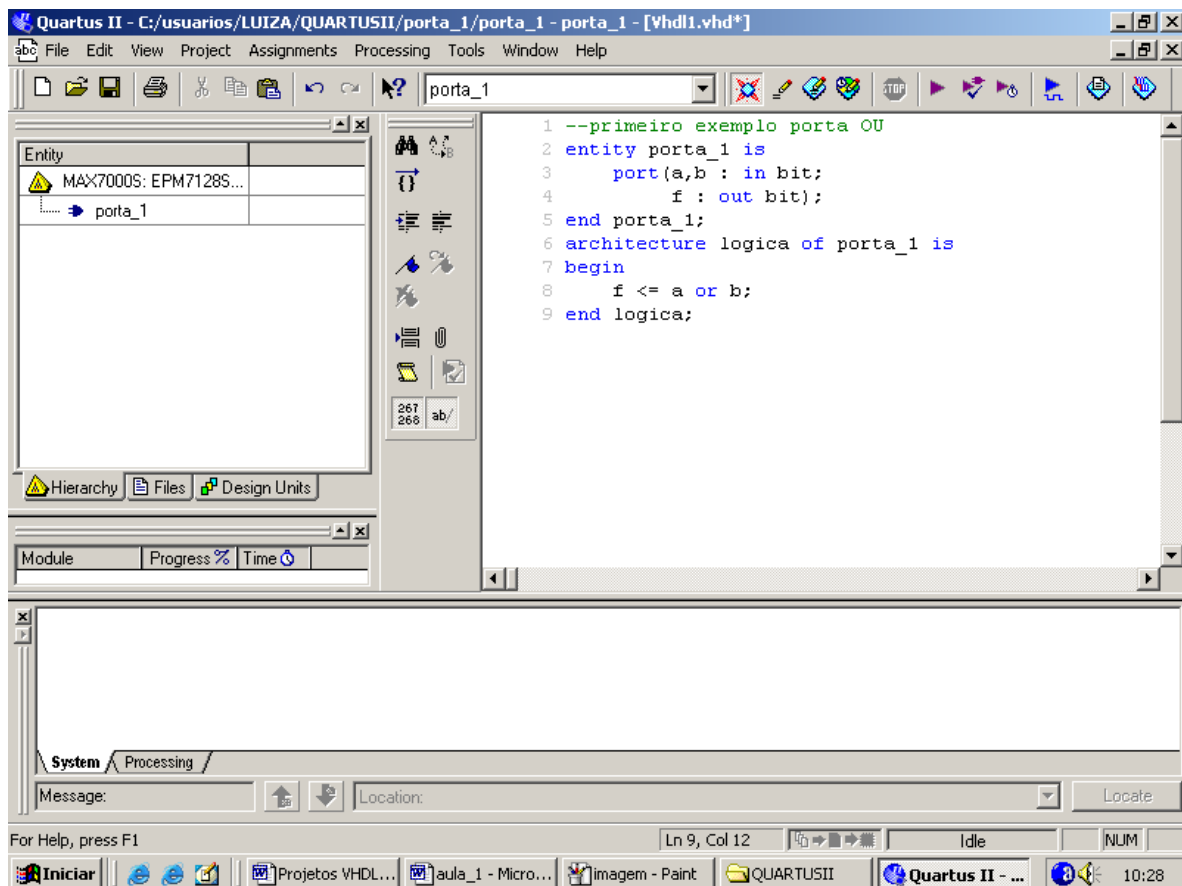


Figura 1.11 Edição do projeto em VHDL de uma porta OU.

Após terminar de editar os comandos deve-se salvar o arquivo do projeto na mesma pasta que foi criada anteriormente e que leva o mesmo nome do arquivo, ou seja, nesse exemplo salvar o arquivo **porta\_1** na pasta **porta\_1**, como mostra a Figura 1.12.

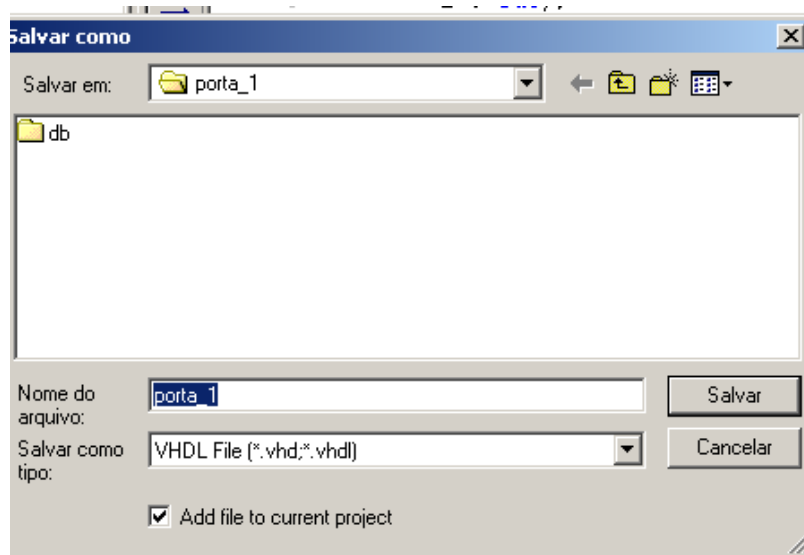



Figura 1.12 Tela mostrando o arquivo VHDL sendo salvo.

### 1.3 Compilando um Projeto VHDL:

Após o salvar o arquivo, este deve ser compilado, ou seja, o arquivo texto deve ser transformado em linguagem que o programador compreenda para implementar o projeto no dispositivo lógico. Para isso, deve-se selecionar no menu “**Processing**” a opção “**Star Compilation,**” como mostra a Figura1.13, ou na

barra de ferramentas escolhendo o botão  como mostra a Figura1.14. Caso algum comando tenha sido digitado errado, mensagens aparecerão em uma tela como mostra a Figura1.15. nesse caso a caixa de mensagem está acusando que faltou o comando “**of**” na linha da edição do programa.

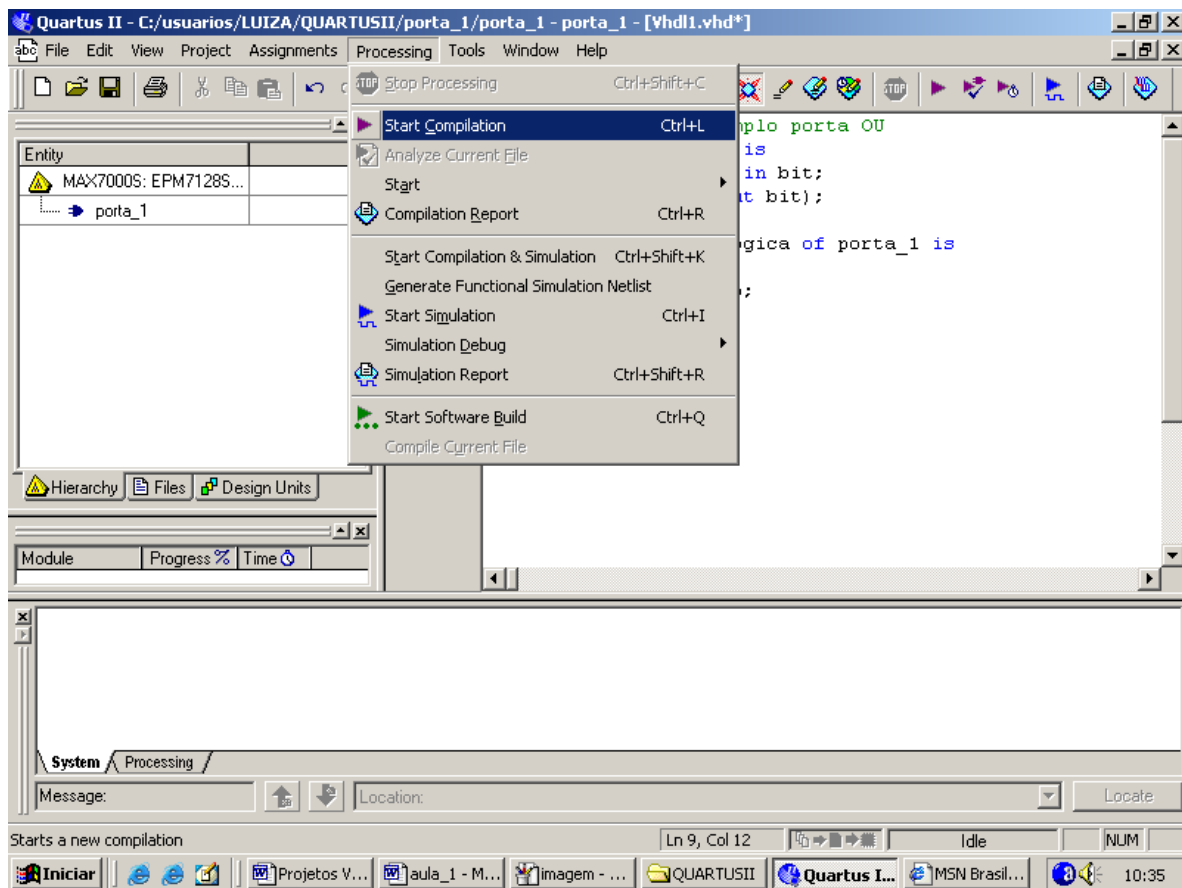


Figura 1.13 menu para compilação.

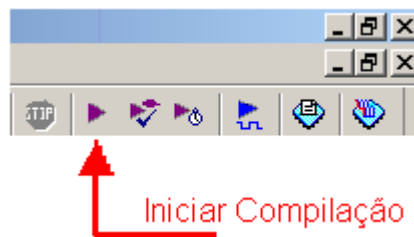


Figura 1.14 Barra de Ferramentas, botão para compilação.



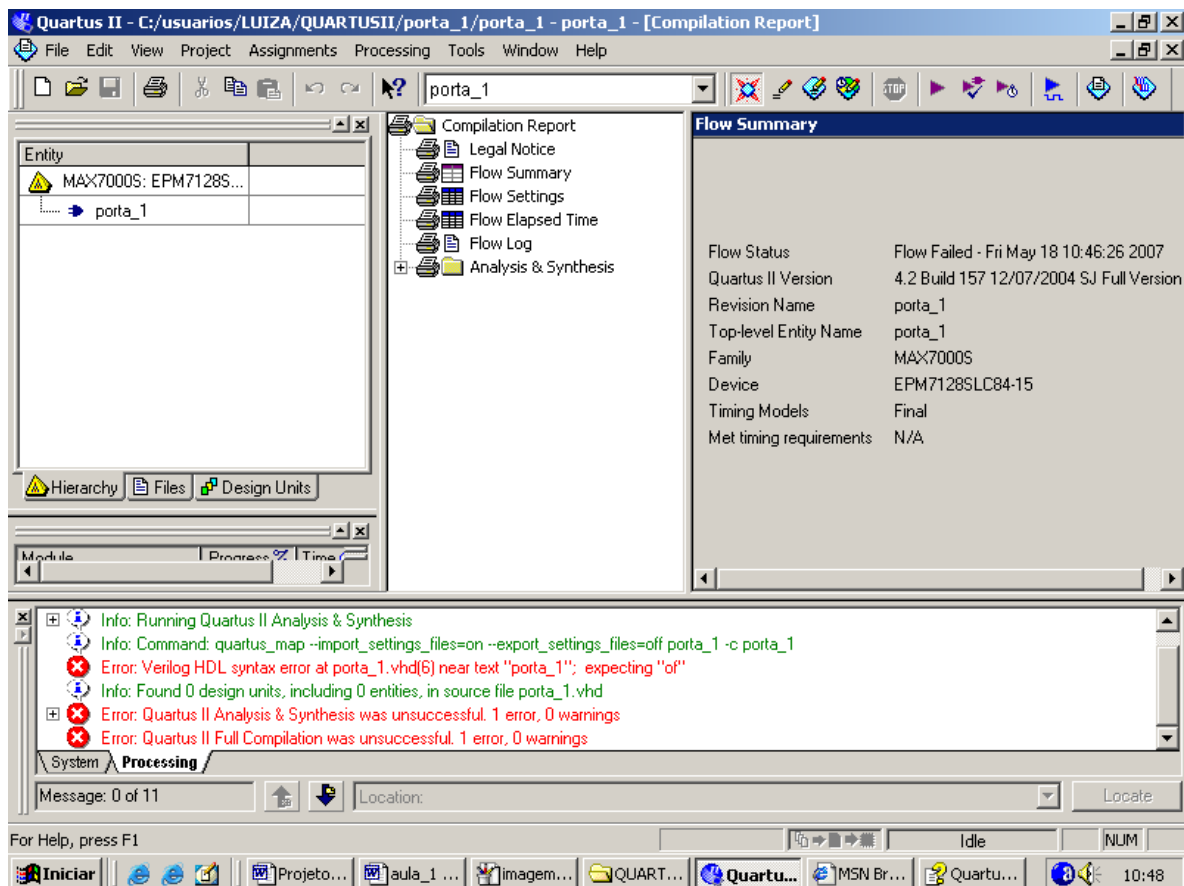


Figura 1.15 Mensagens após a tentativa de compilação, acusando erros.

## 2 . Simulando circuitos projetados:

A simulação de um projeto se faz necessária quando o projetista quer ter certeza de que seu projeto, ou parte de seu projeto, foi logicamente projetado.

### Passo 1: criando um novo arquivo de simulação

Para criar um “**New Vector Waveform File**” extensão VWF :, seguir os passos:

1. Escolher “**New**” no menu File. A caixa de diálogo “**New**” aparece . como mostra a Figura 2.1.
2. Clicar em “**Other Files**” e selecionar “**Vector Waveform File**”, como mostra a Figura 2.2.
3. Click “**OK**”, na tela da Figura 2.2 e O Editor da forma de onda da simulação irá se abrir mostrando um arquivo vazio, como mostra a Figura2.3.

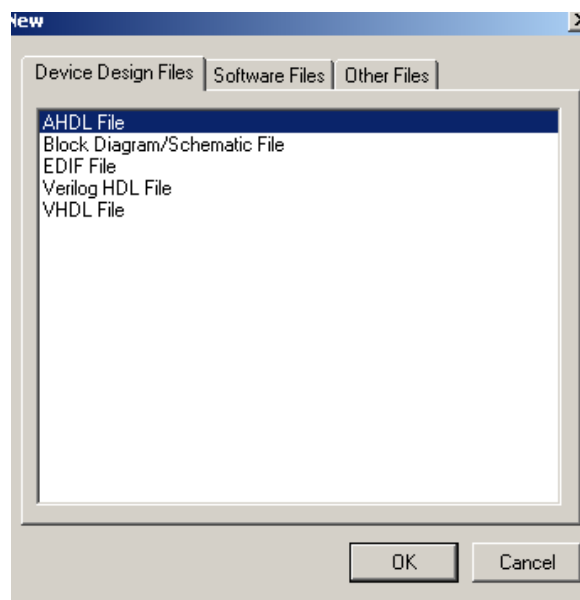


Figura 2.1 Janela da opção NEW do menu FILE.

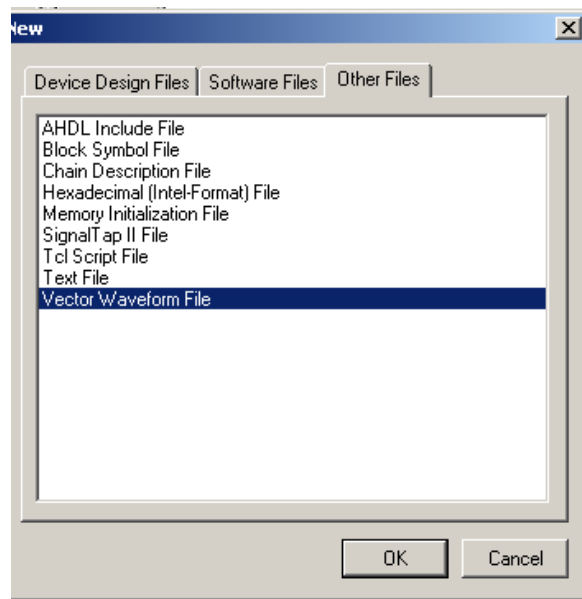


Figura 2.2 Tela para início da criação de um novo arquivo de simulação.

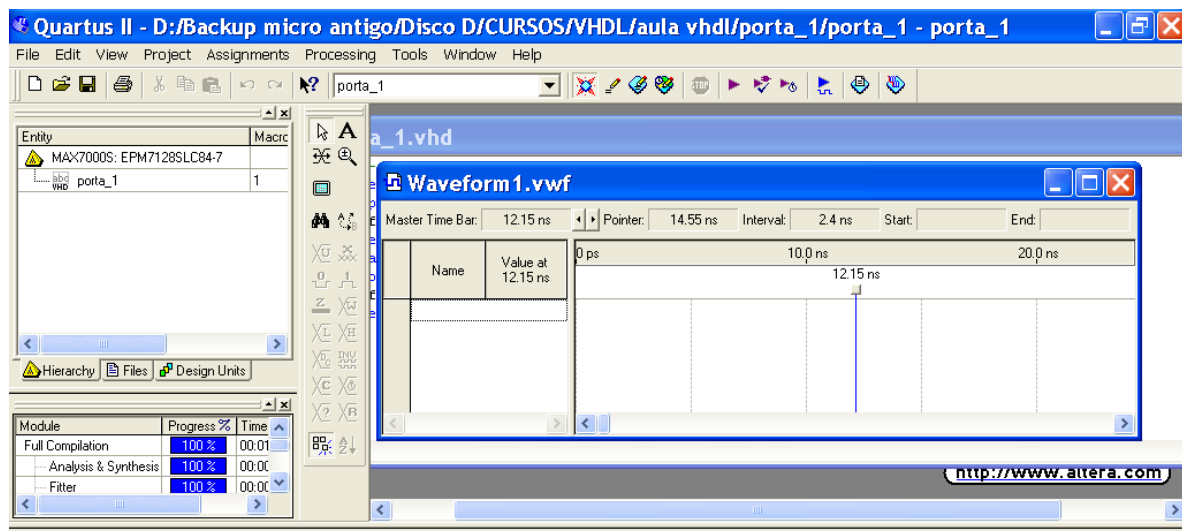


Figura 2.3 O Editor da forma de onda da simulação.

4. Para mudar o tempo final ("end time") para o arquivo, escolher no menu **"Edit"** a opção **"End Time"**.
5. Na Figura 2.4, a caixa mostra o tempo **"Time"(1.0)** e a seleção da unidade ( $\mu$ s).
6. Clicar em **"OK"**.
7. Para salvar o arquivo como **porta\_1.vwf**, escolher no menu **"File"**, **"Save As"**. A caixa de diálogo **"Save As"** irá aparecer.
8. Clicar em **"Save."**

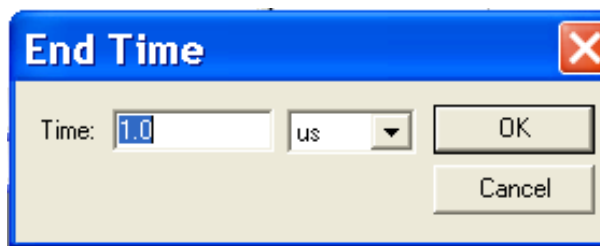


Figura 2.4 caixa de seleção do tempo final da simulação

9. Clicando em **OK** na tela da Figura 2.4 a janela da Figura 2.5 irá aparecer onde serão definidas as entradas da simulação. Clica-se com o botão da esquerda do mouse, como mostra a Figura 19, onde irá aparecer a janela com a opção **"INSERT NODE OR BUS..."**. Escolhendo essa opção irá aparecer a janela mostrada na Figura 20. Nessa janela clica-se em **"NODE FINDER"** e então aparecerá a tela da Figura 21. Na janela **"FILTER"** pode-se escolher os diferentes pinos que deseja-se simular, por exemplo: pinos de entrada, saída, bidirecional, etc, ou todos como é o caso do exemplo da Figura 22, e então clica-se em **"LIST"** e então aparecerão os sinais escolhidos, como mostra a Figura 23, no caso todos os sinais (entradas e saídas).

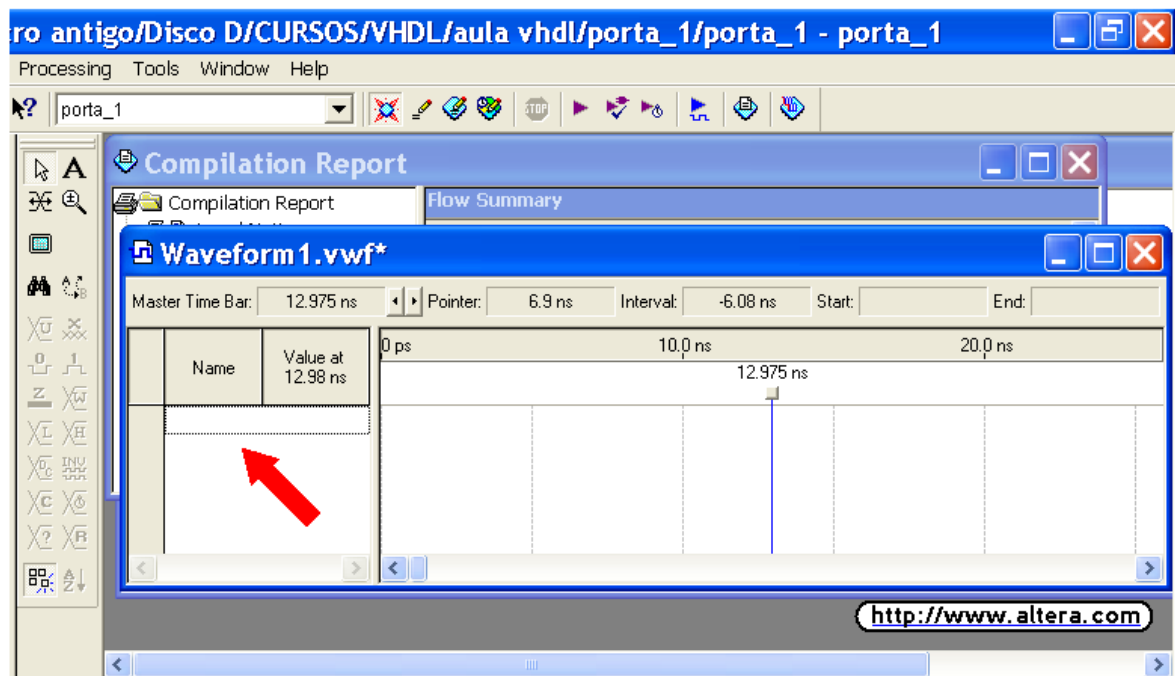



Figura 2.5 tela mostrando posição do mouse para escolha dos nós a serem simulados

## Passo 2: Adicionar Nós de Entradas & Saídas no arquivo:

Você pode completar o VWF entrando com as formas de ondas dos nós de entradas e projetar as formas de ondas das saídas.

Para adicionar nós de entradas e saídas seguir os passos :

1. Clica-se com o botão da esquerda do mouse, como mostra a seta na Figura 2.5, onde irá aparecer a janela com a opção “**INSERT NODE OR BUS...**”, (Figura 2.6). escolhendo essa opção irá aparecer a janela da Figura 2.7, onde escolhendo a opção “**Node Finder**”, irá aparecer a janela da Figura 2.8.
2. A janela da Figura 2.8 nos permite escolher na opção “**Filter**” os nós de entrada, saída ou todos como mostrado na Figura 2.8, pela escolha da opção “**Pins: all**”
3. Para encontrar os nós que se deseja adicionar ao VWF, clicar em “**List**” e todos os nós irão aparecer na janela, Figura 2.9.
4. Através das setas na parte central da janela da figura 2.9, pode-se ir selecionando os nós a serem simulados, eles aparecerão na parte direita da janela como mostra a Figura 2.10. Clicar “**OK**”.
5. Clicando em “**OK**” aparecerá a janela da Figura 2.11, a qual possibilita a escolha dos nós como entrada, saída, etc e também mostrar o sinal como binário, hexadecimal, etc. Escolhendo as opções desejadas e clicando em “**OK**” aparecerá a janela da Figura 2.12, a qual é a janela para inserção dos níveis lógicos dos nós para a simulação.
6. A escolha dos níveis lógicos das entradas é feita na tela da Figura 2.13, onde escolhendo a seta na barra de ferramenta da esquerda, arrasta-se o mouse clicado no botão da direita escolhendo-se os espaços sobre as formas de onda, e na barra de ferramentas à esquerda da tela escolhe-se o nível lógico desejado
7. Salvar o projeto com o mesmo nome do arquivo, no caso, Porta\_1 e extensão vwf, na pasta do projeto Porta\_1. Em seguida clicar na opção  da barra de ferramentas, e então irá aparecer a tela da Figura 2.14 com as formas de onda da saída.

8. Observe que na Figura 2.14 existe um atraso na resposta da saída **f**. que é de **7ns** de acordo com o atraso o dispositivo escolhido. Para retirar esse atraso, ir na barra de ferramentas opção **“TOOLS”** , depois clicar em **“Simulator Tool”**, irá aparecer a janela da Figura 2.15, na qual na opção **“Simulation Mode”** troca-se de **“Timing”** para **“Functional”** e então irá aparecer a opção **“Generate Functional Simulation Netlist”**. Clicar nela e então uma nova compilação será feita e clicando em **“START”** uma simulação será feita, aparecendo a tela da Figura 2.16 e em seguida as formas de onda sem o atraso de propagação (Figura 2.17).

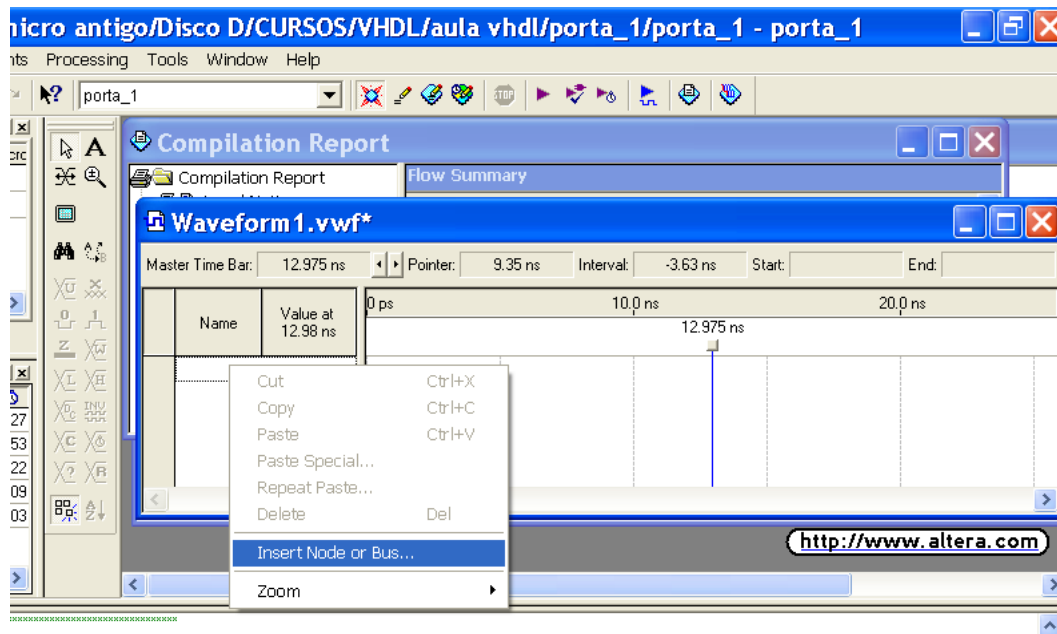


Figura 2.6 Janela com a opção de inserir nós ou bus a serem simulados

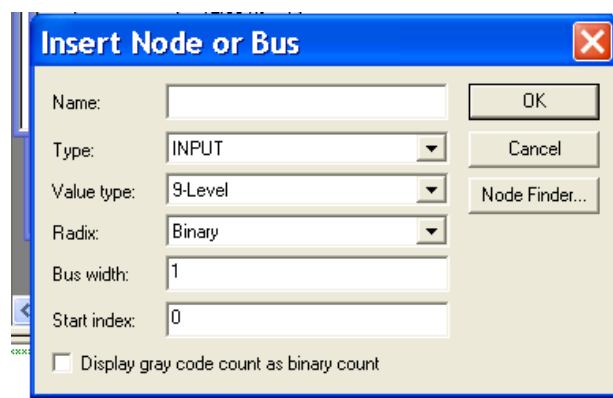
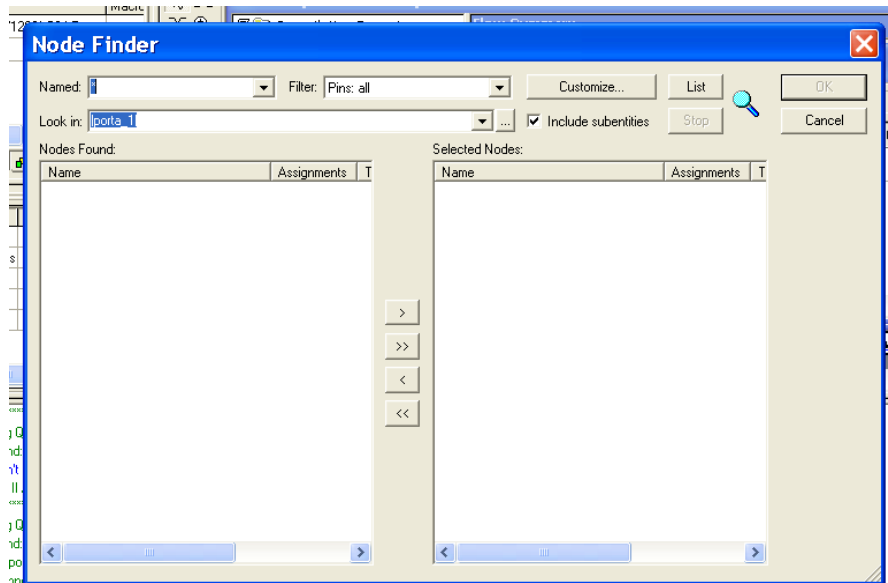
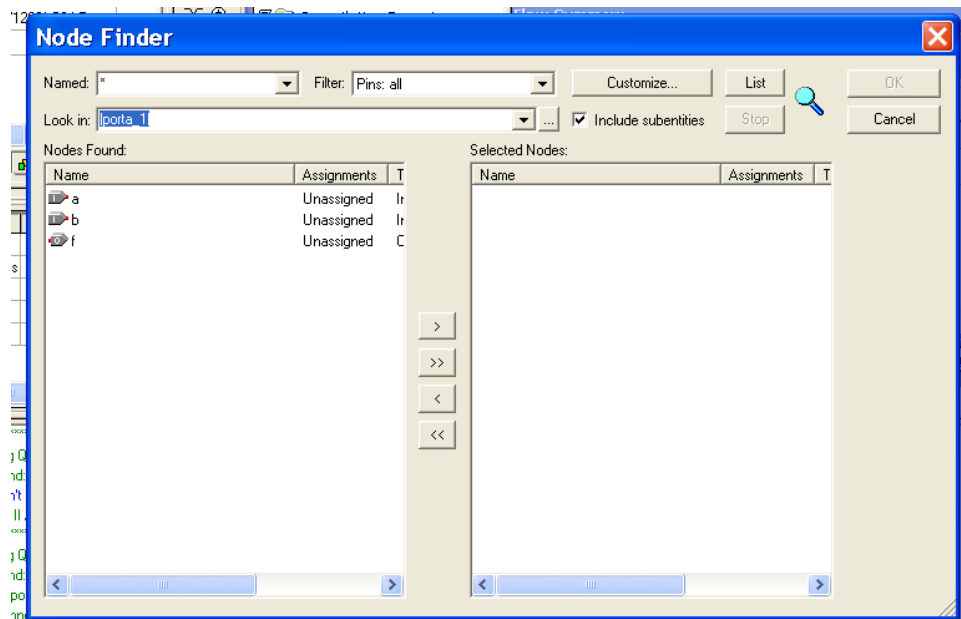


Figura 2.7 Janela para encontrar os nós a serem simulados



**Figura 2.8 Janela para escolha dos nós a serem simulados**



**Figura 2.9 Lista de todos os nós do projeto**

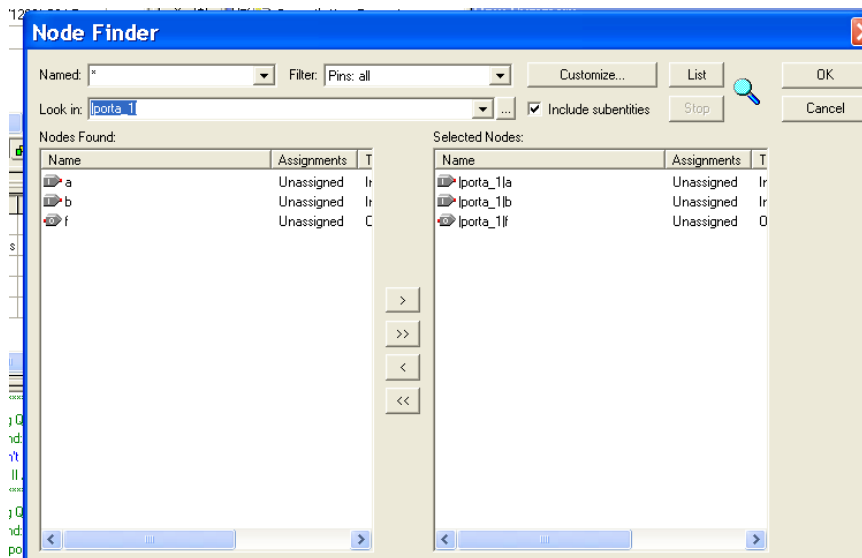


Figura 2.10 Nós do projeto escolhidos para simulação

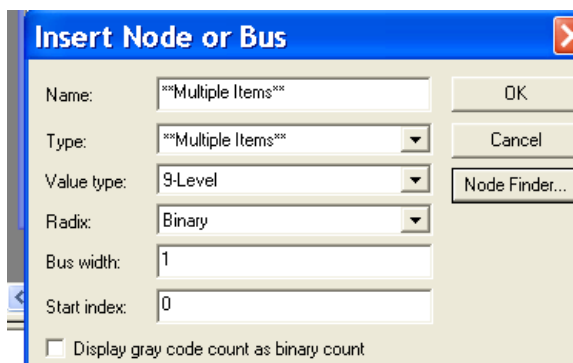


Figura 2.11 Opção de escolha de nome, tipo , etc para nós na simulação

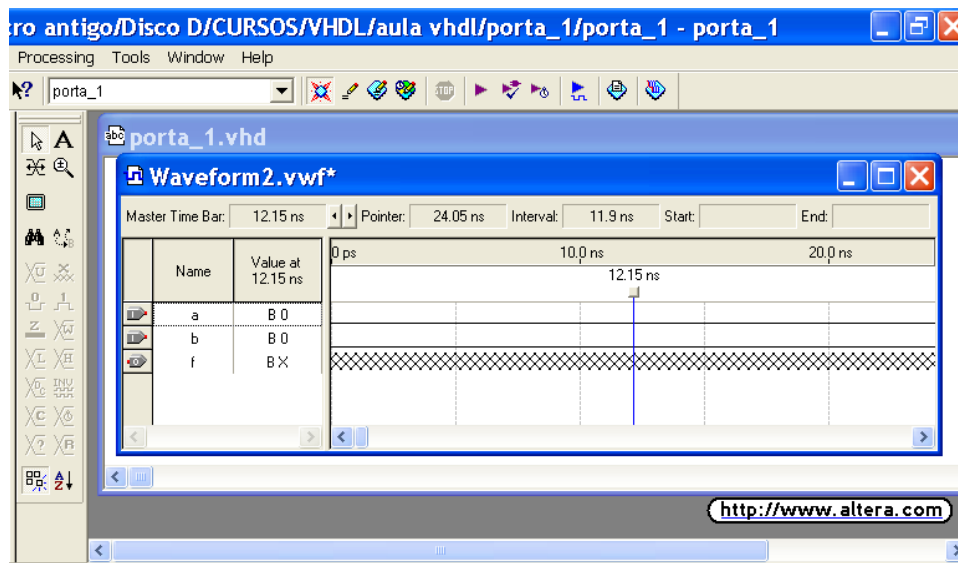


Figura 2.12 Tela de inserção do níveis lógicos dos nós para simulação.



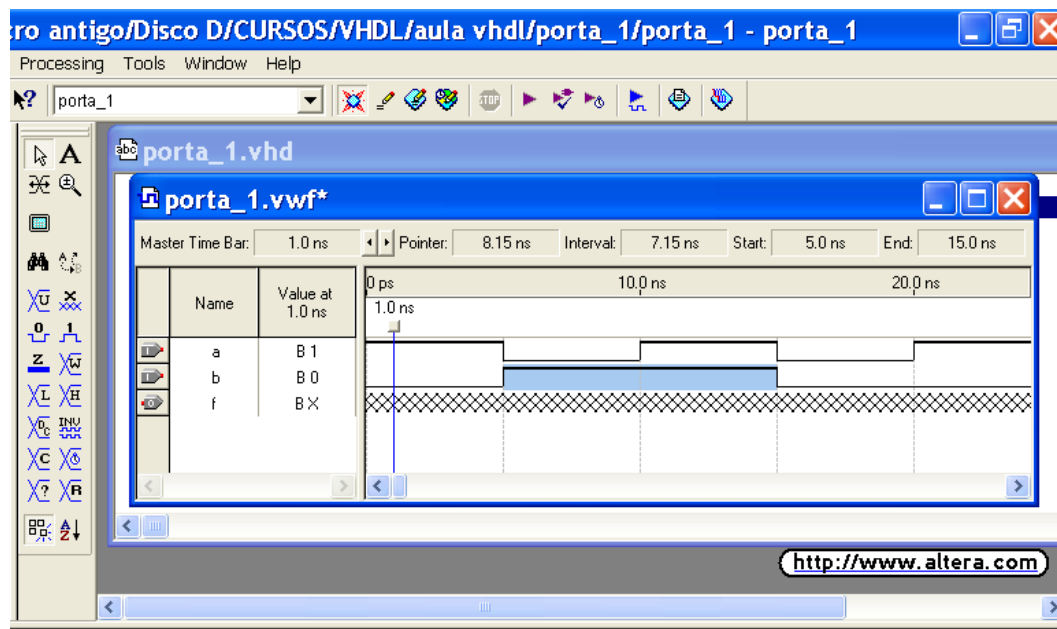


Figura 2.13 Escolha dos níveis lógicos das entradas para simulação.

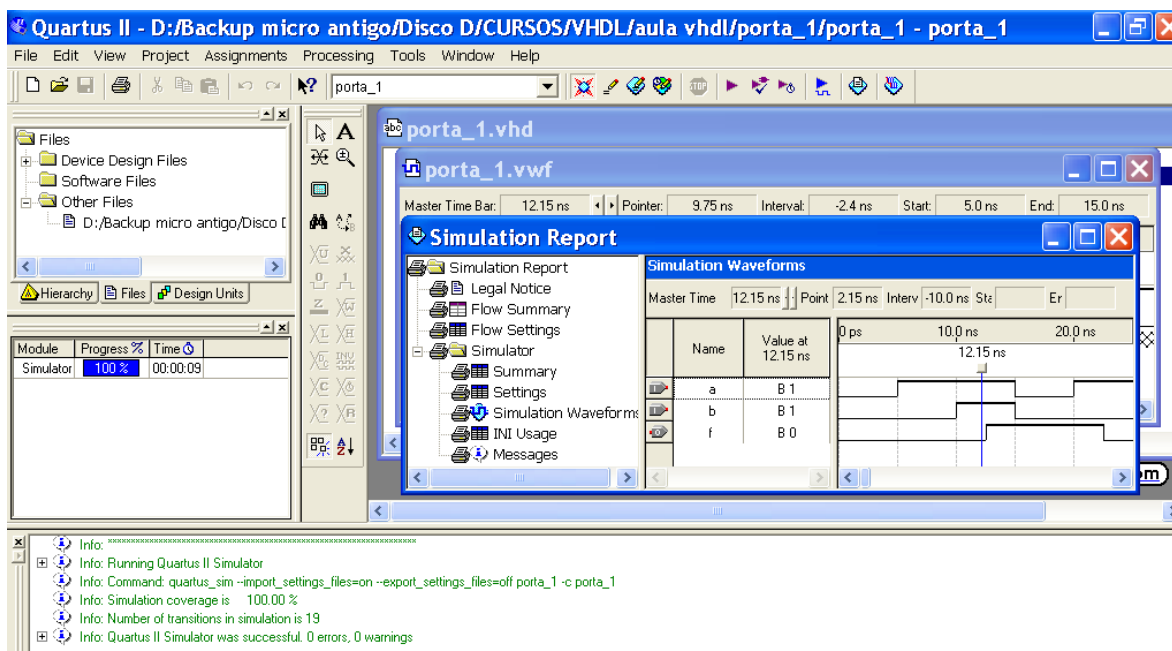
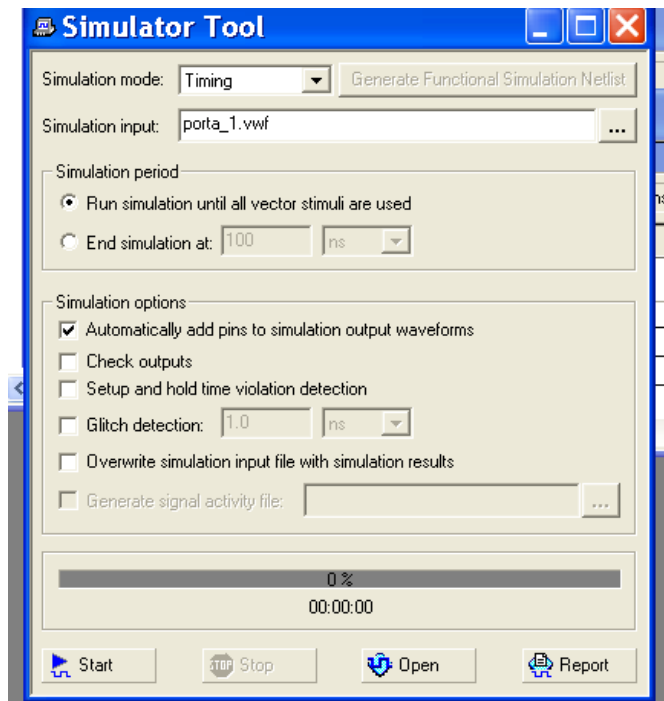
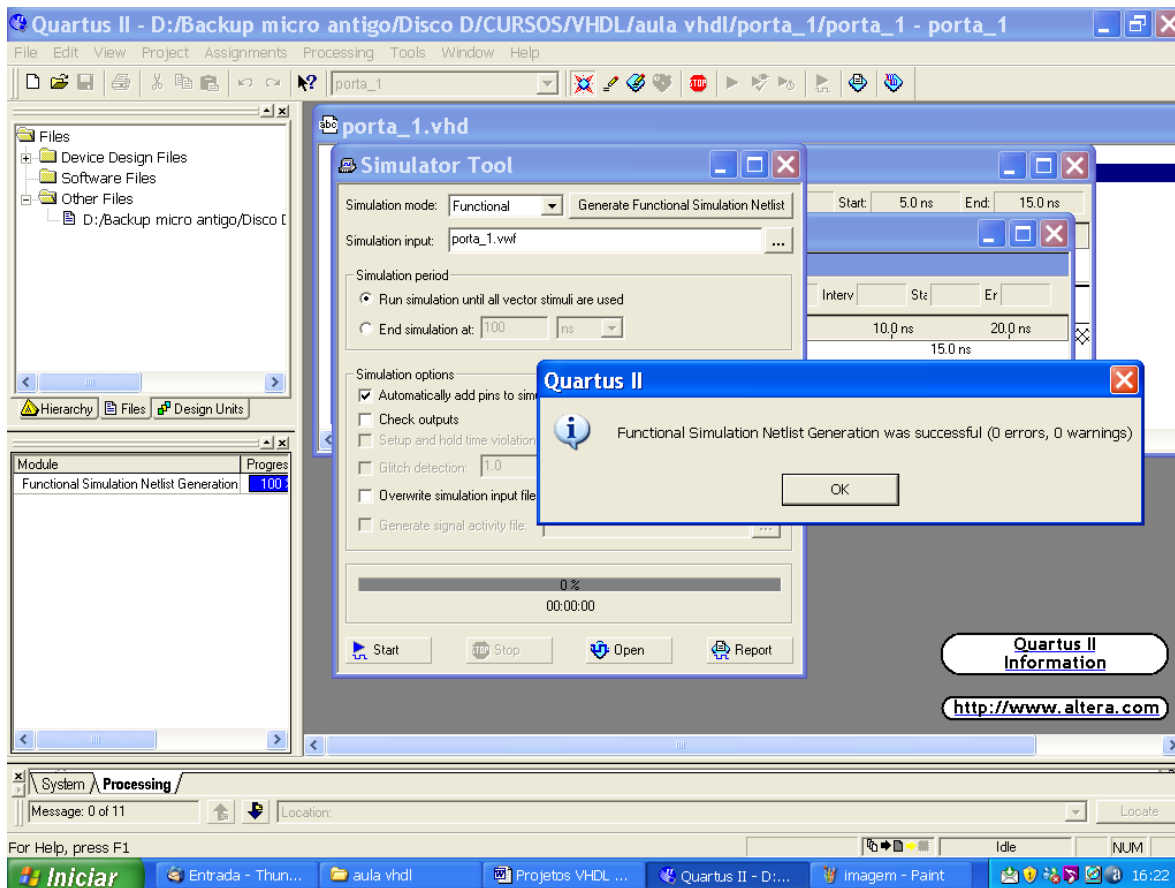


Figura 2.14 resultado da simulação do projeto Porta\_1 com o atraso de propagação.



**Figura 2.15** janela para eliminar atraso de propagação da simulação



**Figura 2.16** nova compilação e nova simulação sem atraso de propagação.

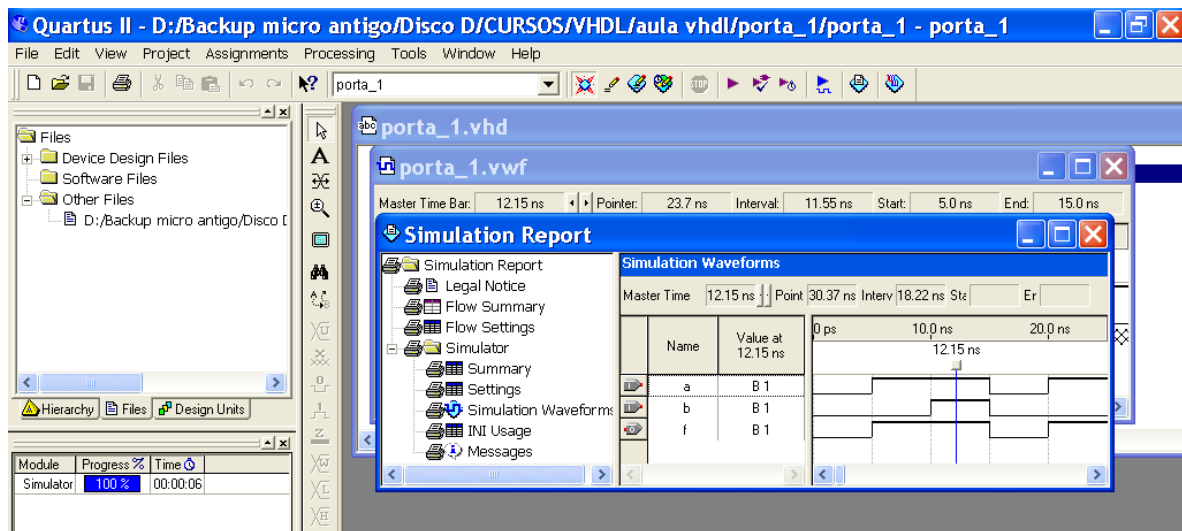



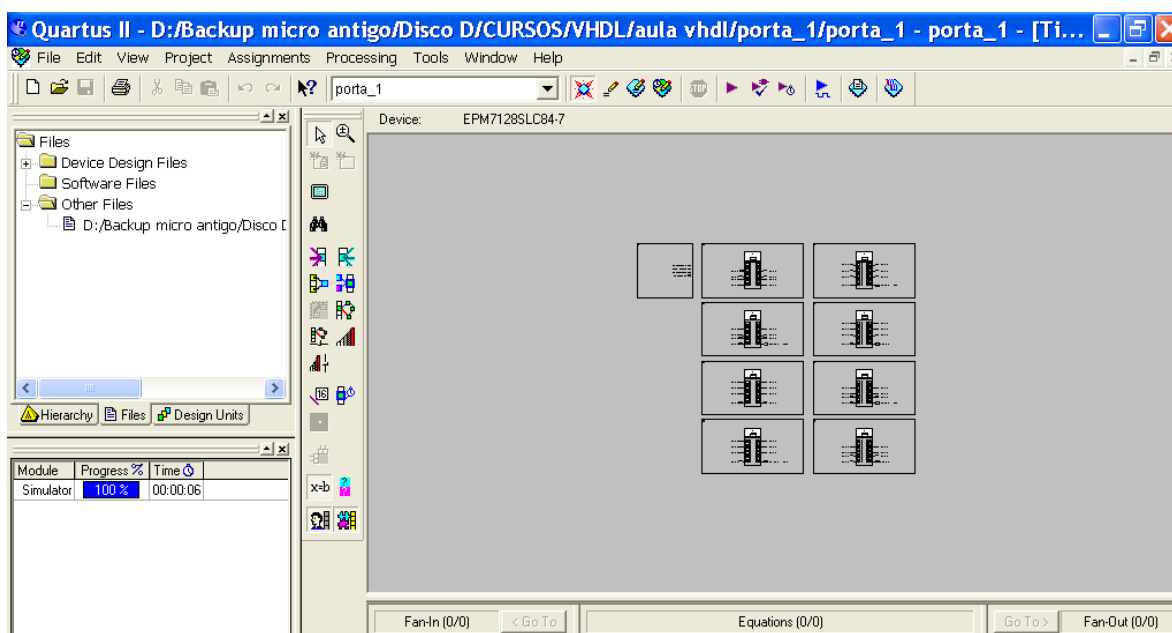
Figura 2.17 Formas de onda da nova simulação sem atraso de propagação.

### 3. Colocação dos Pinos pra Preparar a Programação:

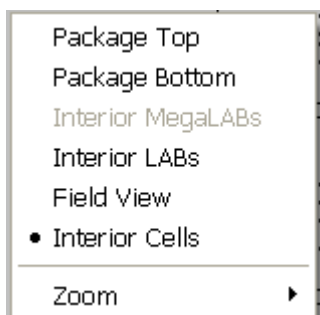
Quando é feita a compilação, o próprio programa executa a colocação dos pinos automaticamente. Para verificar essa pinagem clicar na barra de

ferramentas em  e então irá aparecer a tela da Figura 3.1. Clicando com o botão esquerdo do mouse na tela cinza irá aparecer a janela da figura 3.2 com as diversas opções de visualização do dispositivo, inclusive o topo do dispositivo com sua pinagem, mostrada na Figura 3.3.

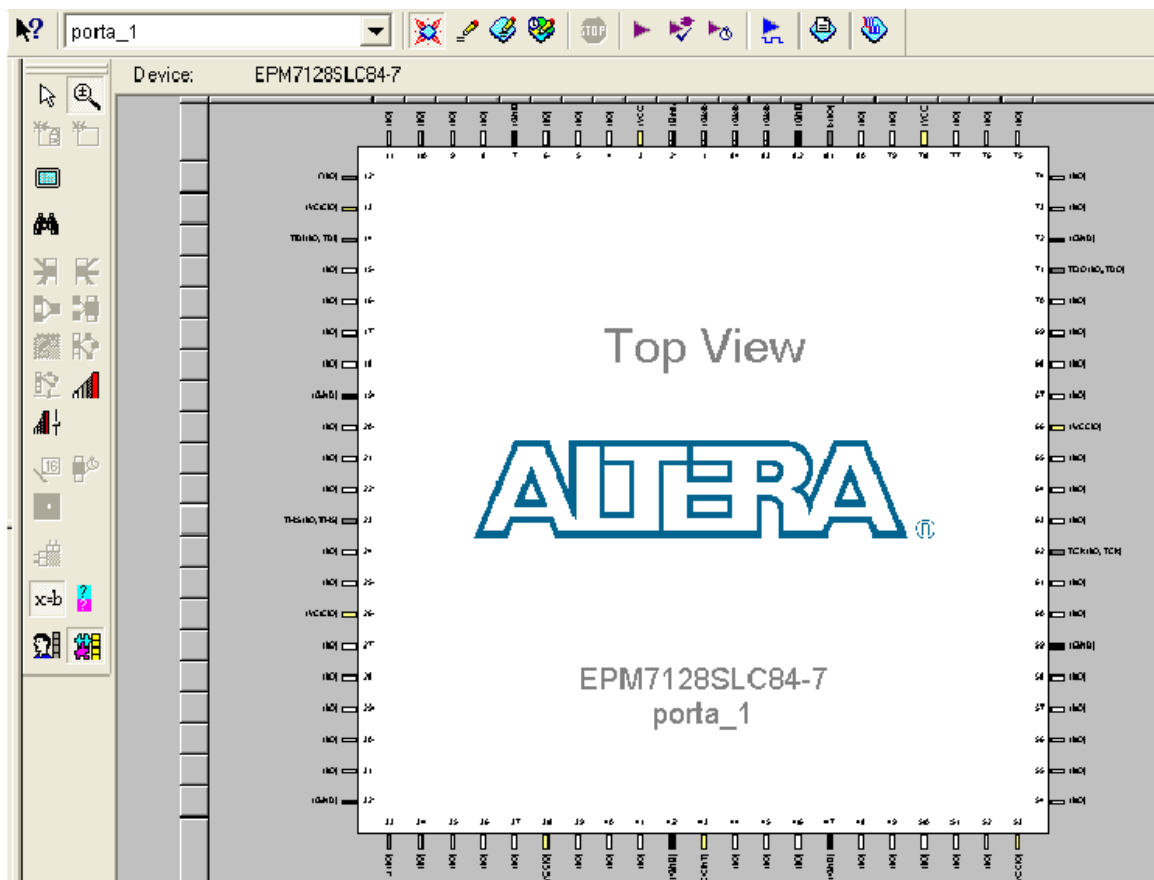
Caso o usuário deseje ele mesmo estabelecer a pinagem



**Figura Visualização das células interiores (“Interior Cells”) do dispositivo**



**Figura 3.2 Janela de opções de visualização do dispositivo utilizado no projeto**



**Figura 3.3** Vista do topo do dispositivo com sua pinagem colocada automaticamente pelo software

