

# PCS 3115 (PCS2215)

## Sistemas Digitais I

### Módulo 04 – Tecnologia CMOS

*Prof. Dr. Marcos A. Simplicio Jr.*

*versão: 3.1 (Jan/2018)*

Nota: as imagens de Pokémons que aparecem nesta aula são meramente ilustrativas.  
Nenhum Pokémon foi maltratado durante a confecção destes slides



## Objetivos – Parte 1

- Álgebra Booleana: operações básicas e derivadas
- Representação física dos níveis alto e baixo
- Portas lógicas (gate): NOT, AND, OR, NAND e NOR
- TTL x CMOS
- Lógica CMOS: Nível lógico e Transistor MOS
- Portas MOS:
  - Inversor, NAND e NOR, Buffer não-inversor
  - Fan-in

## Álgebra Booleana: operações básicas

- **Complemento (NOT)**

- Também chamada de “negação” ou “inversão”
- Operação unária (i.e., aplicada sobre uma variável por vez)
- **Resultado:** valor oposto ao valor da entrada
  - Se  $X = 0$ , então  $X' = 1$
  - Se  $X = 1$ , então  $X' = 0$

- Símbolos:

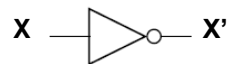
□  $\bar{X}$ ,  $\sim X$ ,  $X'$ ,  $\neg X$ ,  
NOT(X)

- Tabela-verdade

X	X'
0	1
1	0

- Porta lógica

(representação gráfica)



Símbolo usado na disciplina

## Álgebra Booleana: operações básicas

- **Operação E (AND)**

- Também chamada de “multiplicação lógica”
- **Resultado:** 1 se e somente todos os termos forem 1

- Símbolos:

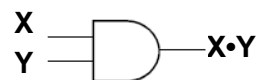
{  $\cdot$ ,  $\wedge$  }

- Tabela-verdade

X	Y	X•Y
0	0	0
0	1	0
1	0	0
1	1	1

- Porta lógica

(representação gráfica)



Símbolo usado na disciplina

## Álgebra Booleana: operações básicas

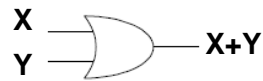
- Operação **OU (OR)**
  - Também chamada de “adição lógica”
  - **Resultado:** 1 se qualquer um dos termos for 1

▪ Símbolos:  
{ + , ∨ }

▪ Tabela-verdade

X	Y	X+Y
0	0	0
0	1	1
1	0	1
1	1	1

▪ Porta lógica  
(representação gráfica)



Símbolo usado na disciplina

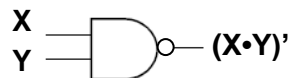
## Álgebra Booleana: operações derivadas

- Operação **NAND** ou **NÃO-E**
  - Combinação de inversão e operação E

▪ Tabela-verdade

X	Y	X•Y	(X•Y)'
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

▪ Porta lógica  
(representação gráfica)



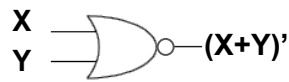
## Álgebra Booleana: operações derivadas

- Operação **NOR** ou **NÃO-OU**
  - Combinação de inversão e operação OU

### Tabela-verdade

X	Y	$X+Y$	$(X+Y)'$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

### Porta lógica (representação gráfica)



## Representação de bits

Technology	State Representing Bit	
	0	1
Pneumatic logic	Fluid at low pressure	Fluid at high pressure
Relay logic	Circuit open	Circuit closed
Complementary metal-oxide semiconductor (CMOS) logic	0–1.5 V	3.5–5.0 V
Transistor-transistor logic (TTL)	0–0.8 V	2.0–5.0 V
Dynamic memory	Capacitor discharged	Capacitor charged
Nonvolatile, erasable memory	Electrons trapped	Electrons released
Microprocessor on-chip serial number	Fuse blown	Fuse intact
Polymer memory	Molecule in state A	Molecule in state B
Fiber optics	Light off	Light on
Magnetic disk or tape	Flux direction "north"	Flux direction "south"
Compact disc (CD)	No pit	Pit
Writable compact disc (CD-R)	Dye in crystalline state	Dye in noncrystalline state

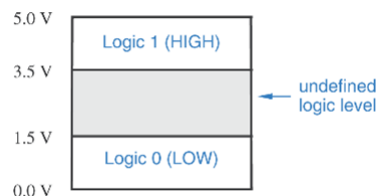
From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4.  
©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.

## Famílias Lógicas

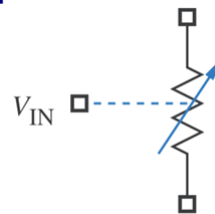
- 1930: relés (relay)
- 1940: tubo a vácuo (ENIAC)
- 1950: invenção do diodo semicondutor e transistor bipolar
- 1960: CI e conceito de famílias lógicas
  - TTL: transistor-transistor logic
  - MOSFET: princípios anteriores a TTL, porém implementação difícil na década de 60
    - Metal-oxide semiconductor field-effect transistor
  - CMOS: metade da década de 80, mais rápido, mais utilizado atualmente

## Características físicas

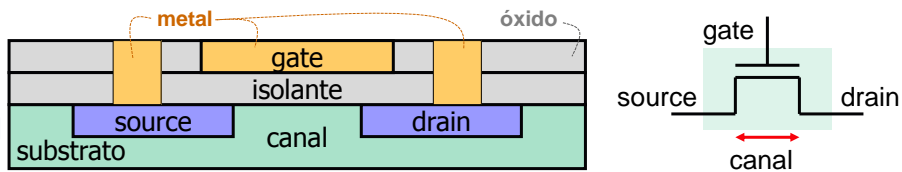
- CMOS: usa-se low/high ou invés de 0/1
- Lógica positiva:
  - 0 = low e 1 = high
- Lógica negativa:
  - 1 = low e 0 = high



- Funcionamento: **resistência controlada por tensão**
  - Chave aberta: transistor off
    - Resistência muito alta:  $>1 \text{ M}\Omega$  (mega Ohms)
  - Chave fechada: transistor on
    - Resistência muito baixa: alguns poucos  $\Omega$

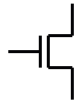


## Características físicas

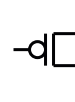


- Funcionamento:

- Canal normalmente isola fonte (*source*) e dreno (*drain*): alta resistência (**transistor off**)
- Tensão no *gate* atrai/repele elétrons entre fonte e dreno, criando canal de baixa resistência entre eles (**transistor on**)
  - Dois tipos: N ou P



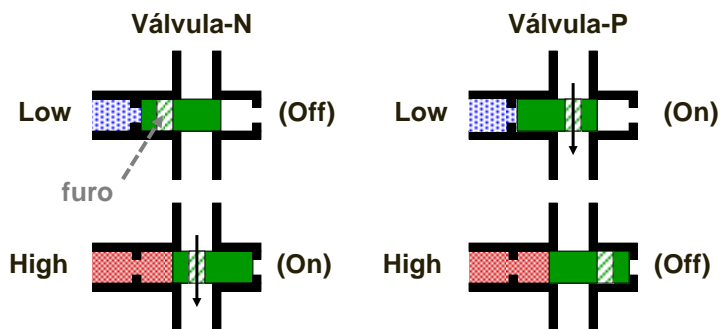
N-MOS: conduz com 1



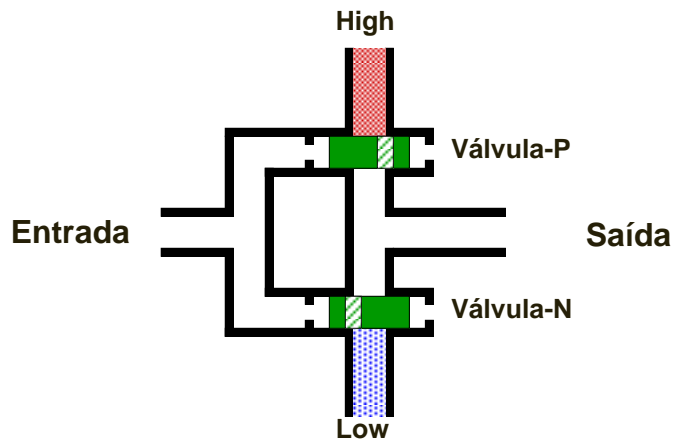
P-MOS: conduz com 0

## Analogia ao transistor: computação com ar

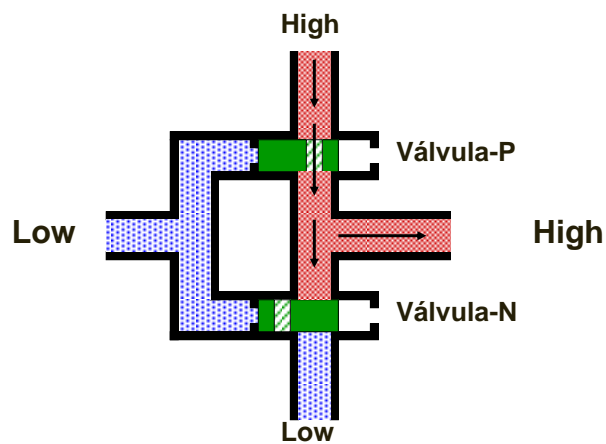
- Vamos usar pressão do ar para codificar dados
  - Alta pressão representa um "1" (empurra válvula)
  - Baixa pressão representa um "0" (puxa válvula)
- Válvula pode permitir ou não fluxo de ar
  - Dois tipos de válvulas pneumáticas



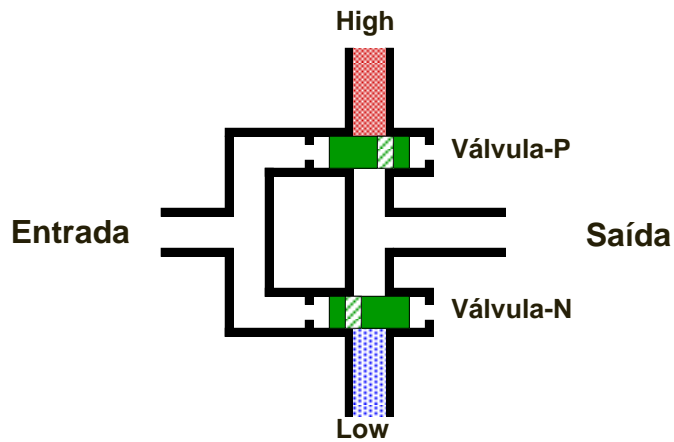
## Inversor (NOT) com pressão



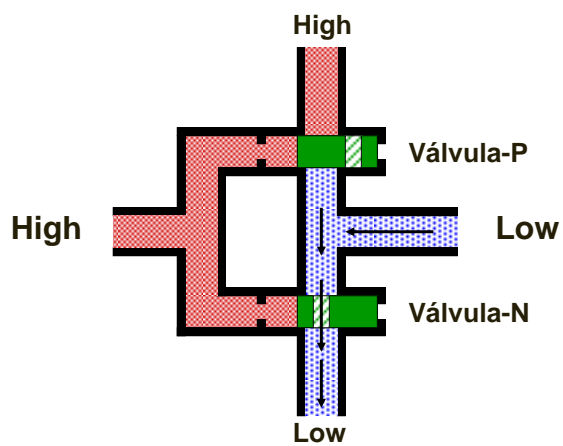
## Inversor (NOT) com pressão: Low → High



## Inversor (NOT) com pressão



## Inversor (NOT) com pressão: High → Low





## Analogia explicada

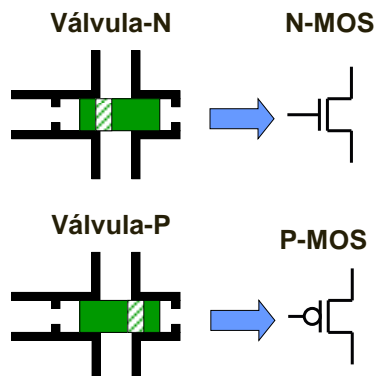
- Diferença de pressão → potencial elétrico (tensão)
  - Moléculas de ar → elétrons
  - Pressão (moléculas por volume) → tensão
  - Alta pressão → Alta tensão
  - Baixa pressão → baixa tensão
- Fluxo de ar → corrente elétrica
  - Canos → fios
  - Ar flui apenas da pressão alta para a pressão baixa → corrente flui apenas da alta para a baixa tensão
  - Fluxo ocorre apenas quando aplicada tensão de 1 para 0 ou vice-versa
- Válvula → transistor

## Transistores como chaves

- Dois tipos
  - Tipo N
  - Tipo P

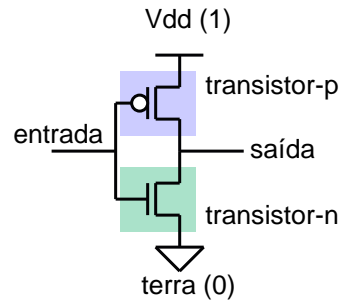
- Propriedades

- Estado sólido (s/ partes móveis)
- Confiável (baixa taxa de falhas)
- Pequeno (canal de 14nm)
- Rápido (latência de chaveamento <0.1ns)



## Complementary MOS (CMOS)

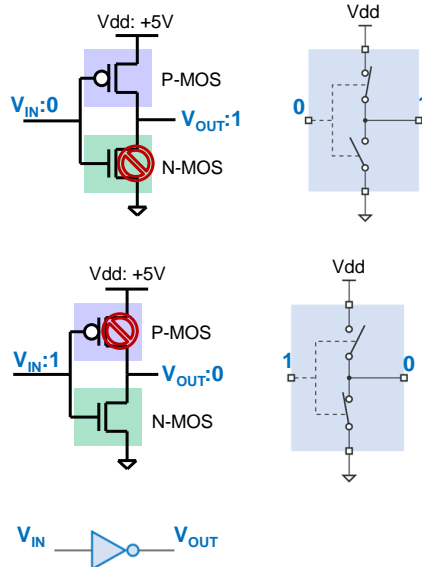
- Tensão codifica dados
  - Alimentação (Vdd) = "1", Terra = "0"
- CMOS: Combina transistores N e P
  - **Transistores-N**
    - Conduz quando tensão no gate é 1
    - Bom para passar 0s
  - **Transistores-P**
    - Conduz quando tensão no gate é 0
    - Bom para passar 1s
- Permite construir portas lógicas e outros elementos de computação (e.g., memórias RAM)



## Inversor (NOT) CMOS

- Inversor: porta mais básica
  - 1 transistor-p + 1 transistor-n
- Operação básica
  - Entrada = 0
    - Transistor-p on, transistor-n off
    - Saída ligada ao Vdd (1)
  - Entrada = 1
    - Transistor-p off, transistor-n on
    - Saída ligada ao terra (0)

$V_{IN}$	P-MOS	N-MOS	$V_{OUT}$
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)

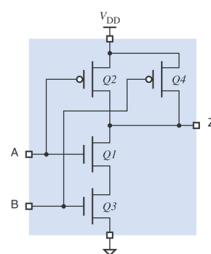
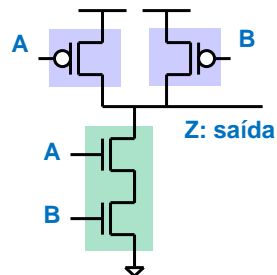


## Outras portas CMOS

- O que faz esse circuito?
- Tabela verdade:

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

- Resultado: **NAND** (NOT+AND)
- E NAND é universal: permite construir qualquer circuito



A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	off	on	off	L

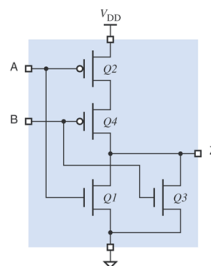
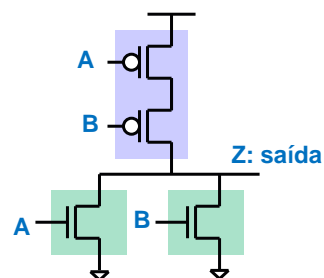


## Outras portas CMOS

- O que faz esse circuito?
- Tabela verdade:

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

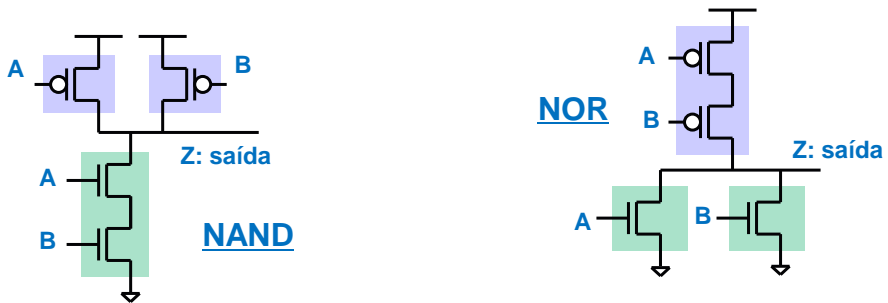
- Resultado: **NOR** (NOT+OR)
- E NOR é universal: permite construir qualquer circuito



A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	off	on	off	L

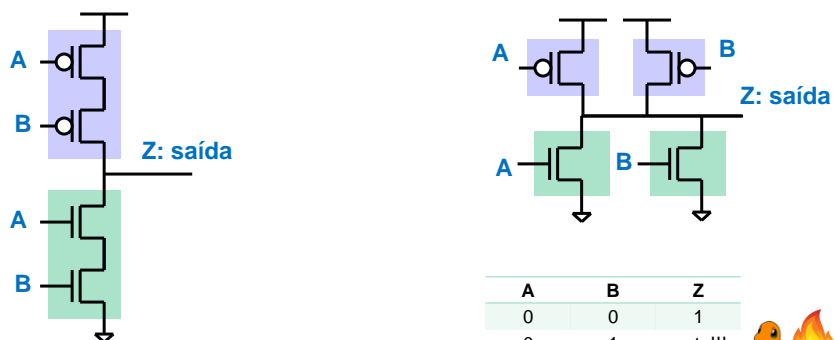


## Outras portas CMOS



- Racionalizando: transistores ligados em...
  - **Paralelo:** liga a Vdd/terra como um “OR”
  - **Série:** liga a Vdd/terra com um “AND”

## Portas estranhas...

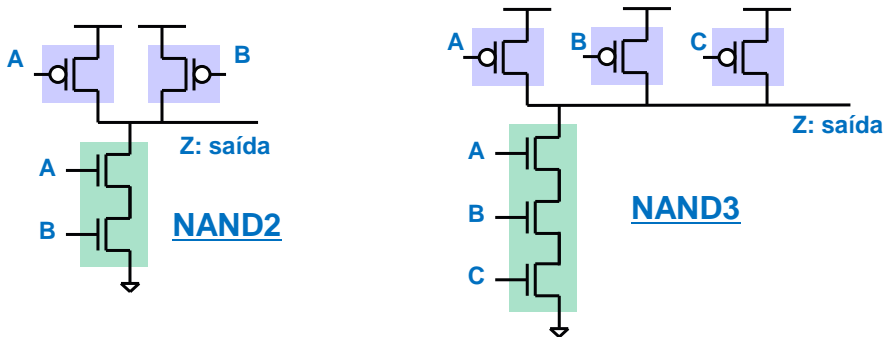


A	B	Z
0	0	1
0	1	alta impedância
1	0	alta impedância
1	1	0

A	B	Z
0	0	1
0	1	curto!!!
1	0	curto!!!
1	1	0

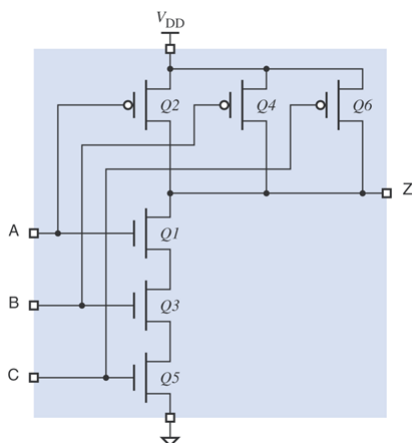


## Outras portas CMOS



- E um NAND de 3 entradas?
  - Basta repetir o mesmo processo do NAND de 2 entradas!

## Outras portas CMOS



A	B	C	Q1	Q2	Q3	Q4	Q5	Q6	Z
L	L	L	off	on	off	on	off	on	H
L	L	H	off	on	off	on	on	off	H
L	H	L	off	on	on	off	off	on	H
L	H	H	off	on	on	off	on	off	H
H	L	L	on	off	off	on	off	on	H
H	L	H	on	off	off	on	on	off	H
H	H	L	on	off	on	off	off	on	H
H	H	H	on	off	on	off	on	off	L



- E um NAND de 3 entradas?
  - Basta repetir o mesmo processo do NAND de 2 entradas!

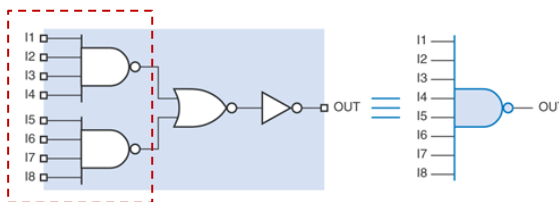
## Fan-In

- Definição: **número de entradas** que uma porta de uma família lógica pode ter.
- Em princípio:  $n$  entradas  $\rightarrow$   $n$  transistores em série e  $n$  transistores em paralelo.
- Exemplo:
  - NAND de 3 entradas
- Porém, a resistência dos transistores em série é somada quando estão “on”..
  - Isso aumenta o atraso de chaveamento...
  - Também aumenta queda de tensão entre  $V_{cc}$ /Terra e saída do circuito



## Fan-In

- Limites práticos para implementação de portas lógicas CMOS:
  - NOR = 4 entradas
  - NAND = 6 entradas
- Alternativa: cascatear portas lógicas menores!



Atraso: equivalente a  
NAND de 4 entradas

## Portas Não-inversoras - CMOS

- CMOS: portas mais simples são NOT, NAND e NOR.
- Portas não-inversoras obtidas ao conectar um inversor (NOT) a saída de:
  - NOT → buffer (adiciona atraso ao circuito)
  - NAND → AND
  - NOR → OR

## Buffer - CMOS

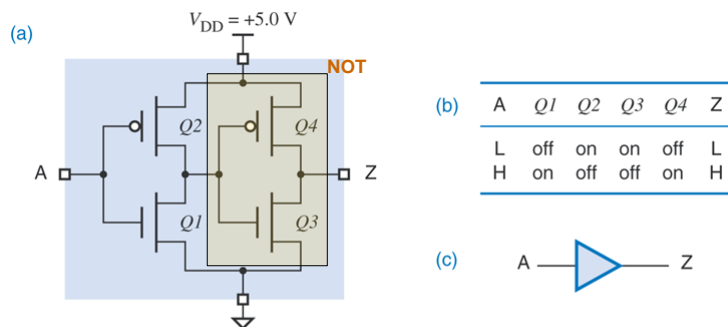


Figure 3-18

CMOS noninverting buffer: (a) circuit diagram; (b) function table; (c) logic symbol.

## Porta AND - CMOS

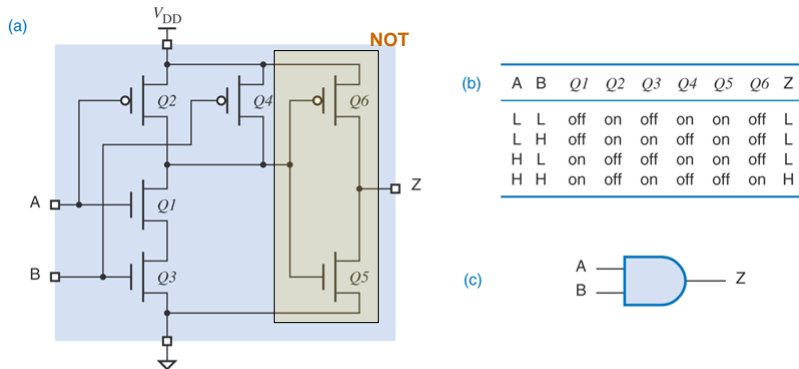


Figure 3-19

CMOS 2-input AND gate: (a) circuit diagram; (b) function table; (c) logic symbol.

From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4.  
©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.

## Portas Lógicas de 2 níveis

- É possível implementar portas lógicas de 2 níveis com “um único nível de transistores”!

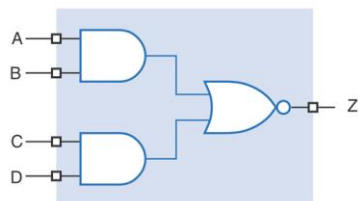


Figure 3-21

Logic diagram for CMOS AND-OR-INVERT gate.

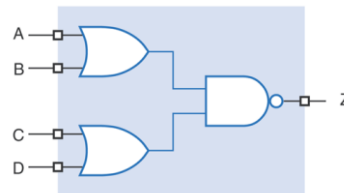


Figure 3-23

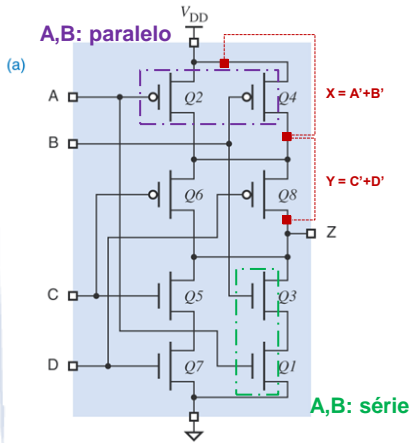
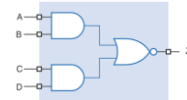
Logic diagram for CMOS OR-AND-INVERT gate.

- Atraso destas portas é equivalente a uma porta NAND ou NOR.



## Porta AND-OR-INVERT

•  $Z = X \cdot Y = (A' + B') \cdot (C' + D') = (A \cdot B)' \cdot (C \cdot D)' = [(A \cdot B) + (C \cdot D)]'$

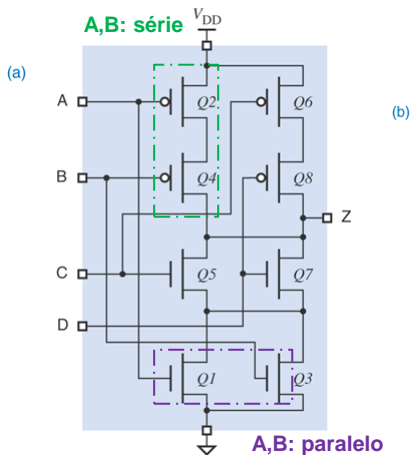
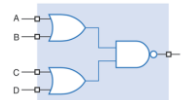


A	B	C	D	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Z
L	L	L	L	off	on	off	on	off	on	off	on	H
L	L	L	H	off	on	off	on	off	on	off	on	H
L	L	H	L	off	on	off	on	off	on	off	on	H
L	L	H	H	off	on	off	on	off	on	off	on	L
L	H	L	L	off	on	on	off	off	on	off	on	H
L	H	L	H	off	on	on	off	off	on	off	on	H
L	H	H	L	off	on	on	off	off	on	off	on	H
L	H	H	H	off	on	on	off	off	on	off	on	L
H	L	L	L	on	off	off	on	off	on	off	on	H
H	L	L	H	on	off	off	on	off	on	off	on	H
H	L	H	L	on	off	off	on	off	on	off	on	H
H	L	H	H	on	off	off	on	off	on	off	on	L
H	H	L	L	on	off	on	off	off	on	off	on	L
H	H	L	H	on	off	on	off	off	on	off	on	L
H	H	H	L	on	off	on	off	off	on	off	on	L
H	H	H	H	on	off	on	off	off	on	off	on	L

From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4.  
©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.

## Porta OR-AND-INVERT

$Z = (A' \cdot B') + (C' \cdot D') = (A + B)' \cdot (C + D)' = [(A + B) \cdot (C + D)]'$



(b)

A	B	C	D	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Z
L	L	L	L	off	on	off	on	off	on	off	on	H
L	L	L	H	off	on	off	on	off	on	off	on	H
L	L	H	L	off	on	off	on	off	on	off	on	H
L	L	H	H	off	on	off	on	off	on	off	on	H
L	H	L	L	off	on	on	off	off	on	off	on	H
L	H	L	H	off	on	on	off	off	on	off	on	L
L	H	H	L	off	on	on	off	off	on	off	on	L
L	H	H	H	off	on	on	off	off	on	off	on	L
H	L	L	L	on	off	off	on	off	on	off	on	H
H	L	L	H	on	off	off	on	off	on	off	on	L
H	L	H	L	on	off	off	on	off	on	off	on	L
H	L	H	H	on	off	off	on	off	on	off	on	L
H	H	L	L	on	off	on	off	off	on	off	on	L
H	H	L	H	on	off	on	off	off	on	off	on	L
H	H	H	L	on	off	on	off	off	on	off	on	L
H	H	H	H	on	off	on	off	off	on	off	on	L

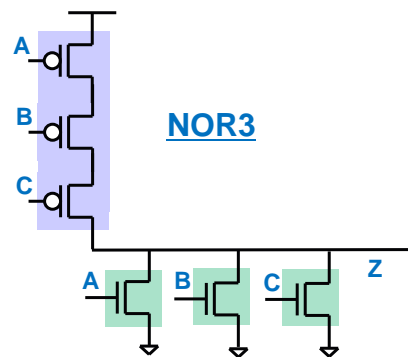
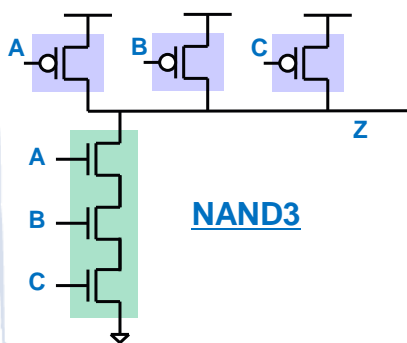
From *Digital Design: Principles and Practices*, Fourth Edition, John F. Wakerly, ISBN 0-13-186389-4.  
©2006, Pearson Education, Inc., Upper Saddle River, NJ. All rights reserved.

## Exercício (prova 2014)

- Determine quatro (4) possíveis portas CMOS, diferentes, compostas de três (3) entradas ( $x_3, x_2, x_1$ ) e uma (1) saída  $z$  cada.
- Dá-se a restrição de que elas são implementadas apenas com seis (6) transistores CMOS, sendo três (3) transistores CMOS canal N e três (3) transistores CMOS canal P. Determine a expressão lógica para cada uma das portas e desenhe a estrutura de transistores apenas para a parte dos transistores canal N.

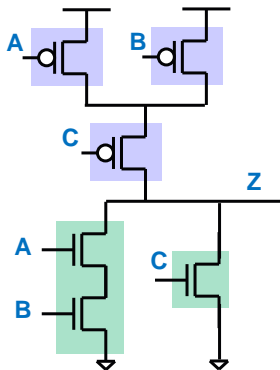
## Exercício (prova 2014) - Resposta

- NAND3 e NOR3

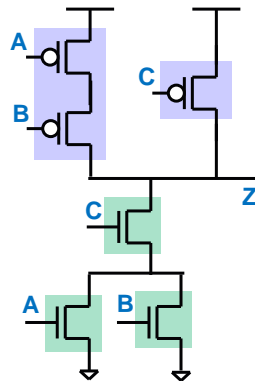


## Exercício (prova 2014) - Resposta

$$(A'+B')\cdot C' = \\ (A\cdot B+C)'$$



$$(A'\cdot B') + C' = \\ ((A+B)\cdot C)'$$



## Objetivos – Parte 2

- Características **estáticas**: quando entradas e saídas não estão mudando
  - Níveis lógicos e margem de ruído
  - Carga ideal e não ideal
  - Fan-out
  - Entrada aberta
- Características **dinâmicas**: quando ocorre mudança dos sinais de entrada e saída
  - Tempo de transição
  - Tempo de subida e descida
  - Atraso de propagação
  - Consumo de energia
- Tri-State

# CARACTERÍSTICAS ESTÁTICAS

39

## Informações presentes em datasheets

DC ELECTRICAL CHARACTERISTICS OVER OPERATING RANGE  
The following conditions apply unless otherwise specified:  
Commercial:  $T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$ ,  $V_{CC} = 5.0\text{ V} \pm 5\%$ ; Military:  $T_A = -55^\circ\text{C}$  to  $+125^\circ\text{C}$ ,  $V_{CC} = 5.0\text{ V} \pm 10\%$

Sym.	Parameter	Test Conditions <sup>(1)</sup>	Min.	Typ. <sup>(2)</sup>	Max.	Unit	
$V_{IH}$	Input HIGH level	Guaranteed logic HIGH level	3.15	—	—	V	
$V_{IL}$	Input LOW level	Guaranteed logic LOW level	—	—	1.35	V	
$I_{IH}$	Input HIGH current	$V_{CC} = \text{Max.}$ , $V_i = V_{CC}$	—	—	1	$\mu\text{A}$	
$I_{IL}$	Input LOW current	$V_{CC} = \text{Max.}$ , $V_i = 0\text{ V}$	—	—	-1	$\mu\text{A}$	
$V_{IK}$	Clamp diode voltage	$V_{CC} = \text{Min.}$ , $I_N = -18\text{ mA}$	—	-0.7	-1.2	V	
$I_{IOS}$	Short-circuit current	$V_{CC} = \text{Max.}$ , <sup>(3)</sup> $V_O = \text{GND}$	—	—	-35	mA	
$V_{OH}$	Output HIGH voltage	$V_{CC} = \text{Min.}$ , $V_{IN} = V_{IL}$	$I_{OH} = -20\ \mu\text{A}$	4.4	4.499	—	V
			$I_{OH} = -4\text{ mA}$	3.84	4.3	—	V
$V_{OL}$	Output LOW voltage	$V_{CC} = \text{Min.}$ , $V_{IN} = V_{IH}$	$I_{OL} = 20\ \mu\text{A}$	—	.001	0.1	V
			$I_{OL} = 4\text{ mA}$	—	0.17	0.33	V
$I_{CC}$	Quiescent power supply current	$V_{CC} = \text{Max.}$ , $V_{IN} = \text{GND}$ or $V_{CC}$ , $I_O = 0$	—	2	10	$\mu\text{A}$	

SWITCHING CHARACTERISTICS OVER OPERATING RANGE,  $C_L = 50\text{ pF}$

Sym.	Parameter <sup>(4)</sup>	Test Conditions	Min.	Typ.	Max.	Unit
$t_{PD}$	Propagation delay	A or B to Y	—	9	19	ns
$C_i$	Input capacitance	$V_{IN} = 0\text{ V}$	—	3	10	pF
$C_{pd}$	Power dissipation capacitance per gate	No load	—	22	—	pF

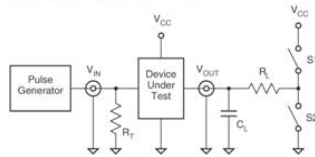
Estáticas

**NOTES:**

1. For conditions shown as Max. or Min., use appropriate value specified under Electrical Characteristics.
2. Typical values are at  $V_{CC} = 5.0\text{ V}$ ,  $+25^\circ\text{C}$  ambient.
3. Not more than one output should be shorted at a time. Duration of short-circuit test should not exceed one second.
4. This parameter is guaranteed but not tested.

# Informações presentes em datasheets

## TEST CIRCUIT FOR ALL OUTPUTS



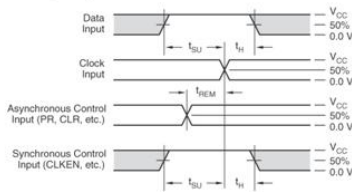
## LOADING

Parameter	$R_L$	$C_L$	S1	S2
$t_{en}$	$t_{pZH}$	50 pF or 150 pF	Open	Closed
	$t_{pZL}$	50 pF or 150 pF	Closed	Open
$t_{dis}$	$t_{pHZ}$	50 pF or 150 pF	Open	Closed
	$t_{pLZ}$	50 pF or 150 pF	Closed	Open
$t_{pd}$	—	50 pF or 150 pF	Open	Open

### DEFINITIONS:

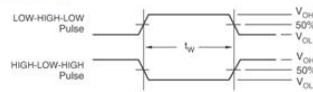
$C_L$  = Load capacitance, includes jig and probe capacitance.  
 $R_T$  = Termination resistance, should equal  $Z_{OUT}$  of the Pulse Generator.

## SETUP, HOLD, AND RELEASE TIMES

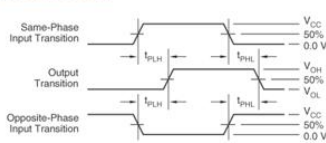


Dinâmicas

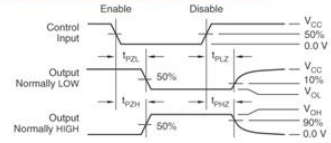
## PULSE WIDTH



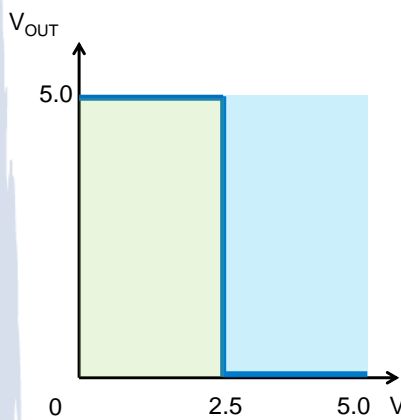
## PROPAGATION DELAY



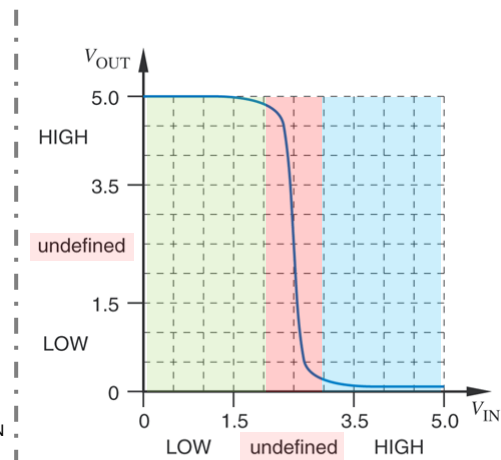
## THREE-STATE ENABLE AND DISABLE TIMES



# Curva de transferência de Inversor CMOS



Curva "ideal"



Curva típica

## Margem de ruído

- Também chamada de *DC noise-margin*: quanto ruído é necessário para corromper  $V_{OUT}$  para um valor que não possa ser reconhecido por uma entrada
  - Parâmetros garantidos por fabricante sob algumas condições (temperatura, valor do  $V_{CC}$ , etc.)

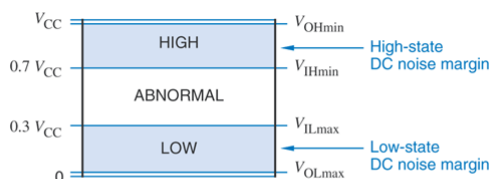


Figure 3-26

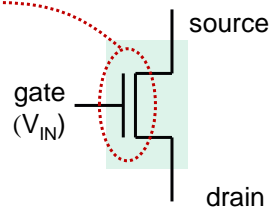
Logic levels and noise margins for the HC-series CMOS logic family.

- $V_{OHmin} = V_{OUT}$  mínimo para saída em HIGH
- $V_{IHmin} = V_{IN}$  mínimo garantido como HIGH
- $V_{ILmax} = V_{IN}$  máximo garantido como LOW
- $V_{OLmax} = V_{OUT}$  máximo para saída em LOW

## Correntes na entrada

Sym.	Parameter	Test Conditions <sup>(1)</sup>	Min.	Typ. <sup>(2)</sup>	Max.	Unit
$I_{IH}$	Input HIGH current	$V_{CC} = \text{Max.}, V_i = V_{CC}$	—	—	1	$\mu\text{A}$
$I_{IL}$	Input LOW current	$V_{CC} = \text{Max.}, V_i = 0 \text{ V}$	—	—	-1	$\mu\text{A}$

- Consumo muito baixo nos transistores de um inversor, havendo somente corrente de fuga.
  - $I_{IH}$ : máxima corrente de entrada para HIGH
  - $I_{IL}$ : máxima corrente de entrada para LOW
- Alta impedância!



## Comportamento com cargas resistivas

- CMOS: consumo muito baixo quando ligado a outras portas lógicas CMOS
  - Mas nem sempre há apenas portas CMOS em um circuito: portas TTL, LEDs, resistências, ...
  - Transistor de saída tem resistência pequena, mas não nula: carga conectada provoca queda de tensão nessa resistência! →  $V_{OUT}$  pode variar!

Sym.	Parameter	Test Conditions <sup>(1)</sup>	Min.	Typ. <sup>(2)</sup>	Max.	Unit	
$V_{OH}$	Output HIGH voltage	$V_{CC} = \text{Min.}, V_{IN} = V_{IL}$	$I_{OH} = -20 \mu\text{A}$	4.4	4.499	—	V
			$I_{OH} = -4 \text{ mA}$	3.84	4.3	—	V
$V_{OL}$	Output LOW voltage	$V_{CC} = \text{Min.}, V_{IN} = V_{IH}$	$I_{OL} = 20 \mu\text{A}$	—	.001	0.1	V
			$I_{OL} = 4 \text{ mA}$		0.17	0.33	V

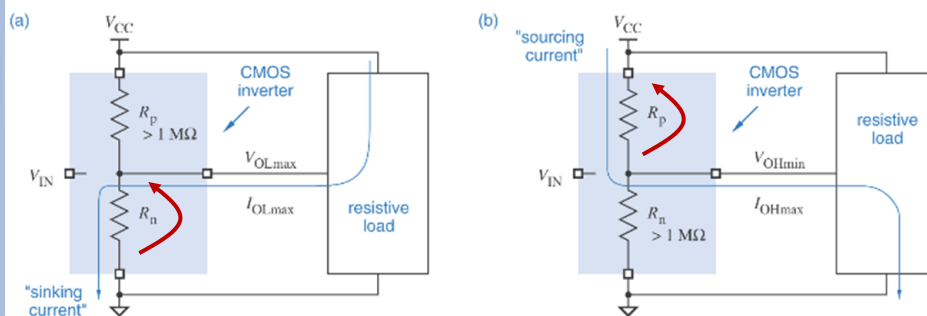
Conectado a porta CMOS (alta impedância)

Conectado a circuito com baixa impedância

45

## Comportamento com cargas resistivas

- Transistor de saída tem resistência não nula e a carga conectada provoca queda de tensão nessa resistência! →  $V_{OUT}$  pode variar!



Queda de tensão entre  $V_{OUT}$  e  $\{V_{CC} \text{ ou terra}\}$

46

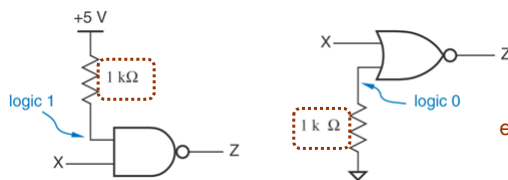
## Fan-Out

- Número de entradas que podem ser conectadas a porta de saída sem exceder pior caso nas especificações.
  - Depende da porta de saída e das de entrada;
  - Deve ser analisado para HIGH e LOW.
- Exemplo:
  - Corrente max de saída (HIGH ou LOW) = 10  $\mu$ A
  - Corrente de entrada (HIGH ou LOW) = 1  $\mu$ A

} até 10 portas conectadas a saída
- Desrespeito a fan-out pode causar, entre outros:
  - Operação fora das faixas especificadas de tensão
  - Atrasos acima dos especificados
  - Superaquecimento (e, portanto, falhas)

## Entradas não usadas

- Ex.: apenas 2 portas usadas em um NAND de 3 portas
- O que fazer com a porta não usada? 3 alternativas:
  - Deixar em aberto (**RUIM**): ruído pode causar flutuações na entrada, causando comportamento inesperado
  - Conectar a mesma entrada em duas portas (**não-ideal**): aumenta a carga sobre circuito e pode causar atrasos
    - Uma entrada pode estar um pouco “atrasada” em relação à outra
  - Conectar a uma entrada lógica “neutra” (0 para OR e 1 para NOR) ← **preferível**



Resistor de **pull-up/down** (opcional): evita curtos se a porta vier a ser usada (e alguém esquecer de desligá-la do Vcc/Terra...)

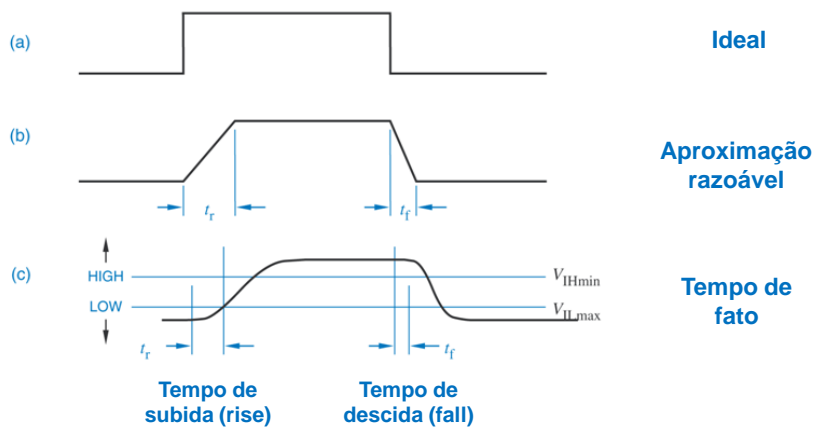


# CARACTERÍSTICAS DINÂMICAS

49

## Tempo de transição

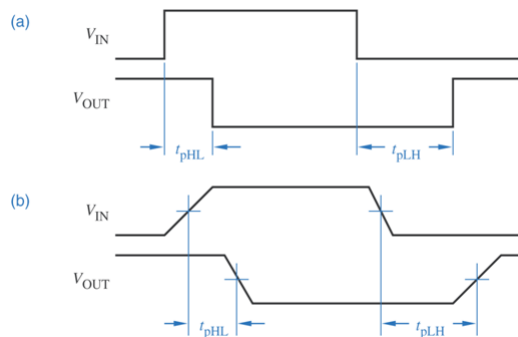
- Tempo que demora para saída do circuito lógico mudar de um estado para outro.



50

## Atraso de propagação

- Tempo que demora para uma mudança no sinal de entrada gerar mudança na saída.
  - Ex.: inversor CMOS (a) ignorando tempos de subida e descida ou (b) medidos nos pontos médios das transições



51

## Consumo de energia

- CMOS: consumo estático muito baixo...
  - Ou seja, quando não está havendo computação
- ... mas transições consomem uma quantidade maior de energia
- Cálculo:  $P_t = CSD \cdot V_{CC}^2 \cdot F$ , onde
  - $P_t$ : potência dinâmica (devido a transições)
  - $V_{CC}$ : tensão da fonte de alimentação
  - CSD: capacitância do Sistema Digital
  - $F$ : frequência de transição do sinal de saída



52

## Porta tristate

- Além de saída em high e low, possui terceiro estado de alta impedância (HI-Z).
- Usado para conexão em barramentos: apenas circuitos ativos acessam barramento, prevenindo curtos

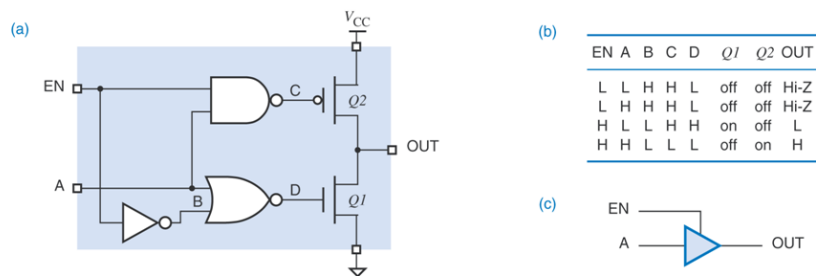
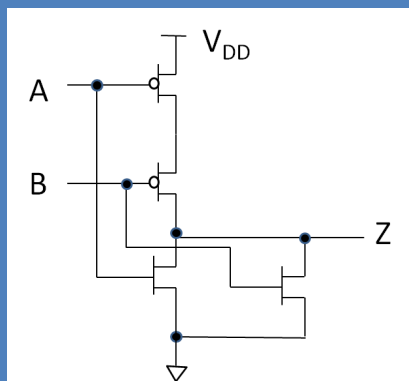


Figure 3-49

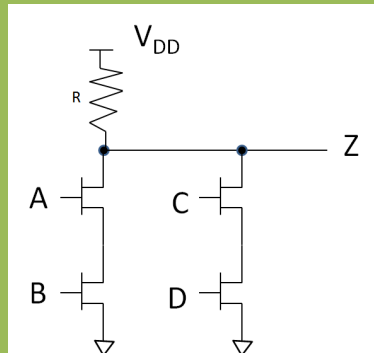
CMOS three-state buffer: (a) circuit diagram; (b) function table; (c) logic symbol.

## Exercícios: qual a função de chaveamento implementada?

### Função (a)



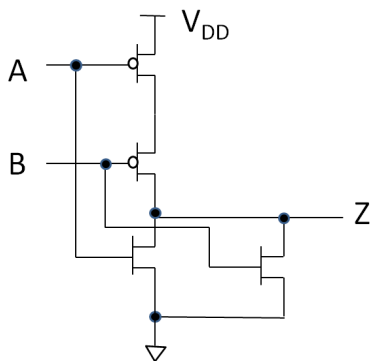
### Função (b)



## Exercícios: Resposta

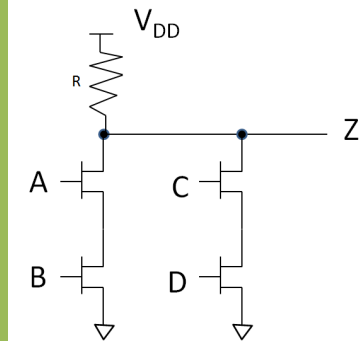
Função (a)

$(A+B)'$



Função (b)

$(AB+CD)'$



## Tarefas

- Leitura do Capítulo 3 do livro-texto:
  - Seções 3.1 a 3.8
  - [Opcional] Leitura das seções 3.9 a 3.10
- Fazer exercícios do Capítulo 3 do livro-texto
  - ao menos *drill problems*