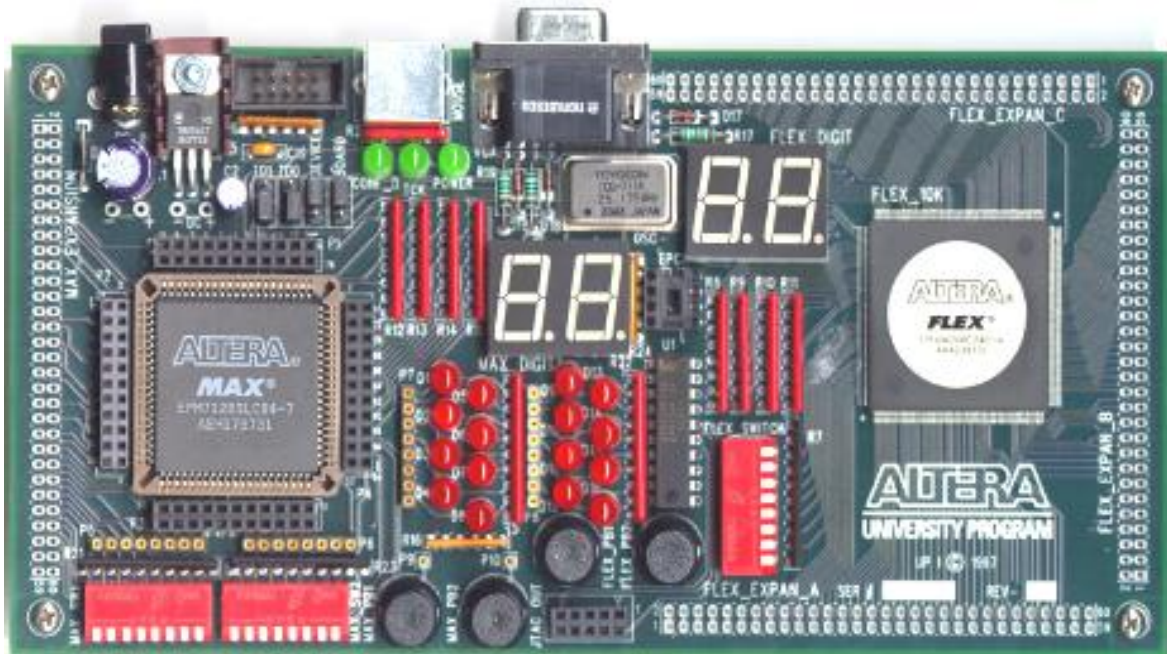


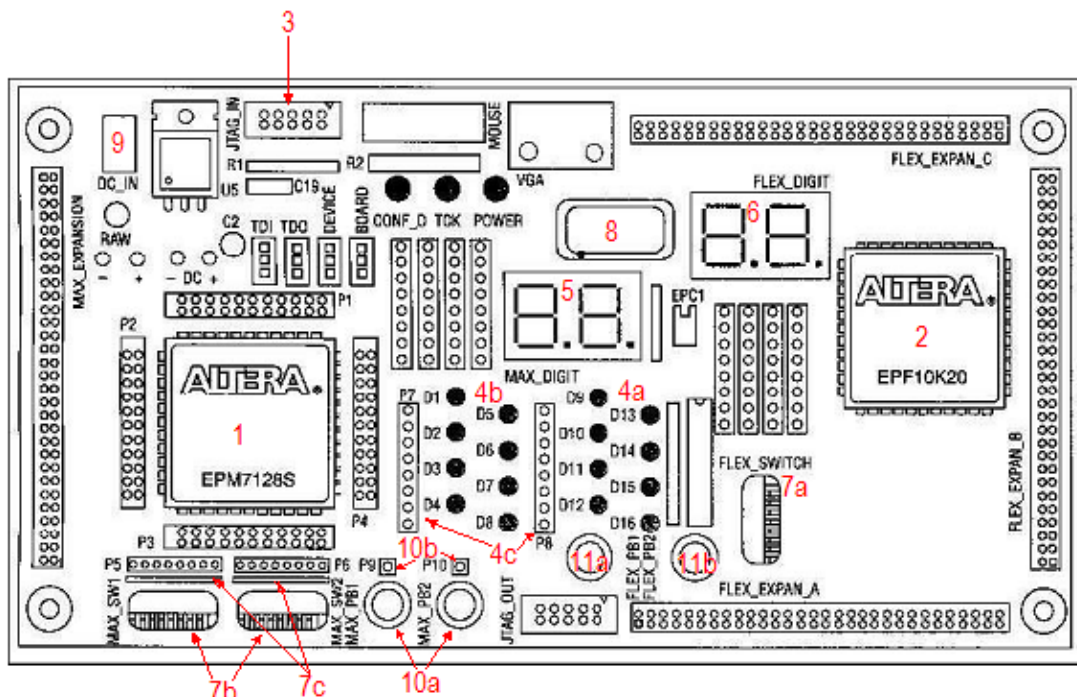
## Departamento de Engenharia Elétrica e de Computação

### Plataformas de Desenvolvimento UP2 ALTERA:

O kit UP1 da altera, mostrado nas Figura 1 e 2, é uma placa experimental baseada em 2 dispositivos da família Altera: MAX7000, o EPM 7128S e FLEX10K, o EPF10K70. De simples projeto é usado com o software QUARTUSII da ALTERA que fornece uma plataforma superior para o aprendizado de lógica digital e desenvolvimento de HCPLD. Os componentes da Figura 2 estão numerados e serão descritos a seguir:

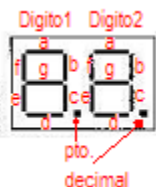


**Figura1 Foto do Kit UP2 Da ALTERA**



**Figura 2** Figura esquemática do Kit UP1 da ALTERA.

1. dispositivo EPM7128S: é um CPLD é um membro de média densidade da família 7000S da ALTERA, de alto desempenho e alta densidade. É baseado em elementos EEPROM. Possui encapsulamento PLCC de 84 pinos, e é montado em um soquete. Tem 128 macro-células, cada uma contém um arranjo de and programáveis/or fixas como também registradores configuráveis com entradas clock programáveis independentes, habilitadores de clock, funções clear e preset. Possui uma capacidade de 2500 portas, e pode ser programado (IN-System) com o cabo de *download* ByteBlaster. É ideal para projetos introdutórios com grande quantidades de funções lógicas combinacionais e sequenciais.
- 2 dispositivo EPF10K70: é um FPGA e é um membro de alta densidade da família FLEX10K da ALTERA, é baseado em elementos configuráveis SRAM. Têm encapsulamento RQFP com 240 pinos. Apresenta 20000 portas e pode ser configurado (IN-System) com o cabo de *download* ByteBlaster, e é ideal para projetos avançados, incluindo arquitetura de computadores e aplicações de DSP (Processamento Digital de Sinal).
3. Conector fêmea de 10 pinos para conectar o cabo de *download* BlyteBlaste com entrada JTAG de 10 pinos macho.
4. 16 diodos emissores de luz, agrupados em 8 diodos conectados direto ao FPGA(4a) e 8 com terminais livres(4b), cujos terminais são acessa dos pelos conectores (4c).
5. Dois conjuntos de dois displays de 7 segmentos, Figura 3, conectados ao dispositivo EPM7128S através dos pinos como mostra a Tabela 1 e ao dispositivo EPF10K20 como mostra a Tabela 2 :



**Figura 3 Displays de 7 segmentos.**

**Tabela 1 pinos do CPLD EPM7128S ligados aos display**

<b>Segmento do display</b>	<b>PINO para Dígito 1</b>	<b>PINO para Dígito 2</b>
a	58	69
b	60	70
c	61	73
d	63	74
e	64	76
f	65	75
g	67	77
Ponto decimal	68	79

**Tabela 2 pinos do FPGA EPF10K20 ligados aos display.**

<b>Segmento do display</b>	<b>PINO para Dígito 1</b>	<b>PINO para Dígito 2</b>
a	6	17
b	7	18
c	8	19
d	9	20
e	11	21
f	12	23
g	13	24
Ponto decimal	14	25

**6.** Dois displays de 7 segmentos conectado ao dispositivo EPF10K20 através dos pinos.

**7.** 24 chaves tipo switches, que fornecem níveis lógicos alto e baixo. Estão agrupadas em 8. 8 delas conectadas direto com o FPGA(7a) pelos pinos mostrados na Tabela 3, e 16 com terminais livres(7b) cujo acesso ao valor lógico é pelos conectores acima delas (7c).

**Tabela 3 pinos do FPGA EPF10K70 ligados às chaves tipo Switch.**

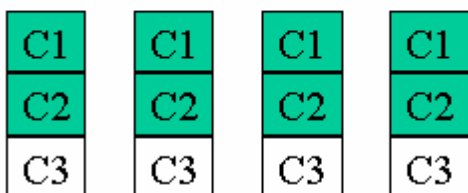
<b>Switch</b>	<b>PINO EPF10K20</b>
FLEX_SWITCH-1	41
FLEX_SWITCH-2	40
FLEX_SWITCH-3	39
FLEX_SWITCH-4	38
FLEX_SWITCH-5	36
FLEX_SWITCH-6	35
FLEX_SWITCH-7	34

FLEX_SWITCH-8	33
---------------	----

- 8.** Um oscilador de cristal de quartzo de 25175 MHz que esta conectado ao CPLD EPM7128 através do pino 83 e ao FPGA EPF10K70 através do pino 91 .
- 9.** Entrada de potência DC com conector fêmea de 2,5mmX5,55mm. Aceita entradas DC de 7 a 12V com mínimo de 230mA.
- 10.** duas chaves push buttons(10a)que fornecem sinal ativo em baixo ligados em resistores de 10K $\Omega$  ao Vcc. A conexão a essas chaves é feita através dos buracos (10b) acima delas.
- 11.** duas chaves push buttons(11a)que fornecem sinal ativo em baixo ligados em resistores de 10K $\Omega$  ao Vcc. A conexão a essas chaves é feita diretamente ao dispositivo FPGA EPF10K70 a chave (11a) ao pino e a chave (11b) ao pino 29.
- 12.** quatro jumpers de 3 pinos (TD1, TD0, DEVICE e BOARD) que configuram o JTAG da seguinte maneira:

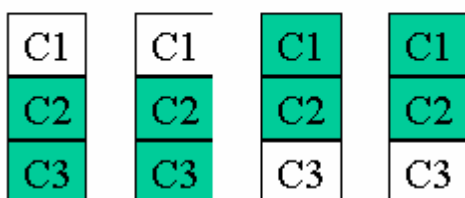
#### A. Programação do CPLD EPM7128S:

TDI TDO DEVICE BOARD



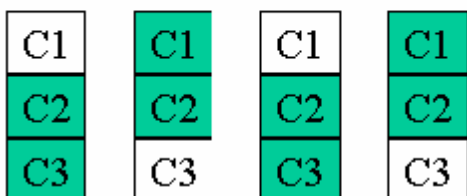
#### B. Programação do FLEX EPF10K20S:

TDI TDO DEVICE BOARD



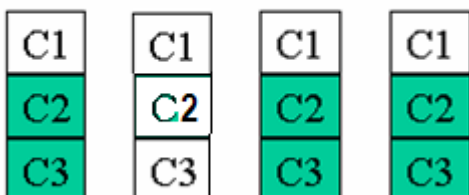
#### C. Programação de ambos dispositivos:

TDI TDO DEVICE BOARD



#### D. Conexão de múltiplas plataformas juntas:

TDI TDO DEVICE BOARD



**13.** Um conector DB15 com a configuração necessária para ser usado como terminal VGA para o dispositivo FLEX EPF10K20S.

**14.** Um conector PS/2 para ser usado como interface física entre teclados e o mouses para o dispositivo FLEX EPF10K20S .

### Descrição detalhada do CPLD Altera EPM7128SLC84:

O PLD Altera EPM7128SLC84 é um dos componentes da família MAX 7000 que é considerada a segunda geração da arquitetura MAX. A arquitetura MAX usa a estrutura de matriz de arranjos múltiplos com tecnologia de programação baseada nas células EPROM, ou E2PROM.

Na família MAX 7000, estrutura é formada por macrocélulas que são blocos baseados em termos produtos. Os dispositivos da Família MAX 7000 possuem de 1.000 a mais de 10.000 portas lógicas equivalentes. Os componentes possuem encapsulamentos variando de 44 a 208 pinos, nos formatos PLCC, PGA, QFP e TQFP. Os dispositivos mais rápidos têm tempo de atraso lógico de até 5 ns, podendo operar com frequências de contadores de 178,6 MHz. Possuem bit de segurança programável e todos os elementos desta família são suportados pelo software de desenvolvimento Altera QUARTUS II.

#### 1 Características do CPLD Altera EPM7128SLC84:

- Alta performance;
- PLD programável baseado em E2PROM – segunda geração da arquitetura MAX;
- Tecnologia CMOS;
- Alimentação simples de 5 volts;
- Interface multivoltagem – permite operar com lógica de 3,3volts;
- 2.500 portas utilizáveis;

- 128 macrocélulas;
- 8 blocos de arranjos lógicos;
- Bit de segurança para proteção de projetos;
- Encapsulamento PLCC de 84 pinos;
- 68 pinos utilizáveis pelo usuário;
- Interface padrão serial para programação;
- 

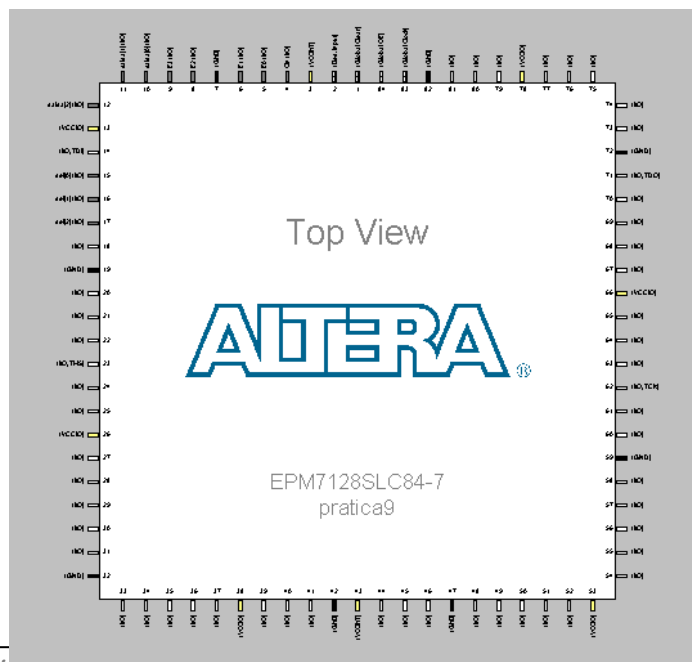
## 2 Descrição funcional do CPLD Altera EPM7128SLC84:

A arquitetura da família de dispositivos MAX 7000 inclui os seguintes elementos:

- Arranjos de blocos lógicos (LAB);
- Macrocélulas;
- Expansores de termos produto;
- Arranjos de interconexão programáveis (PIA);
- Blocos de controle de entrada e saída.

A arquitetura MAX 7000S inclui, para cada macrocélula, quatro entradas dedicadas que podem ser utilizadas em aplicações gerais ou ainda como entradas de alta velocidade, sinais de controle global (*clock*, *clear* e dois sinais de habilitação de saídas). Cada macrocélula avançada pode ser configurada para operação combinacional, ou seqüencial. É composta de três blocos funcionais: o arranjo lógico, a matriz de seleção de termosproduto e o registrador programável.

As versões MAX 7000S incorporam uma interface serial padrão IEEE 1149, ou JTAG (*Joint Test Action Group*), que possibilita a programação na própria placa de circuito impresso. Essa tecnologia é denominada ISP (*In-System Programmer*), e através dela pode-se programar o dispositivo sem ter que retirá-lo de seu local de operação. Os dispositivos da família MAX 7000S possuem quatro pinos destinados para programação, que também podem ser usados como pinos de I/O. O PLD Altera EPM7128SLC84 é encontrado no encapsulamento PLCC 84 pinos mostrado na Figura 10.1. Alguns pinos são reservados para alimentação e quatro deles são também utilizados na programação do dispositivo.



**Figura 10.1 – Vista de topo do CI EPM7128SLC84-7 da ALTERA**

### **Fabricantes de HCPLD:**

- Actel
- Advanced Micro Devices (PAL, PALCE)
- Altera (Flex, Max)
- Atmel
- Intel
- Lattice Semiconductor (GAL)
- National Semiconductor (GAL)
- Signetics (FPLA)
- Texas Instruments
- Xilinx

### **Bibliografia:**

- Fregni, E. & Saraiva, <sup>a</sup> M., “ Engenharia do Projeto Lógico Digital”, Ed. Edgard Blücher Ltda.
- Tocci, J. R. , “Sistemas Digitais- Princípios e Aplicações”, Ed. Prentice Hall do Brasil
- [www.altera.com](http://www.altera.com)
- [www.xilinx.com](http://www.xilinx.com)
- [http://www.gta.ufrj.br/grad/01\\_1/pld/hcpld.htm](http://www.gta.ufrj.br/grad/01_1/pld/hcpld.htm)
- <http://www.tesequipamentos.com.br/arg/UTP128-84.pdf>
- [http://www.teleco.com.br/tutoriais/tutorialfiltrodig/pagina\\_2.asp](http://www.teleco.com.br/tutoriais/tutorialfiltrodig/pagina_2.asp)
- <http://www.demic.fee.unicamp.br/~elnatan/ee610/24a%20Aula.pdf>
- [http://ac.dcti.iscte.pt/AC-2008-09/Material/Tutoriais/Introd\\_PLD.pdf](http://ac.dcti.iscte.pt/AC-2008-09/Material/Tutoriais/Introd_PLD.pdf)
- <http://www.dcc.ufrj.br/~gabriel/circlog/DispLogPro.pdf>
- <http://www2.eletronica.org/artigos/eletronica-digital/dispositivos-programaveis-como-funcionam>