

Portas Complexas (Sedra + Slides)

Resolver os seguintes exercícios (com respostas, exceto última questão).

- *10.4 Para uma tecnologia de processamento com $L = 0,5 \mu\text{m}$, $n = 1,5$, $p = 6$, obtenha as dimensões de todos os transistores de (a) uma porta NOU de quatro entradas e (b) uma porta NE de quatro entradas. Também obtenha as áreas relativas das duas portas.

Resposta (a) dispositivos NMOS: $W/L = 0,75/0,5$, dispositivos PMOS: $12/0,5$; (b) dispositivos NMOS: $W/L = 3/0,5$, dispositivos PMOS: $3/0,5$; área NOU/área NE = 2,125.

- *10.5 Para a porta NE projetada no exercício anterior, qual é a relação entre as correntes máxima e mínima disponíveis para a (a) situação de carregamento da capacitância de carga? (b) situação de descarregamento da capacitância de carga?

Resposta (a) 4; (b) 1.

Problema

- *10.8 Considere a porta lógica CMOS mostrada na Figura 10.14. Especifique W/L para todos os transistores em termos das razões n e p do inversor básico de tal forma que t_{PHL} e t_{PLH} da porta para o pior caso sejam iguais aos do inversor básico.

Resposta:

$$p_A = p; p_B = p_C = p_D = 2p$$

$$n_A = n_B = 2n; n_C = n_D = 2(2n) = 4n$$

Problema

*10.9 Considere uma porta lógica CMOS NE de quatro entradas para a qual a resposta transitória é dominada por uma capacitância de tamanho fixo entre o nó de saída e o terra. Compare os valores de t_{PHL} e t_{PLH} , obtidos quando os dispositivos são dimensionados como na Figura 10.17, com aqueles obtidos quando todos os dispositivos canal n têm $W/L = n$ e todos os dispositivos canal p têm $W/L = p$.

Resposta:

Assumindo que n e p são os valores de relação geométrica para um inversor casado, pela Figura 10.17, $t_{pLH} = t_{pHL} = t_p$.

Para o caso de NE onde todos os transistores tem a relação n e p ,
 $t_{pLH}' = t_p$ e $t_{pHL}' = 4.t_p$

Exercício Extra:

Para as fórmulas

$$F = \bar{A} + \bar{B} + \bar{C}\bar{D} \quad \text{e} \quad F = \bar{A} + (\bar{B} + \bar{C})(\bar{D} + \bar{E})$$

Obter:

- 1) Diagrama esquemático em lógica complementar CMOS;
- 2) Obter os grafos lógicos correspondentes (PUN e PDN);
- 3) Obter caminhos de Euler compatíveis para PUN e PDN (se possível);
- 4) Desenhar um leiaute correspondente ao do item 3) em diagrama de palitos (se possível).