

1 [1,0 ponto] Considere o circuito com transistores CMOS da Figura 1 (a). Construa a tabela funcional, conforme apresentado na Figura 1 (b), caracterizando o nível lógico da saída Y em função dos níveis lógicos das entradas A e B, e dos estados aberto ou fechado dos transistores Q1, Q2, Q3 e Q4. Qual é a função lógica implementada por este circuito? Caso o circuito da Figura 1 (a) represente uma porta lógica com saída ativo baixo, qual circuito devemos acrescentar para que a saída Y seja ativo alto? Apresente sua solução desenhando o circuito CMOS completo.

Para uso do professor: 0 1 2 3 4 5 10

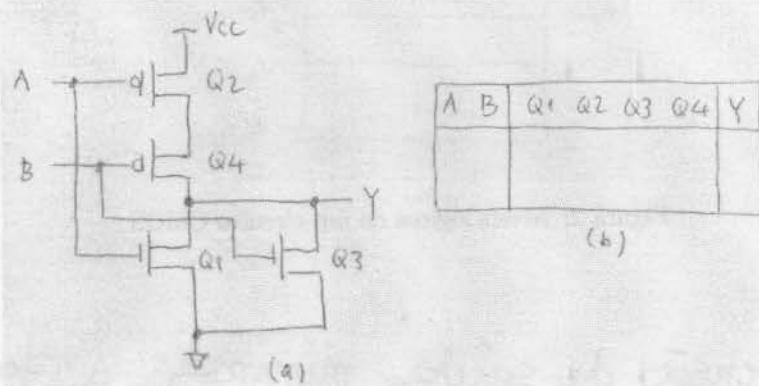
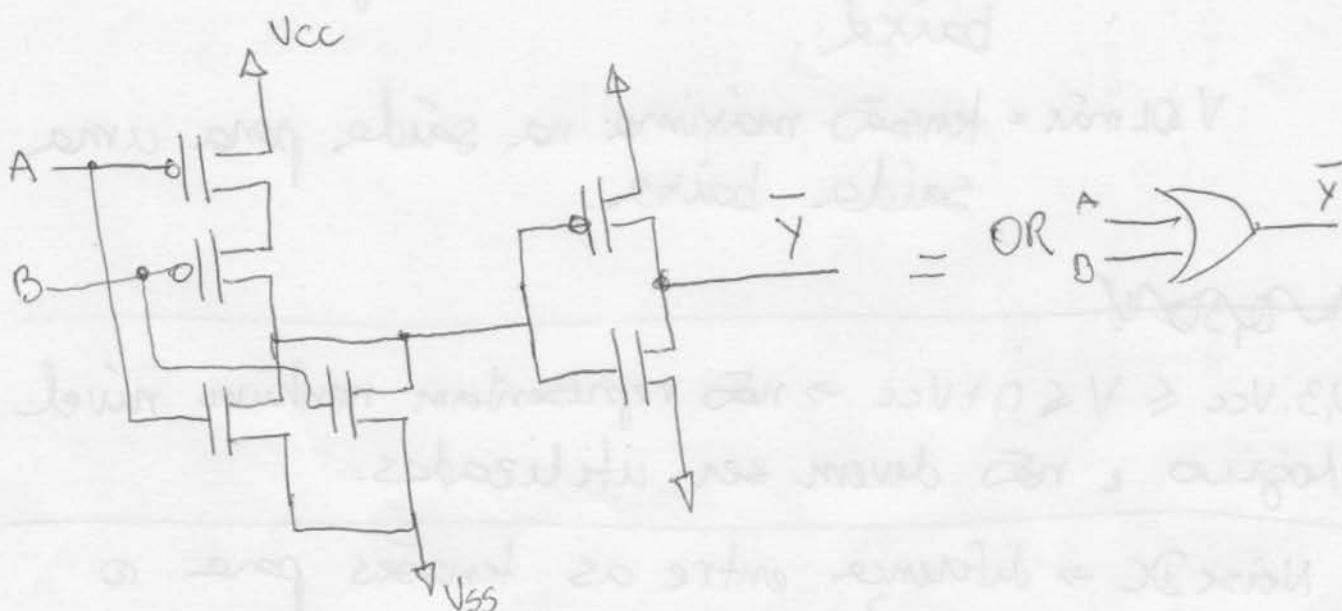
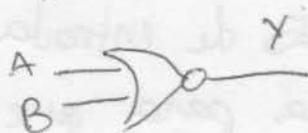


Figura 1: Lógica CMOS

A	B	Q ₁	Q ₂	Q ₃	Q ₄	Y
0	0	A	F	A	F	0
0	1	A	F	F	A	1
1	0	F	A	A	F	0
1	1	F	A	F	A	0

NOR





2 [1,0 ponto] Considere o diagrama da Figura 2, que representa as faixas alto (HIGH) e baixo (LOW) de um circuito CMOS. Explique o significados dos níveis de tensão $V_{OH\min}$, $V_{IH\min}$, $V_{IL\max}$ e $V_{OL\max}$. Tensões entre 0,3 Vcc e 0,7 Vcc representam qual nível lógico? Como se calcula a Margem de Ruído DC?

Para uso do professor: 0 1 2 3 4 5 10

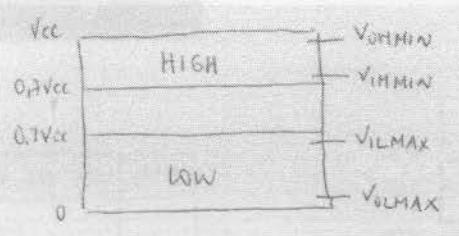


Figura 2: Níveis lógicos de um circuito CMOS

$V_{OH\min}$ = tensões de saída mínima, a tensão gerada na saída quando o nível lógico for alto.

$V_{IH\min}$ = tensões de entrada mínima, a tensão necessária para que a entrada seja considerada alta.

$V_{IL\max}$ = tensões de entrada máxima, a tensão máxima para que a entrada seja considerada baixa.

$V_{OL\max}$ = tensão máxima na saída para uma saída baixa.

~~$V_{0.3VCC}$~~

$0,3 \cdot V_{CC} \leq V \leq 0,7 \cdot V_{CC} \rightarrow$ não representam nenhum nível lógico e não devem ser utilizados.

Noise DC \rightarrow diferença entre as tensões para o nível. E.g. $V_{DCnoiseH} = V_{OH\min} - V_{IH\min}$



3 [2,0 pontos] Construa a Tabela Verdade do circuito descrito em VHDL na Figura 3. Qual é o bloco combinatório que está implementado neste circuito?

Para uso do professor: 0 1 2 3 4 5 10 20

```
library IEEE;
use IEEE.std_logic_1164.all;

entity circuit is
port (
    A : in std_logic_vector (2 downto 0);
    Y_L : out std_logic_vector (0 to 7) );
end circuit;

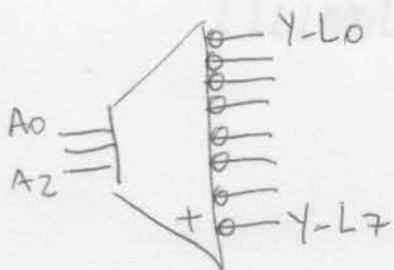
architecture arch of circuit is
begin
with A select Y_L <=
    "01111111" when "000",
    "10111111" when "001",
    "11011111" when "010",
    "11101111" when "011",
    "11110111" when "100",
    "11111011" when "101",
    "11111101" when "110",
    "11111110" when "111",
    "11111111" when others;
end arch;
```

Figura 3: Descrição do circuito em VHDL

A	Y_L
000	11111111
001	11111110
010	11111101
011	11111011
100	11110111
101	11011111
110	10111111
111	01111111

Note: $Y_L = Y_7, Y_6, \dots, Y_0$

O bloco é um decodificador 3:8 ativo baixo sem controle de saída (OE).





4 [2,0 pontos] Projete um codificador de código ASCII para display de 7 segmentos, ou seja, o circuito tem entrada e saída de 7 bits. O display deverá apresentar os dígitos 0 a 9 para os caracteres 0 a 9, respectivamente, e deverá mostrar a letra E (Erro) para as demais palavras código. Assuma que a fonte das palavras código ASCII só envia caracteres 0 a 9. Apresente a Tabela Verdade completa do codificador e faça o projeto do circuito combinatório e apresente o diagrama lógico apenas do circuito correspondente ao segmento g.

Para uso do professor: 0 1 2 3 4 5 10 20

| ASCII Hex Symbol |
|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|
| 0 0 NUL | 16 10 DLE | 32 20 (space) | 48 30 0 | 64 40 @ | 80 50 P | 96 60 * | 112 70 p |
| 1 1 SOH | 17 11 DC1 | 33 21 ! | 49 31 1 | 65 41 A | 81 51 Q | 97 61 # | 113 71 q |
| 2 2 STX | 18 12 DC2 | 34 22 " | 50 32 2 | 66 42 B | 82 52 R | 98 62 b | 114 72 r |
| 3 3 ETX | 19 13 DC3 | 35 23 # | 51 33 3 | 67 43 C | 83 53 S | 99 63 o | 115 73 s |
| 4 4 EOT | 20 14 DC4 | 36 24 \$ | 52 34 4 | 68 44 D | 84 54 T | 100 64 d | 116 74 t |
| 5 5 ENQ | 21 15 NAK | 37 25 % | 53 35 5 | 69 45 E | 85 55 U | 101 65 e | 117 75 u |
| 6 6 ACK | 22 16 SYN | 38 26 & | 54 36 6 | 70 46 F | 86 56 V | 102 66 f | 118 76 v |
| 7 7 BEL | 23 17 ETB | 39 27 ' | 55 37 7 | 71 47 G | 87 57 W | 103 67 g | 119 77 w |
| 8 8 BS | 24 18 CAN | 40 28 (| 56 38 8 | 72 48 H | 88 58 X | 104 68 h | 120 78 x |
| 9 9 TAB | 25 19 EM | 41 29) | 57 39 9 | 73 49 I | 89 59 Y | 105 69 i | 121 79 y |
| 10 A LF | 26 1A SUB | 42 2A * | 58 3A : | 74 4A J | 90 5A Z | 106 6A j | 122 7A z |
| 11 B VT | 27 1B ESC | 43 2B + | 59 3B : | 75 4B K | 91 5B [| 107 6B k | 123 7B { |
| 12 C FF | 28 1C FS | 44 2C , | 60 3C < | 76 4C L | 92 5C \ | 108 6C | 124 7C |
| 13 D CR | 29 1D GS | 45 2D - | 61 3D = | 77 4D M | 93 5D] | 109 6D m | 125 7D } |
| 14 E SO | 30 1E RS | 46 2E _ | 62 3E > | 78 4E N | 94 5E ^ | 110 6E n | 126 7E ~ |
| 15 F SI | 31 1F US | 47 2F / | 63 3F ? | 79 4F O | 95 5F _ | 111 6F o | 127 7F - |



Figura 4: Tabela ASCII e Display de 7 segmentos

ASCII	D	display g
	xywz	#
011	0000	0
011	0001	1
011	0010	2
011	0011	3
011	0100	4
011	0101	5
011	0110	6
011	0111	7
011	1000	8
011	1001	9
XXX XXXX	E	1001111

$$V = \text{válido se } D \leq 9$$

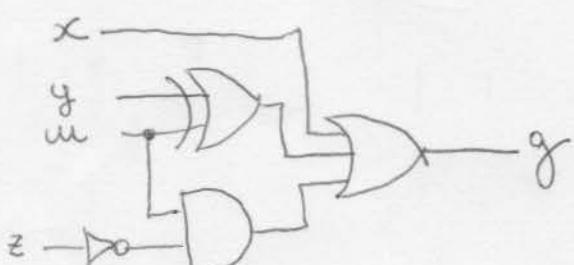
wz	00	01	11	10
00	1	1	0	1
01	1	1	0	1
11	1	1	0	0
10	1	1	0	0

$$V = \bar{x} + \bar{y} \cdot \bar{w}$$

Segmento g se $V = 1$

wz	00	01	11	10
00	0	1	X	1
01	0	1	X	1
11	1	0	X	X
10	1	0	X	X

$$g = x + \bar{y} \cdot \bar{w} + y \cdot \bar{w} + w \cdot z$$

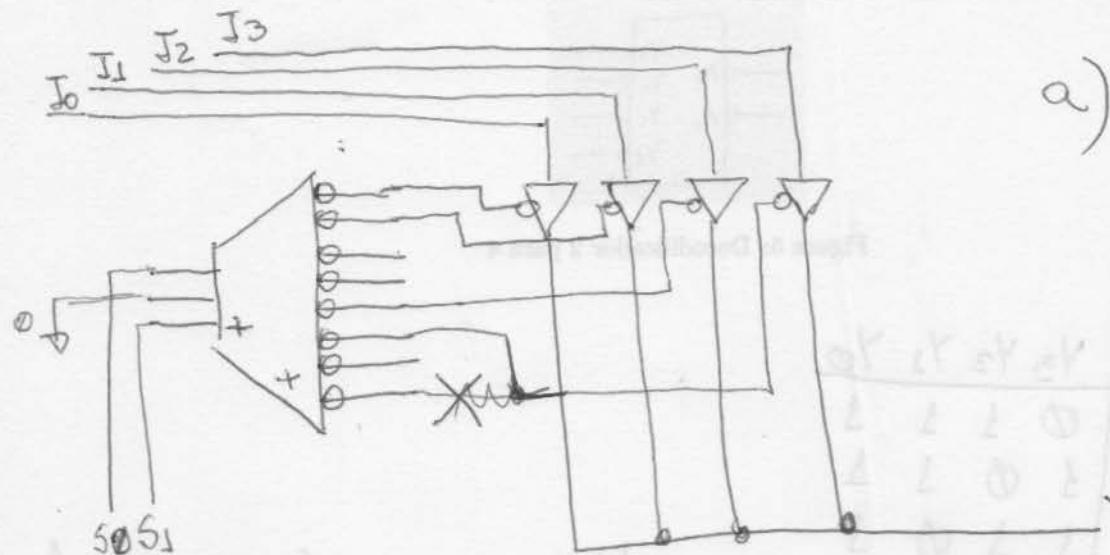


como a fonte só envia caracteres válidos,
não é necessário o "V" nem mostrar "E".

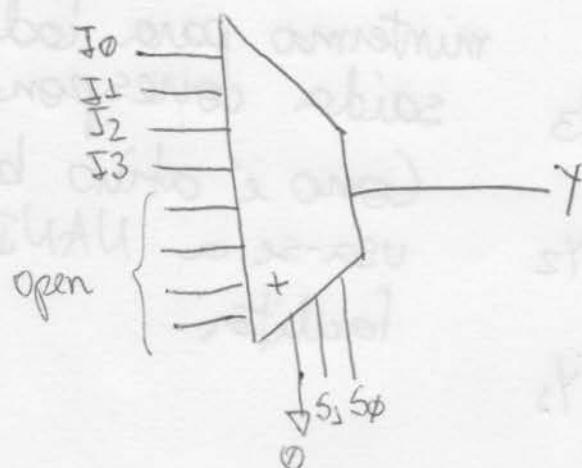


5 [2,0 pontos] Considere um circuito multiplexador de 4 entradas I_0, I_1, I_2 e I_3 e saída Y , de 1 bit. Projete 2 soluções distintas para este circuito multiplexador: (a) usando um decodificador 3 para 8, de 1 bit, e buffers 3-state com sinal ENABLE ativo baixo, e (b) usando um multiplexador de 8 entradas de 1 bit. Para cada solução apresente o diagrama lógico e a explicação do funcionamento do circuito.

Para uso do professor: 0 1 2 3 4 5 10 20



O decodificador seleciona somente um dos tri-state buffers para "deixar passar" a saída.



O mux é subutilizado (e desse vez escolhi uma entrada fácil).



6 [2,0 pontos] Projete o circuito combinatório de um decodificador 2 para 4, com entradas e saídas ativo baixo, tal como mostrado na Figura 5. No diagrama, A é a entrada e Y é a saída. Apresente a Tabela Verdade e o diagrama lógico do circuito projetado, assim como os cálculos intermediários.

Para uso do professor: 0 1 2 3 4 5 6 7 8 9 10 20

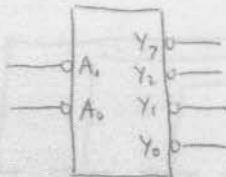
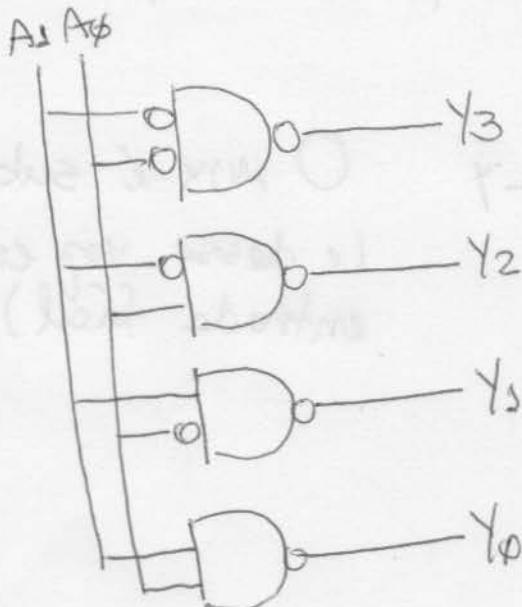


Figura 5: Decodificador 2 para 4

A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0



Não é necessário cálculo intermediário pois o de codificador é o próprio minitermo para cada saída correspondente. Como é ativo baixo, usa-se a NAND para facilitar.